

Dieter Treytnar

Der Einfluss parasitärer Effekte in
Leitungssystemen der Nanoelektronik auf
die Qualität von digitalen Testmustern

Der Einfluss parasitärer Effekte in Leitungssystemen der Nanoelektronik auf die Qualität von digitalen Testmustern

Von der Fakultät für Elektrotechnik und Informatik
der Universität Hannover

zur Erlangung des akademischen Grades
Doktor-Ingenieur

genehmigte
Dissertation

von

Dipl.-Ing. Dieter Treytnar
geboren am 29. Januar 1967 in Hamm/Westfalen

2005

- 1. Referent:** Prof. Dr.-Ing. Joachim Mucha
- 2. Referent:** Prof. Dr.-Ing. Hartmut Grabinski

Tag der Prüfung: 6. Dezember 2005

Danksagung

Diese Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Theoretische Elektrotechnik und am Laboratorium für Informationstechnologie der Universität Hannover.

Mein besonderer Dank gilt meinem Doktorvater Herrn Prof. Dr.-Ing. Joachim Mucha für die Anregungen und wertvollen Hinweise zur Durchführung meiner Arbeit sowie der Bereitstellung optimaler Arbeitsbedingungen am Laboratorium für Informationstechnologie.

Für die hervorragende Betreuung, die zahlreichen fruchtbaren Diskussionen, die Möglichkeit der Forschung innerhalb seiner Abteilung am LfI sowie der Übernahme des Korreferats danke ich Herrn Prof. Dr.-Ing. Hartmut Grabinski ganz herzlich.

Weiterhin gilt mein Dank Herrn Prof. Dr.-Ing. Erich Barke für den Vorsitz der Prüfung.

Allen meinen Kollegen und studentischen Mitarbeitern am Institut für Theoretische Elektrotechnik und am Laboratorium für Informationstechnologie danke ich für die stets angenehme Zusammenarbeit. Besonderer Dank gilt dabei Michael Redeker, Markus Rudack, Faiez Ktata, Uwe Arz und Helge Kloos, sowie Prof. Dr.-Ing. T. W. Williams, der uns immer wieder zu neuen Ideen inspirierte. Viele Anregungen zu dieser Arbeit wurden in Gesprächen während der Workshops "Signal Propagation on Interconnects" gewonnen [91] - [96].

Meiner Familie und besonders meiner Frau danke ich für das Maß an Rückhalt, Verständnis und Unterstützung, das notwendig war, um das gesteckte Ziel zu erreichen.

Hannover, im September 2005

Dieter Treytnar

Bibliografische Information Der Deutschen Bibliothek

Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.ddb.de> abrufbar.

ISBN 3-89963-278-8

© Verlag Dr. Hut, München 2005.
Sternstr. 18, 80538 München
Tel.: 089/66060798
www.dr.hut-verlag.de

Die Informationen in diesem Buch wurden mit großer Sorgfalt erarbeitet. Dennoch können Fehler, insbesondere bei der Beschreibung des Gefahrenpotentials von Versuchen, nicht vollständig ausgeschlossen werden. Verlag, Autoren und ggf. Übersetzer übernehmen keine juristische Verantwortung oder irgendeine Haftung für eventuell verbliebene fehlerhafte Angaben und deren Folgen.

Alle Rechte, auch die des auszugsweisen Nachdrucks, der Vervielfältigung und Verbreitung in besonderen Verfahren wie fotomechanischer Nachdruck, Fotokopie, Mikrokopie, elektronische Datenaufzeichnung einschließlich Speicherung und Übertragung auf weitere Datenträger sowie Übersetzung in andere Sprachen, behält sich der Verlag vor.

1. Auflage 2005

Druck und Bindung: printy, München (www.printy.de)

Kurzfassung

Dieter Treytnar

Der Einfluss parasitärer Effekte in Leitungssystemen der Nanoelektronik auf die Qualität von digitalen Testmustern

Der Test digitaler integrierter Schaltungen wird bei kleiner werdenden Strukturbreiten immer mehr zu einer Herausforderung. Galt es bisher nahezu ausschließlich die Verzögerung und die Funktion von Gattern zu überprüfen, so wird in den Nanometertechnologien der Einfluss von Verbindungsleitungen auf die Signallaufzeiten immer mehr zum dominierenden Faktor. Bussysteme aus langen parallel laufenden Leitungen, die zur Verbindung weit entfernter Funktionsblöcke verwendet werden, können selbst bei fehlerfreier Fertigung zu fehlerhafter Signalübertragung führen. Dies geschieht durch die starke Signalverzögerung und -kopplung, die trotz Verifikation und eingehaltener Entwurfsregeln oft nicht erkannt werden, da Leitungseffekte derzeit nur in geringem Maße von Designtools berücksichtigt werden.

Die vorliegende Arbeit untersucht Signale aus Testmustergeneratoren und ihre Signalintegrität in Bussystemen unter besonderer Berücksichtigung der geometrischen Strukturgrößen von Leitungen in den Nanometertechnologien. Dazu werden die am häufigsten verwendeten Testmustergeneratoren (LFSR, Binärzähler, Gray Code Zähler, zellulärer Automat) auf ihre Anfälligkeit gegenüber Verzögerung und Übersprechen bei der Signalübertragung über Bussysteme untersucht.

Es wird gezeigt, dass nicht nur ein Einfluß auf den Signalleitern auftritt, sondern unter bestimmten Bedingungen auch die Spannungsversorgung gestört wird. Leitungstreiber, die mit gestörter Spannung versorgt werden, propagieren die Testmuster auf den Signalleitern dann zusätzlich fehlerhaft. Dabei zeigt sich, dass die von den verschiedenen Testmustergeneratoren erzeugten Signale unterschiedlich anfällig reagieren.

Die Untersuchungen werden für die Leitungsgeometrien in zukünftigen Technologien bis zur 22nm-Technologie durchgeführt. Dabei werden die zu erwartenden Leitungsparameter R , L und C für gekoppelte Busleitungssysteme und deren Einfluss auf die Signalübertragung dargestellt. Das Problem der zukünftigen Technologien wird nicht primär die induktive oder kapazitive Kopplung, sondern der sehr stark ansteigende Leitungswiderstand sein. Es zeigt sich, dass ab der 45nm-Technologie aufgrund der hohen Dämpfung durch den hohen Widerstandsbelags auf die Verwendung von Induktivitätsbelägen bei der Simulation weitgehend verzichtet werden kann. Diese beiden Effekte führen dazu, dass das Übertragen von Testsignalen über Leitungssysteme von 1mm Länge oder mehr ab dieser Technologie mit den untersuchten Verfahren nicht mehr möglich sein wird.

Schlagworte: Digitaltest, Testmustergeneratoren, Nanoelektronik, Leitungseffekte

Abstract

Dieter Treytnar

The influence of parasitic effects in nanometer interconnect systems on the digital test pattern quality

The test of digital integrated circuits is becoming more and more a challenge with decreasing structure sizes. Up to now, almost exclusively the delay and the function of gates were inspected; but in today's nanometer technologies the influence of interconnects on signal delays becomes more and more a dominant factor. Bus systems of long, parallel routed interconnects which are used for connecting far away functional blocks, could lead to incorrect signal transmission even with a defect-free manufacturing. This happens due to the strong signal delay and signal coupling, which are often not recognized although sufficient verification and correctly kept design rules - where these design rules usually do not consider interconnect effects yet - have been applied.

At present, applied test methods for the self-test of digital circuits produce a digital test pattern by a test pattern generator which is generally propagated via bus systems over the chip to the functional block to be tested. Even if the test pattern was produced correctly, it would falsify itself digitally by crosstalk and delay on the bus system and would no longer be useful at the far end.

In this work, the most frequently applied test pattern generators (LFSR, binary counter, Gray code counter, cellular automata) are examined for their sensitivity toward delay and crosstalk occurring at the signal transmission over bus systems.

Furthermore, it is shown that not only the signal lines are influenced, but also powerlines are disturbed under certain conditions. Bus drivers which are supplied with disturbed power additionally propagate the test patterns through the signal lines incorrectly. Besides, the signals produced by the different test pattern generators react with different susceptibility.

The experiments are carried out for the interconnect geometries of future technologies down to the 22nm-technology. Besides, the line parameters of the next years and their influence on signal transmission are presented. Interconnects and their effects will dominate signal behavior on chips in the coming years.

Keywords: digital test, test pattern generator, nanometer technology, interconnects

Inhaltsverzeichnis

1	Einleitung	1
2	Leitungsparameter in der Nanoelektronik	7
2.1	Der Kapazitätsbelag C'	13
2.1.1	Der Eigenkapazitätsbelag	15
2.1.2	Der Koppelkapazitätsbelag	17
2.2	Der Induktivitätsbelag L'	18
2.2.1	Der Selbstinduktivitätsbelag	19
2.2.2	Der Gegeninduktivitätsbelag	21
2.3	Der Widerstandsbelag R'	21
3	Leitungssimulation im Zeitbereich	25
3.1	Beschreibungsarten im Zeitbereich	25
3.1.1	Diskretes Netzwerkmodell	25
3.1.2	Verteilte Elemente	27
3.2	Wellenausbreitung auf Mehrfachleitungen	27
3.3	Leitungssimulation	28
3.3.1	Vergleich Lossywire, RLC und RC-Simulation	29
3.3.2	Induktivitäten in den Nanometer-Technologien	32
4	Testmustergeneratoren	37
4.1	Zähler für den erschöpfenden Test	39

4.1.1	Binärzähler	40
4.1.2	Gray Code Zähler	41
4.2	Pseudozufallsmustergeneratoren	42
4.2.1	Linear Rückgekoppeltes Schieberegister	42
4.2.2	Lineare Zellulare Automaten	44
4.3	Vorabgerechnete Testmusterfolgen	46
5	Kopplung von Testmustern auf Signalleitungen	49
5.1	Simulationsmodelle	51
5.2	Testmuster im Sub μ -Bereich	53
5.3	Variationen der Leitungslänge	59
5.4	Variationen des Kopplungsverhaltens	62
5.5	Variationen der Technologie	66
6	Testmuster und Spannungsversorgung	69
6.1	Identische Leiterbreiten	71
6.2	Topologie der Spannungsversorgung	74
6.3	Einfluß auf die Power Stripes	77
6.3.1	Lineares Schieberegister	78
6.3.2	Gray Counter	81
6.3.3	Zähler	81
6.3.4	Zellularer Automat	84
6.4	Einfluß auf die Versorgungsspannung für Standardzellen	86
6.4.1	Lineares Schieberegister	88
6.4.2	Gray Counter	88
6.4.3	Zähler	88
6.4.4	Zellularer Automat	93
6.4.5	Zusammenfassung	95
6.5	Fehlerübertragungsverstärkung durch Leitungstreiber	96
6.6	Vergleich der Simulationen	100

7 Zusammenfassung	101
Formelverzeichnis	105
Abkürzungsverzeichnis	107
Bildverzeichnis	112
Tabellenverzeichnis	113
Literaturverzeichnis	113
Anhang	125
A Vergleich Simulationen Lossywire, RLC und RC	127
B Bitfehlervergleiche der Testmustergeneratoren	131
C Testmuster und Spannungsversorgung	135
D Fehlerübertragung durch Leitungstreiber	137

1 Einleitung

Die zukünftigen Anforderungen an mikroelektronische Schaltungen und deren Einsatz in den Bereichen Automobiltechnik, Luft- und Raumfahrt, Telekommunikation und Computer werden durch zwei substantielle Aspekte des Chipdesigns bestimmt: Durch die wachsende Bedeutung von schnellen Daten- und Taktraten bei der Implementierung von Hochfrequenzdesigns sowie durch die Integration von Systemen. Die Idee eines integrierten, computergestützten Systemdesigns (EDA) ¹ wird der zentrale Fokus der nächsten Jahre sein, denn nur durch diese Entwurfsmethodik wird es in Zukunft noch möglich sein, mikroelektronische Schaltungen zu entwerfen. Aufgrund der steigenden Systemkomplexität und Systemintegration muss man davon ausgehen, dass in den nächsten Jahren das Design von EMC/RF ² Anwendungen problematisch wird [17].

Eines der schwierigsten Probleme in den CMOS-Nanometertechnologien (ultra deep-submicron) ist die Signalübertragung auf Leitungen und Bussystemen auf Chips (on-chip) [67]. Die rasanten Fortschritte in der Halbleiter-Technologie erlauben zwar die Fertigung von Strukturen unterhalb von 100nm, und dadurch ein sehr schnelles Schalten von Transistoren. Allerdings wird die Maximalfrequenz eines Systems durch die Leitungen mit deren stark ansteigenden Leitungswiderständen und deren parasitärer Kopplung untereinander bestimmt. Bemühungen, diesen Widerstand zu reduzieren, umfassen den Einsatz der Kupfer-Technologie statt Aluminium als Leitermaterial aufgrund des deutlich geringeren spezifischen Widerstandes von Kupfer sowie die Verwendung von hohen statt breiten Leitungen. Infolgedessen steigen jedoch die Kopplungseffekte zwischen parallelen Leitern in einer Ebene stark an. Aufgrund dieser Kopplung zwischen zwei oder mehr Signalleitern wird die Signallaufzeit bei gleichzeitigem Schalten von Signalen verkürzt (Gleichtaktschalten) oder verlängert (Gegentaktschalten) und kann daher zu einem fehlerhaften Zeitverhalten (timing) führen.

Die Beeinflussung der Leitungen untereinander kann zu fehlerhaften Logikzuständen führen, so dass sowohl die Funktion als auch der Test eines digitalen Systems nicht korrekt ist.

¹ Electronic Design Automation

² electromagnetic compatibility/radio frequency

Beim Testen von mikroelektronischen Schaltungen muss ein Testmuster fehlerfrei über Leitungssysteme bis an den Testort propagiert werden. Wird aufgrund von Leitungseffekten das Testsignal verfälscht, ist es nicht mehr als Testmuster verwendbar bzw. die Fehlererkennung wird deutlich reduziert.

Ein fehlerhaftes Testsignal entsteht z.B. dadurch, dass ein von einem Testmuster-generator erzeugtes Testmuster aufgrund von Leitungseinflüssen (Übersprechen, Crosstalk, Kopplung) gestört und damit verfälscht wird (Bitfehler). Die Störungen sind umso grösser, je dichter Leitungen beieinander liegen. Daher kommt es entscheidend darauf an, wie sich die einzelnen Bits eines Testmusters bzw. Testsignals untereinander beeinflussen. Diese Einflüsse sind umso grösser, je anfälliger ein Testsignal auf diese Störungen reagiert. So gibt es Testmustergeneratoren, die aufgrund ihrer Struktur Testmuster so erzeugen, dass sich Nachbarleitungen gegenseitig stark beeinflussen. Andere Testmustergeneratoren wiederum erzeugen Muster, die besonders immun gegen Störungen untereinander sind. Schliesslich gibt es noch Testmustergeneratoren, die Muster erzeugen, die je nach Beschaltung auf Bussystemen freundliche oder auch unfreundliche Nachbarn besitzen.

Aber nicht nur die Signalleiter untereinander sind von diesen Effekten betroffen, sondern Testmuster können auch die Versorgungsleitungen so stören, dass die Spannung auf der Leitung, mit der die mikroelektronische Schaltung mit Betriebsspannung versorgt wird, einbricht. Besonders bei der Spannungsversorgung von Standardzellen (siehe Kap.6.4) und bei sogenannten Power Stripes (siehe Kap. 6.2) kann dieser Einfluss so stark sein, dass die im Bussystem integrierten Treiber und Gatter aufgrund des Spannungseinbruches nicht mehr korrekt funktionieren. Dies führt nicht nur zu Fehlverhalten im Systembetrieb sondern auch dazu, dass ein zu propagierendes Testmuster zusätzlich verfälscht wird.

Eine Kopplung tritt selbstverständlich auch zwischen Leitern aus unterschiedlichen Materialien auf wie in [81] gezeigt wird. Eine technologische Lösung gegen Übersprechen ist daher die Verwendung spezifischer dielektrischer Materialien (Low-K) bei kleineren Technologien zur Reduzierung der Koppelkapazität. Das Problem des Übersprechens wird auch aufgrund der in [55] gezeigten technologischen Grenzen in Zukunft eine der wichtigsten zu lösenden Aufgabe sein. Bild 1.1 zeigt für verschiedene Technologien das maximale Übersprechen bei gekoppelten Leitungen abhängig vom Verhältnis Crosstalk/Betriebsspannung. Durch die Einführung von Low-K Materialien bzw. Kupfer wurde das mögliche Auftreten eines Fehlers bei der Signalübertragung verringert. Aufgrund höherer Taktraten und geringen Leiterabständen wird jedoch in naher Zukunft Crosstalk dennoch zunehmend an Bedeutung gewinnen.

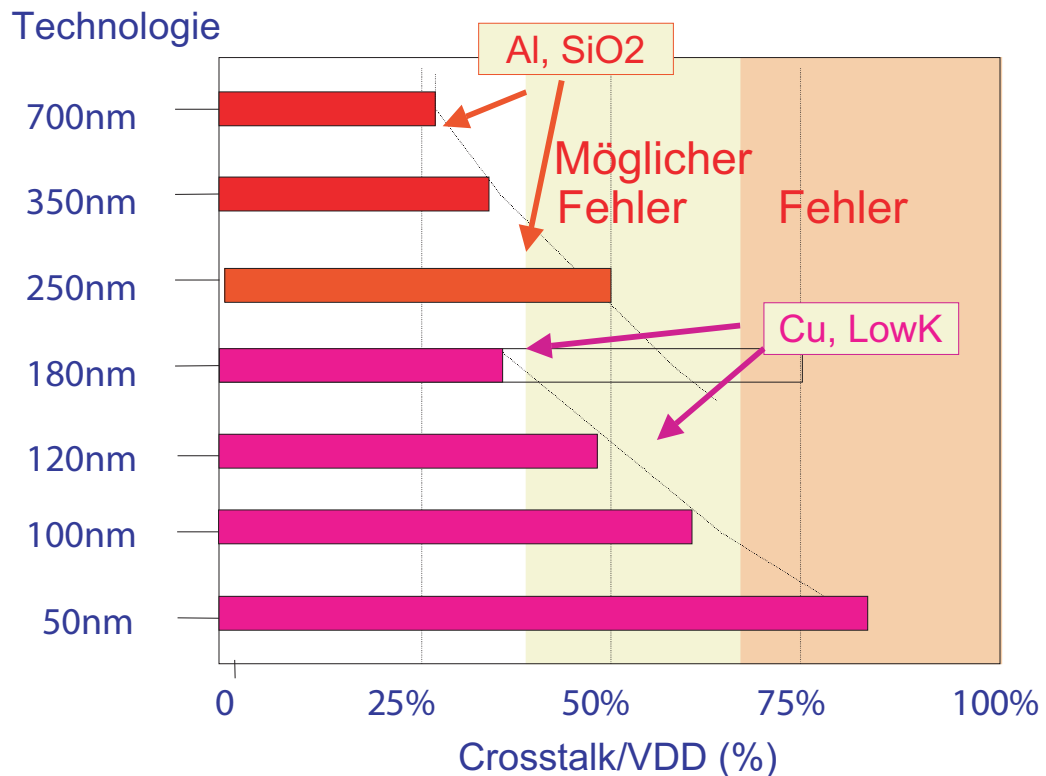


Bild 1.1: Übersprechen bei gekoppelten Leitungen [42]

Ansätze mit veränderten Design-Regeln und grösseren geometrischen Abmessungen wie in [82] vermeiden zwar ein Übersprechen, vergrößern jedoch auch die verwendete Chipfläche. Die grundsätzliche Ursache für das Auftreten von solchen Effekten wird damit aber nicht behoben.

Ansätze wie in [46] und [54] dargestellt, reduzieren durch den Einbau von geeigneten Treibern die Leitungsverzögerung auf Bussystemen. Eine Übersicht über die Erfolge bei der Verhinderung von Kopplung in den letzten Jahren ist in [97] zu finden.

Aus der Sicht des Designers könnte der Effekt des Übersprechens toleriert werden, wenn lange, parallele Leitungen vermieden werden. Dazu werden spezielle Design Flows entwickelt, die besonders die Schwierigkeiten der Signalintegrität berücksichtigen [26]. Tatsächlich ist es aber erforderlich, die maximale Leitungslänge bei jeder Technologie durch Messungen oder Simulationen zu bestimmen.

Die kritische Leitungslänge wird als obere Begrenzung in Routing-Design-Tools fest eingestellt, um sicherzustellen, dass keine Leitung länger als das zulässige Limit, bei dem ein Übersprechen bzw. eine zu grosse Verzögerung auftritt,

ist. Bild 1.2 zeigt die Entwicklung der kritischen Leitungslänge für verschiedene Technologien, bei denen Übersprechen und Kopplung bis zu 30 % der Versorgungsspannung VDD auftreten kann, ohne dass das System unsicher wird. Die kritische Leitungslänge hat sich im Laufe der Zeit von 8mm in der 350nm Technologie bis zu 1mm in der 100nm Technologie verringert.

In den zukünftigen Nanometertechnologien ³ ist davon auszugehen, dass sich diese kritische Länge bis auf 0,3mm in der 22nm Technologie reduziert [12], [29], [30], [44], [98], [99].

Crosstalk (%VDD)

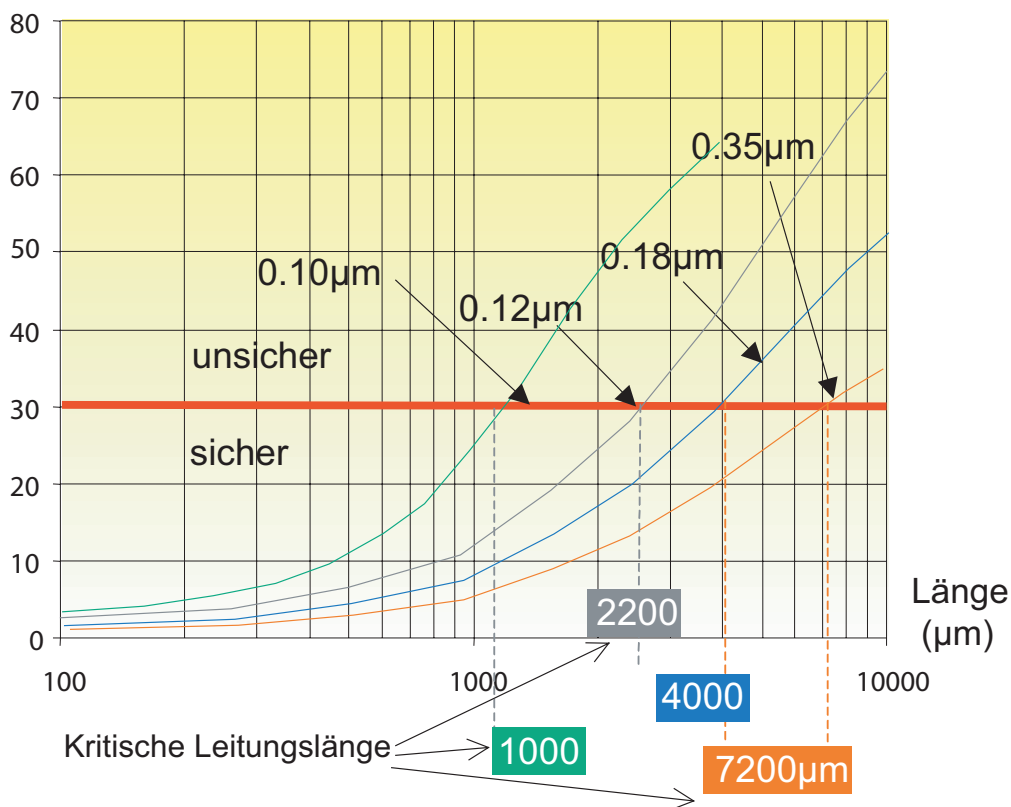


Bild 1.2: Kritische Leitungslänge für sicheres Schalten [42]

³ Chipdesigner sprechen bei Technologien im zweistelligen Nanometerbereich (99nm und kleiner) nicht mehr von Mikro-, sondern von Nanoelektronik und somit von Nanometertechnologien.

Die Probleme, die aus dieser kritischen Leitungslänge für das Testen entstehen, sind noch kaum untersucht. Lediglich in wenigen Veröffentlichungen wird diese Problematik angesprochen [8], [14], [20], [21], [24]. Während es etliche Veröffentlichungen über Testverfahren zur Ermittlung von leitungsbedingten Fehlern (vor allem Kopplung) in Schaltungen gibt [9], [14], [21], [22], [23], [60], [62], [84], [108] sind nahezu keine Untersuchungen über die Anfälligkeit von Testmustern in Bussystemen auf Chips durchgeführt worden. Dabei besteht gerade hier Bedarf, da zukünftige mikroelektronische Schaltungen mit mehreren Millionen von Transistoren [34] mit vertretbarem Aufwand nur noch mit Hilfe von Selbsttestverfahren getestet werden können [83], [109], wobei diese Testmuster fehlerfrei über lange Bussysteme propagiert werden müssen.

In Kapitel 2 werden zunächst das Verhalten und der Trend der Leitungsparameter in den Nanometertechnologien gezeigt. Die Grundlagen und die verschiedenen Möglichkeiten der Leitungssimulation werden in Kapitel 3 erläutert. Kapitel 4 beschreibt das Prinzip des Testens mit Testmustergeneratoren und stellt die in dieser Arbeit untersuchten Generatoren vor. Das Verhalten von Kopplung auf Signalleitern bei verschiedenen Randbedingungen wird in Kapitel 5 dargestellt. Der Einfluss der Testmustersignale auf die Spannungsversorgung wird in Kapitel 6 gezeigt. Eine Zusammenfassung sowie Anregungen für weiterführende Arbeiten zeigt Kapitel 7.

2 Leitungsparameter in der Nanoelektronik

Die zunehmende Miniaturisierung der Strukturen in den Nanometertechnologien macht auch nicht vor den Geometrien der Verbindungsleitungen auf mikroelektronischen Schaltungen halt [89], [90]. Während in der 130nm Technologie Strukturen mit minimaler Leitungsbreite von ca. $0,34\mu\text{m}$ und mit minimaler Leitungshöhe von $0,67\mu\text{m}$ in der obersten Metall-Lage gefertigt wurden, werden diese Geometrien bis zur 22nm Technologie, die laut SIA Roadmap [7], [50] im Jahr 2016 aktuell sein wird, nur noch ca. 20 % dieser Abmessungen besitzen. Die Leitungsbreite in dieser Technologie wird lediglich bis zu $0,05\mu\text{m}$, die Leiterhöhe nur noch $0,13\mu\text{m}$ betragen. Dazu reduziert sich der minimale Abstand der Leitungen von $0,34\mu\text{m}$ in der 130nm Technologie auf $0,05\mu\text{m}$ in der 22nm Technologie und der vertikale Abstand der obersten Metall-Lagen von $1,20\mu\text{m}$ auf $0,85\mu\text{m}$. Diese Verkleinerung der Leitungsquerschnitte führt zu einer starken Veränderung der Leitungseigenschaften [3]. Ein zusätzlicher starker Anstieg der Taktfrequenz auf nahezu 30 GHz und eine Reduzierung der Betriebsspannung auf 0,4 Volt führen zu einer dramatischen Beeinflussung der Transmissionseigenschaften von Leitungen [38]. In Kapitel 5 werden diese Effekte durch Simulationen aufgezeigt.

Bild 2.1 zeigt zusammen mit Tabelle 2.1 die von der SIA Roadmap prognostizierten Leitergeometrien in den zukünftigen Technologien. Werte, die nicht direkt aus der Roadmap abzulesen sind, wurden aus vorangegangenen Untersuchungen interpoliert [5] und durch Messungen [4], [6], [104], [105] bestätigt.

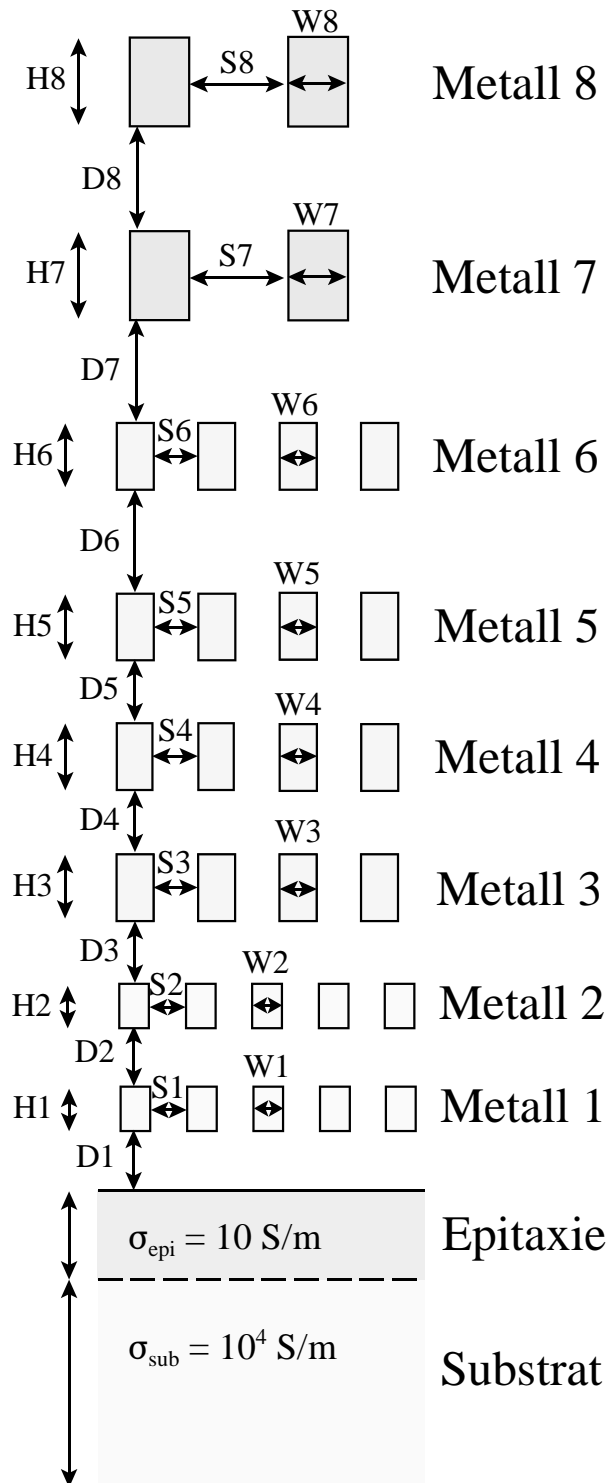


Bild 2.1: Vereinfachte Chip-Querschnitts-Geometrie

Technologie	130 nm	115 nm	100 nm	90 nm	80 nm	70 nm	65 nm	45 nm	32 nm	22 nm
Jahr	2001	2002	2003	2004	2005	2006	2007	2010	2013	2016
W1, W2 [μm]	0,18	0,15	0,12	0,11	0,09	0,09	0,08	0,05	0,04	0,03
W3 - W6 [μm]	0,23	0,19	0,16	0,13	0,12	0,11	0,10	0,07	0,05	0,03
W7, W8 [μm]	0,34	0,28	0,24	0,23	0,18	0,16	0,15	0,10	0,07	0,05
S1, S2 [μm]	0,18	0,15	0,12	0,11	0,09	0,09	0,08	0,05	0,04	0,03
S3 - S6 [μm]	0,23	0,19	0,16	0,13	0,12	0,11	0,10	0,07	0,05	0,03
S7, S8 [μm]	0,34	0,28	0,24	0,23	0,18	0,16	0,15	0,10	0,07	0,05
H1, H2 [μm]	0,28	0,24	0,20	0,18	0,16	0,14	0,13	0,09	0,07	0,05
H3 - H6 [μm]	0,36	0,30	0,27	0,23	0,20	0,18	0,18	0,12	0,09	0,07
H7, H8 [μm]	0,67	0,57	0,50	0,48	0,40	0,35	0,32	0,24	0,17	0,13
D1, D2 [μm]	0,70	0,70	0,70	0,66	0,63	0,60	0,58	0,56	0,54	0,51
D3 - D5 [μm]	0,66	0,66	0,66	0,63	0,60	0,57	0,53	0,50	0,47	0,43
D6 - D8 [μm]	1,20	1,20	1,20	1,10	1,05	1,00	0,95	0,93	0,90	0,85
Epitaxiedicke [μm]	0,5	0,465	0,435	0,4	0,365	0,335	0,3	0,3	0,25	0,2
Substratdicke [μm]	400	400	400	400	400	400	400	400	400	400
Frequenz [GHz]	1,7	2,3	3,1	4	5,2	5,6	6,7	11,5	19,3	28,8
Rise/Fall Zeit [ns]	0,088	0,065	0,048	0,038	0,029	0,027	0,022	0,013	0,008	0,005
Halbtakt [ns]	0,294	0,217	0,161	0,125	0,096	0,089	0,075	0,043	0,026	0,017
Clast [pF]	0,015	0,013	0,01	0,009	0,008	0,007	0,007	0,005	0,003	0,002
Vdd (V)	1,1	1	1	1	0,9	0,9	0,7	0,6	0,5	0,4
epsilon r	3,6	3,6	3,6	3,1	3,1	3,1	2,7	2,1	1,9	1,8

Tabelle 2.1: Geometrische Daten von Leitungen auf Basis der SIA Roadmap [7]

Für die Simulation von Leitbahneffekten ist es sinnvoll, die geometrische Struktur der Leitung sowie die Materialeigenschaften in Form von Leitungsparametern abzubilden. Die wichtigsten Parameter sind in erster Linie der Widerstandsbelag R' und der Kapazitätsbelag C' , aber auch gerade bei hochfrequenten Schaltungen (1 GHz und höher) kann der Induktivitätsbelag L' eine wichtige Rolle spielen. Der Leitwertsbelag G' repräsentiert die Verluste, die aufgrund von Querströmen im Substrat entstehen. Das derzeit bei der Fertigung mikroelektronischer Schaltungen am Häufigsten verwendete Siliziumsubstrat ist i.A. recht gut leitend. Daher wurden in dieser Arbeit Untersuchungen von Leitungen auf hochleitendem Silizium-Substrat ($\rho_2 = 10^{-4} \Omega cm$ bzw. $\sigma_{sub} = 10^4 S/m$ mit $\sigma_{sub} = 1/\rho_2$) mit Epitaxieschicht bei ebenfalls hohen Frequenzen (1 GHz und höher) durchgeführt. Die Wellenausbreitung erfolgt somit im Bereich des Skin-Effekt-Modus (Bild 2.2). Das Bild zeigt die Frequenz aufgetragen über dem spezifischen Substratwiderstand. Unter bestimmten Annahmen bei den Schichtdicken ergeben sich die im Bild dargestellten Bereichsgrenzen. In diesem Mode kann die Leitwertmatrix häufig vernachlässigt werden, da die dissipierte Leistung $P_R \gg P_G$ ist (Erläuterung siehe [35]).

Bei den Simulationen in den nachfolgenden Kapiteln werden daher die Leitungen in sehr guter Annäherung an die Realität nur über die Leitungsparameter R' , L' und C' beschrieben.

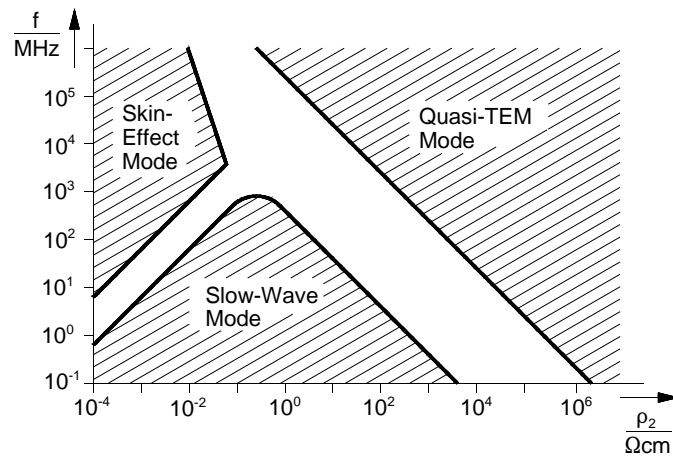


Bild 2.2: Graphische Darstellung der auftretenden Ausbreitungsmoden nach Hasegawa [43]

Die exakte Berechnung der Leitungsbeläge lässt sich in der Regel für die gebräuchlichen, einigermaßen komplexen Geometrien nur mit Hilfe numerischer Feldberechnungen durchführen und ist dadurch meist sehr zeit- und rechenintensiv. Reduziert man die Betrachtungsweise jedoch auf zweidimensionale Strukturen (aufgrund der Homogenität in Längsrichtung ist dies für hinreichend lange Leitbahnen zulässig), so lässt sich die Berechnungszeit der Parameter erheblich verringern. Die Parameter für die Untersuchungen in dieser Arbeit wurden mit dem am Laboratorium für Informationstechnologie entwickelten Programm LI-PACIFIC [41] extrahiert. Dieses Programm basiert auf einer quasianalytischen Methode zur Berechnung der Leitungsparameter zweidimensionaler Geometrien. Bei Validierung der Ergebnisse zeigte sich, dass die Genauigkeit dieses Tools bei den hier verwendeten Strukturen dem Vergleich mit FEM-Simulationen durchaus standhält [13].

In den folgenden Kapiteln wird die Veränderung der Leitungsparameter pro Länge R' , L' und C' in den zukünftigen Technologien gezeigt. Dabei wird nur oberflächlich auf die genaue Definition und mathematische Beschreibung der Leitungsbeläge eingegangen. Eine exakte und ausführliche Formulierung der Leitungsbeläge findet sich in [79].

Heutige Chips werden nahezu ausschliesslich mit Kupferleitern gefertigt. Leiter, die mit der alten Aluminiumtechnologie gefertigt werden, besitzen einen um Faktor 2 höheren Widerstandsbelag. Dies bedeutet, dass die Leitungsverzögerung höher ist als die von Leitern aus Kupfer. Da die Effekte bei Kupferleitern schon ausreichen, um die Probleme zukünftiger Technologien zu zeigen und Aluminiumleiter in Kürze nicht mehr gefertigt werden, wird auf eine Darstellung von

Simulationen mit Aluminiumleitern verzichtet. Für die Untersuchungen in die-

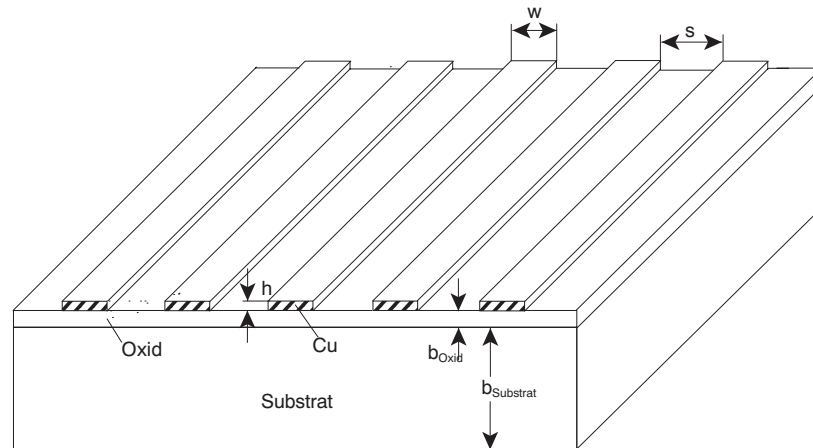


Bild 2.3: Schematische Struktur des verwendeten 5-Leiter-Systems

ser Arbeit wird eine schematische Chip-Struktur mit 5 parallel in einer Metallebene geführten Leitern (Bild 2.3) zugrundegelegt. Die SIA Roadmap prognostiziert einen Anstieg von derzeit 8 Metallebenen auf bis zu 11 Metallebenen in der 22nm Technologie. Um die Ergebnisse in den verschiedenen Technologien vergleichen zu können, werden in allen Technologien 8 Metallebenen zugrunde gelegt (Bild 2.1). Die Metallebene 1 ist immer die unterste Ebene, die Ebenen 4, 5 und 6 sind mittlere Ebenen und die Metallebene 8 die oberste Ebene (deren geometrische Werte bei einer höheren Anzahl von Metallebenen den Ebenen 9, 10 bzw. 11 entsprechen). Mit Hilfe des Extraktionsprogramms LIPACIFIC werden die Leitungsparameter extrahiert mit der Randbedingung, dass die unendlich gut leitenden Rückleiter des Leitungssystems jeweils rechts und links parallel zu den Signalleitern sehr weit entfernt angeordnet und mit dem Substrat verbunden sind [63]. Die Verwendung eines 5-Leiter-Systems wird dadurch begründet, dass sich die Leitungsverzögerung der hier verwendeten Geometrien bei Systemen mit mehr als 5 parallelen Leitungen nicht mehr signifikant ändert und daher die Betrachtung eines Systems mit 5 Leitern ausreicht. Dazu wurden Simulationen bei verschiedenen Technologien durchgeführt mit Leitungssystemen gleicher Länge und unterschiedlicher Leiteranzahl. Bild 2.4 zeigt die Leitungsverzögerung auf der bzw. einer mittleren Leitung. Es zeigt sich, dass bei 5 Leitungen eine gewisse Sättigung bei der Verzögerungszeit auftritt. Das Hinzufügen von weiter entfernten Nachbarleitungen führt zu keinem nennenswerten Anstieg der Verzögerungszeit mehr. Für die Kopplung von Nachbarleitungen sind daher nur die beiden nächsten Nachbarn jeweils rechts und links einer Leitung entscheidend - die Koppeleffekte durch weiter entfernte Leitungen können vernachlässigt werden, da sie außer bei

magnetischen Koppelnflüssen keinen Einfluss mehr auf die Signalverzögerung besitzen.

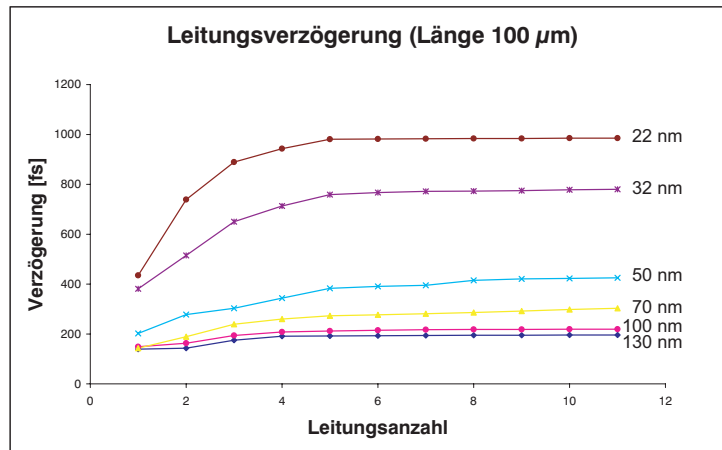


Bild 2.4: Signalverzögerung in Abhängigkeit der Leiteranzahl

Globale und damit lange Verbindungsleitungen (in der Literatur auch als Inter-Modul/core bezeichnet) werden meist in den obersten Metallebenen angeordnet (in der verwendeten beispielhaften Struktur also Metall-Lagen 7 und 8). Die mittleren Metallebenen sind als Verdrahtungsebenen zur Verbindung von globalen und lokalen Leitungen (Intra-Modul/core) vorgesehen (hier Metall-Lagen 3 - 6). Kurze lokale Leitungen werden im Normalfall in den unteren Metallebenen gefertigt (Metall-Lagen 1 und 2).

Leitungsparameter verändern sich jedoch bei einer gegebenen Geometrie aufgrund des Skin-Effektes im Substrat frequenzabhängig (der Skin Effekt im Leiter kann aufgrund der kleinen Leiterquerschnitte vernachlässigt werden) und zeigen das folgende Verhalten: der Widerstandsbelag eines Leiters wird mit steigender Frequenz grösser, der Induktivitätsbelag wird kleiner, da die innere Induktivität gegen Null geht, wobei hier das Magnetfeld im Substrat mit zu berücksichtigen ist ($L_{ges} = L_i + L_a$). Der Kapazitätsbelag bleibt aufgrund der hohen Substratleitfähigkeit nahezu konstant ([35], [13], [37]). In dieser Arbeit wurde nicht die Frequenzabhängigkeit von Leitungsparametern untersucht, sondern die Parameter bei der von der SIA Roadmap zur jeweiligen Technologie prognostizierten maximalen Taktfrequenz extrahiert. Ein Vergleich von Simulationsergebnissen des Zeitbereichssimulators LOSSYWIRE mit einem Simulator, der frequenzabhängige Parameter berücksichtigt [13], zeigt, dass diese Vereinfachung durchaus zulässig ist: Dazu wurde ein Leitungssystem mit einem Impulssignal beaufschlagt und das Signal am Ende des Leitungssystems beobachtet. Die Simulation mit 81

frequenzabhängigen Parametern lieferte nahezu das gleiche Ausgangssignal wie die Simulation mit einem lediglich bei einer angenommenen maximalen Frequenz des Signales extrahiertem Parametersatz [37].

2.1 Der Kapazitätsbelag C'

Den Kapazitätsbelag C' definiert man als die Kapazität C pro Länge als Ladung, die ein Leiter gegenüber allen anderen Leitungen und dem Substrat besitzt. Für die Maxwellschen Kapazitätskoeffizienten gilt definitionsgemäß:

$$q_i = \sum c_{ik} V_k$$

oder in Matrixform

$$\begin{pmatrix} q_1 \\ q_2 \\ \vdots \\ q_n \end{pmatrix} = \begin{pmatrix} c_{11} & c_{12} & \cdots & c_{1n} \\ c_{12} & c_{22} & \cdots & c_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ c_{1n} & c_{2n} & \cdots & c_{nn} \end{pmatrix} \begin{pmatrix} V_1 \\ V_2 \\ \vdots \\ V_n \end{pmatrix}$$

Die Matrix enthält die Maxwellschen Kapazitätskoeffizienten c_{nn} und ist immer symmetrisch.

Durch die Beziehungen

$$C_{kn} = -c_{kn} \quad \text{mit} \quad n \neq k$$

sowie

$$C_{kk} = \sum_{n=1}^k c_{kn}$$

lassen sich die Teilkapazitäten C_{nn} berechnen.

Für die Abschätzung des Teilkapazitätsbelages einer Einzelleitung über dem Substrat gelingt es noch, eine Näherungsformel anzugeben. Dabei gilt für eine Leitung mit der Breite W , der Höhe H auf einer dielektrischen Schicht der Dicke D näherungsweise [88]:

$$\frac{C_1}{\varepsilon_{ox}} = 1,15 \frac{W}{D} + 2,80 \frac{H^{0,222}}{D}$$

Für Zweileitersysteme über dem Substrat wurde 1992 eine ähnliche Näherung nach [25] vorgestellt (S ist der Abstand zwischen den Metall-Leitern):

$$\frac{C_{10}}{\varepsilon_{ox}} = \frac{W}{D} + 3,28 \left(\frac{H}{H + 2D} \right)^{0,023} + \left(\frac{S}{S + 2D} \right)^{1,16} \quad (\text{Kapazität gegenüber Masse, Substrat ist geerdet})$$

bzw.

$$\begin{aligned} \frac{C_{12}}{\varepsilon_{ox}} = & \frac{W}{H} + 1,064 \left(\frac{T}{S} \right) \left(\frac{T + 2H}{T + 2H + 0,5S} \right)^{0,695} \\ & + \left(\frac{W}{W + 0,8S} \right)^{1,4148} \left(\frac{T + 2H}{T + 2H + 0,5S} \right)^{0,804} \\ & + 0,831 \left(\frac{W}{W + 0,8S} \right)^{0,055} \left(\frac{2H}{2H + 0,5S} \right)^{3,542} \end{aligned} \quad (\text{Kapazität zwischen zwei benachbarten Leitungen, Substrat ist geerdet})$$

Eine analytische Berechnung der Leitungsparameter von n-Leiter-Systemen mit Hilfe von Näherungsformeln ist i.a. nicht möglich. Hierfür sind numerische Verfahren notwendig.

In n-Leiter-Systemen unterscheidet man zwischen der Kopplung gegenüber Masse C'_{kk} ($k = 1, \dots, n$) - auch Eigenkapazität genannt - und der Kopplung zwischen benachbarten Leitern C'_{ki} ($k = 1, \dots, n$), ($i = 1, \dots, n$), $k \neq j$ - dem Koppelkapazitätsbelag (Bild 2.5).

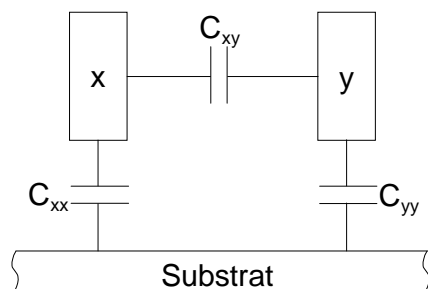


Bild 2.5: Teilkapazitäten eines Zweileitersystems

Ferner soll in dieser Arbeit die mit der Technologie kleiner werdende Dielektrizitätskonstante ε_r des Dielektrikums zwischen den Metallebenen betrachtet werden. Ging man bisher davon aus, dass die Dielektrizitätskonstante sich mit kleiner werdenden Technologien nicht oder nur wenig ändert, so prognostiziert die SIA Roadmap (Tabelle 2.1) ein stetiges Absinken von ε_r . Während in der 180nm Technologie ε_r ca. 3,7 betrug, so setzte sich der Trend in der 130nm Technologie

mit $\varepsilon_r = 2,6$ bis $3,0$ fort. Die SIA skaliert daher für die zukünftigen Technologien ebenfalls die Dielektrizitätskonstante des Dielektrikums. Da sich die Kapazität von Leitungssystemen bei diesen Geometrien und einer bestimmten Leitfähigkeit proportional zur Dielektrizitätskonstante ergibt, werden die Kapazitäten mit den kleineren Technologien bei fallendem ε_r ebenfalls geringer (siehe Kapitel 2.1).

In älteren Technologien (350nm und grösser) war die Breite der Leitungen grösser als deren Höhe (Bild 2.6) - d.h. die Kapazität gegenüber Masse war i.a. grösser als

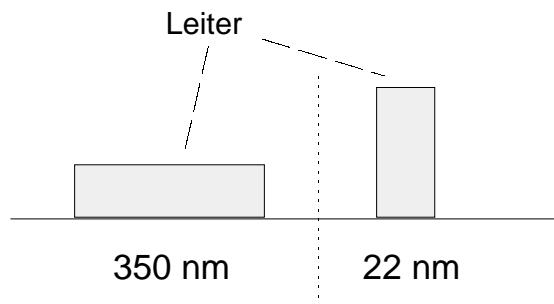


Bild 2.6: Vergleich Leitergeometrie 350nm/22nm Technologie

die Koppelkapazität zwischen benachbarten Leitungen (unter Berücksichtigung der Leiterabstände). Seit der 250nm Technologie und darunter hat sich dieses umgekehrt: Leiter sind heutzutage höher als breit. So hat sich zwar die Kapazität gegen Masse reduziert, jedoch die Koppelkapazität zwischen Nachbarleitern hat sich stark erhöht. Somit besitzt in zukünftigen Technologien die Koppelkapazität einen wesentlich stärkeren Einfluss auf das Signalverhalten auf Leitungen als die Eigenkapazität.

2.1.1 Der Eigenkapazitätsbelag

Bild 2.7 zeigt das Verhalten des Eigenkapazitätsbelages (Kapazität gegenüber dem geerdeten Substrat) C'_{33} (Mittelleiter) bei dem 5-Leitersystem in 5 ausgewählten Metallebenen. Durch die geometrische Anordnung der Leiter in den verschiedenen Metallebenen reduziert sich die Eigenkapazität in der dem Substrat am nächsten liegenden Metallebene 1 von der 130nm Technologie zur 22nm Technologie um Faktor 5. In der dem Substrat entferntesten Metallebene 8 ist die Verringerung dagegen lediglich etwas mehr als Faktor 2. Auf die dazwischenliegenden Metallebenen trifft dieses ebenfalls zu: je weiter entfernt die Metallebene vom Substrat ist, desto geringer ist die Änderung der Eigenkapazität bei kleineren Geometrien (zum Vergleich: Metallebene 6: Faktor 2,7, Metallebene 5: Faktor 3, Metallebene

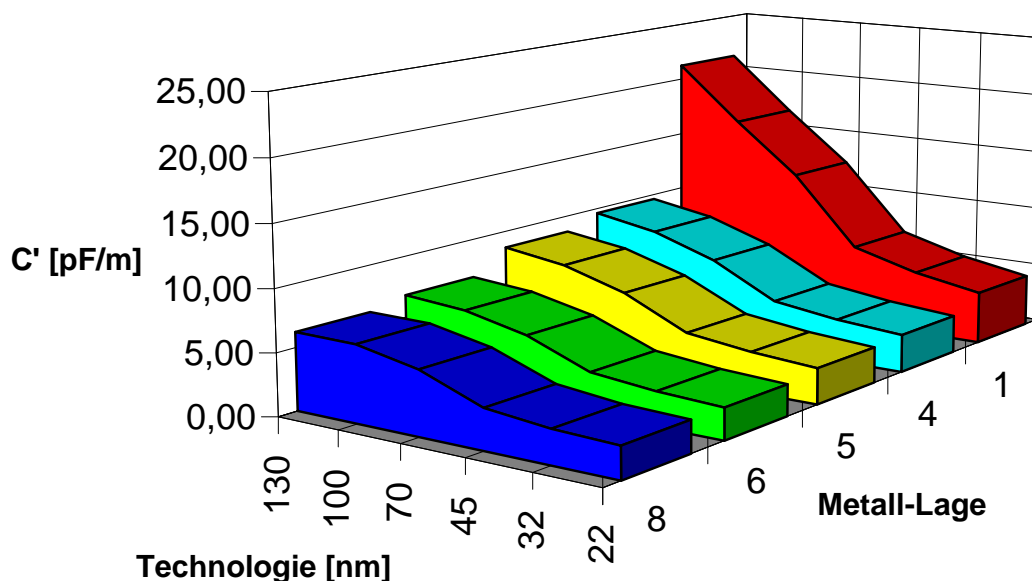


Bild 2.7: Eigenkapazitätsbelag der mittleren Leitung eines 5-Leitersystems

4: Faktor 3,1). Dies lässt sich einfach mit Hilfe von Bild 2.1 erklären: Die Leiterbreite wird über alle Metallebenen mit der Technologie deutlich kleiner, jedoch nimmt der Abstand der untersten Metallebene 1 zum Substrat mit kleiner werdender Technologie kaum ab. Im Gegensatz dazu wird der Substratabstand der oberen Metallebenen deutlich geringer. Geht man in erster Näherung von der Gleichung

$$C = \varepsilon \frac{A}{d}, w \gg d \quad (\text{A: Leiterquerschnitt, d: Substratabstand, w: Leiterbreite})$$

aus, so ändert sich der Leiterquerschnitt A mit kleiner werdenden Technologien über alle Metallebenen in ähnlicher Weise, jedoch der Abstand d zum Substrat bleibt in Metallebene 1 i.a. konstant und ändert sich stark in höher liegenden Metallebenen. Somit ist die Grösse der Eigenkapazität bei globalen Leitungssystemen (Verdrahtung in Metallebenen 7 und 8) mit Verkleinerung der Technologie nahezu konstant, da sich Querschnitts- und Abstandsverkleinerung nahezu aufheben. Dazu kommt, dass ε_r mit kleiner werdenden Technologien ebenfalls kleiner wird (vgl. Kapitel 2.1). In den unteren Metallebenen ändert sich praktisch nur der Leiterquerschnitt - und somit nimmt der Eigenkapazitätsbelag stark ab. Der zusätzliche Effekt durch die abnehmende Dielektrizitätskonstante ε_r wurde schon in Kapitel 2.1 erwähnt. Für die Kopplung gegenüber dem Substrat bedeutet dies, dass diese mit kleiner werdenden Technologien verringert wird.

2.1.2 Der Koppelkapazitätsbelag

Die Koppelkapazität ist definiert als die Kapazität zwischen zwei Leitern. Entscheidend für deren Grösse ist die Höhe des Leiters (also die Fläche eines Leiters, die dem Nachbarleiter zugewandt ist) und der Abstand zwischen den Leitern. Bild 2.8 zeigt das Verhalten des Koppelkapazitätsbelages C'_{34} (Kopplung zwischen Leiter 3 und 4 im beschriebenen 5-Leiter-System) bei Kupferleitern in 5 ausgewählten Metallebenen. Deutlich lässt sich erkennen, dass sich der kapazitive

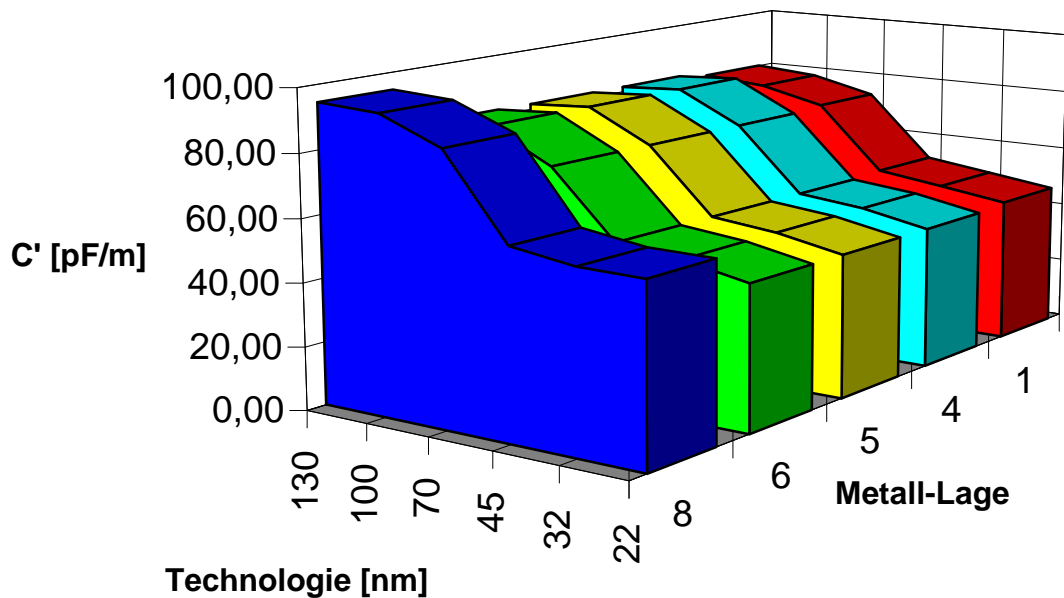


Bild 2.8: Koppelkapazitätsbelag der mittleren Leitung eines 5-Leitersystems

Kopplungseinfluss mit kleiner werdenden Technologien verringert und auf einen nahezu konstanten Wert zusteuert. In den Simulationen in Kapitel 5 ist dieser abnehmende Einfluss der Technologie deutlich erkennbar. Aufgrund der geometrischen Struktur der Leiter in den unterschiedlichen Metallebenen ist die Grösse des Koppelkapazitätsbelages unterschiedlich, das Verhalten über die verschiedenen Technologien ist jedoch identisch. Nach den Parametern der SIA Roadmap sind die kapazitiven Kopplungseffekte in den lokalen Verdrahtungsebenen 1 und 2 am geringsten und in den globalen Verdrahtungsebenen 7 und 8 am grössten. Aber auch in diesen Metallebenen zeigt sich der gleiche Verlauf über die Technologien und den damit erreichten konstanten Wert der Koppelkapazitäten bei kleineren Technologien. Die Effekte, die durch die Koppelkapazitäten hervorgerufen werden, schwächen sich somit in allen Metallebenen mit kleiner werdenden Technologien ab. Vergleicht man die Werte der Koppelkapazität mit denen der Eigenkapazität (Bild 2.2), so sind die der Koppelkapazität um den Faktor 4 bis 22

je nach Metallebene grösser. In der 130nm Technologie ist der Kopplungsfaktor

Metallebene	Technologie					
	130 nm	100 nm	70 nm	45 nm	32 nm	22 nm
1	3,77	4,71	5,90	7,80	9,45	10,90
4	8,51	9,56	10,49	12,31	14,24	14,90
5	9,49	10,52	11,43	13,25	15,22	15,80
6	12,04	12,97	13,78	15,74	17,95	18,21
8	15,18	15,14	16,49	18,21	20,82	22,07

Tabelle 2.2: Kapazitiver Kopplungsfaktor $k = \frac{C_{koppel}}{C_{eigen}} = \frac{C_{34}}{C_{33}}$ der benachbarten Leitungen 3 und 4 in Abhängigkeit von Technologie und Metall-Lage

$k = \frac{C_{koppel}}{C_{eigen}}$ in der globalen Verdrahtungsebene 8 um den Faktor 5 grösser als in der lokalen Ebene 1. In der 22nm Technologie hingegen reduziert sich dieses Verhältnis von Ebene 8 zu Ebene 1 auf den Faktor 2. Deutlich ist jedoch der starke Anstieg des Kopplungsfaktors mit kleiner werdender Technologie zu erkennen. Es ist offensichtlich, dass nicht die kapazitive Kopplung gegenüber dem Substrat, sondern die Kapazität zwischen stromführenden Leitern in Zukunft von Bedeutung sein wird.

2.2 Der Induktivitätsbelag L'

Der Induktivitätsbelag ist bei gekoppelten Leitungen inzwischen ebenso wichtig wie die Parameter R' und C' , wird jedoch in vielen Leitungsmodellen möglicherweise deshalb nicht berücksichtigt, weil seine Berechnung besonders bei dreidimensionalen Strukturen äusserst schwierig ist [2]. Der Induktivitätsbelag setzt sich aus der frequenzunabhängigen äusseren Induktivität L'_a und der frequenzabhängigen inneren Induktivität L'_i zusammen ($L'_{ges} = L'_a + L'_i$).

Die äussere Induktivität L'_a wird von der Leitungsgeometrie und den magnetischen Eigenschaften der Leitung bestimmt. Die innere Induktivität L'_i rührt von den Magnetfeldern in den Leitern her und nimmt mit zunehmender Frequenz ab, da die Leiterquerschnitte mehr und mehr feldfrei werden. Die äussere Induktivität wird beschrieben durch das Feld, das durch die Fläche zwischen Hin- und Rückleiter hindurchtritt.

Der Zusammenhang zwischen magnetischer Feldenergie und Induktivität ist durch die Formel

$$2W'_{mag} = \sum_k \sum_n I_k I_n L'_{kn}$$

gegeben (vgl. [35]). Für eine Doppelleitung ergibt sich daher:

$$W = \frac{1}{2}L_1I_1^2 + MI_1I_2 + \frac{1}{2}L_2I_2^2$$

Bei stark verlustbehafteten Leitungsstrukturen spielt die induktive Kopplung eine nicht dominierende Rolle, hingegen führt bei gut leitenden Leitungen eine Vernachlässigung der Induktivität zu einem Fehler bei der Modellierung eines gekoppelten Leitungssystems [70]. Im Skin-Effekt Mode (vgl. Bild 2.2) gilt für den gesamten Induktivitätsbelag ohne Berücksichtigung von Randeffekten nach [35] folgende Näherungsformel (Abstand zum Rückleiter b , Leiterdurchmesser w , Eindringtiefe δ) für Rundleiter:

$$L' \approx \mu_0 \frac{b + \delta/2}{w}$$

2.2.1 Der Selbstinduktivitätsbelag

Bild 2.9 zeigt das Verhalten des gesamten Selbstinduktivitätsbelages L'_{ges} bei Kupferleitern in einer Ebene in 5 der 8 Metallebenen bei einer Substratleitfähigkeit von $\sigma = 10000S/m$. In der globalen Verdrahtungsebene 8 besitzt die Selbstinduktivität den geringsten Wert gegenüber den anderen Metallebenen. Mit Verkleinerung der Technologie steigt der Induktivitätsbelag in jeder Metallebene gleichstark linear an. Eine Begründung dieses Verhaltens mit Hilfe analytischer Ausdrücke für rechteckige Leiter ist schwer: Einfacher ist es bei der Betrachtung von Rundleitern. Für einen Rundleiter gilt (a : Abstand zwischen Leitern bzw. Leiter und Substrat, r_0 : Radius des Leiters):

$$L' = \frac{\mu_0}{\pi} \ln \frac{a - r_0}{r_0} \quad \text{mit} \quad a > r_0$$

Hier ist also das Verhältnis von Leiterradius und Abstand der Leiter bzw. zum Substrat für die Grösse des Induktivitätsbelages entscheidend (Bild 2.10). Diese einfache Näherungsformel gilt jedoch nur für Rundleiter mit vernachlässigbarem Querschnitt. Für die in dieser Arbeit untersuchten Rechteckleiter ist die mathematische Beschreibung nach [59] jedoch ungleich komplizierter, so dass nicht nur

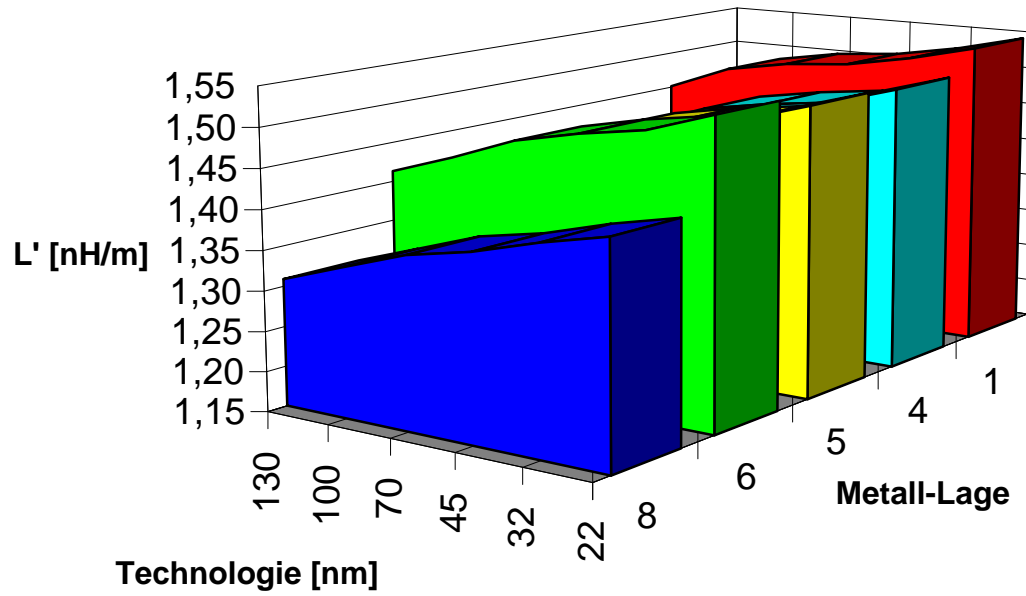


Bild 2.9: Selbstinduktivitätsbelag der mittleren Leitung eines 5-Leitersystems

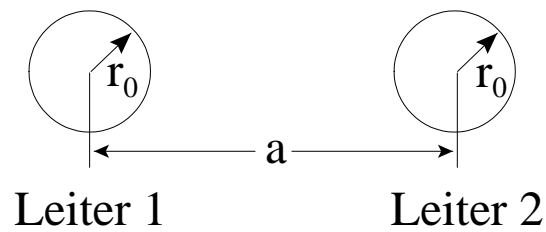


Bild 2.10: Anordnung für Näherungsformel des Induktivitätsbelages

das Verhältnis von Leiterradius und Abstand zum Substrat entscheidend ist. Für eine Komponente des Magnetfeldes bei Vernachlässigung von L_i gilt:

$$\begin{aligned}
 H_z = & \frac{I}{2\pi ab} \left[\frac{1}{2} \left(x + \frac{b}{2} \right) \ln \frac{\left(y + \frac{a}{2} \right)^2 + \left(x + \frac{b}{2} \right)^2}{\left(y - \frac{a}{2} \right)^2 + \left(x + \frac{b}{2} \right)^2} \right. \\
 & - \frac{1}{2} \left(x - \frac{b}{2} \right) \ln \frac{\left(y + \frac{a}{2} \right)^2 + \left(x - \frac{b}{2} \right)^2}{\left(y - \frac{a}{2} \right)^2 + \left(x - \frac{b}{2} \right)^2} \\
 & + \left(y + \frac{a}{2} \right) \left(\arctan \frac{x + \frac{b}{2}}{y + \frac{a}{2}} - \arctan \frac{x - \frac{b}{2}}{y + \frac{a}{2}} \right) \\
 & \left. - \left(y - \frac{a}{2} \right) \left(\arctan \frac{x + \frac{b}{2}}{y - \frac{a}{2}} - \arctan \frac{x - \frac{b}{2}}{y - \frac{a}{2}} \right) \right]
 \end{aligned}$$

In ähnlicher Weise lässt sich H_y und H_x bestimmen.

Eine einfache Abschätzung des Induktivitätsverhaltens in Abhängigkeit von der Leitergeometrie ist bei einem Rechteckleiter demnach nicht ohne weiteres möglich und lässt sich daher meist nur mit Feldberechnungsprogrammen bestimmen.

2.2.2 Der Gegeninduktivitätsbelag

Bild 2.11 zeigt das Verhalten des Gegeninduktivitätsbelages L' bei Kupferleitern in 5 ausgewählten Metallebenen. Es zeigt sich ein ähnliches Verhalten wie bei der Selbstinduktivität: Mit kleiner werdenden Technologien und damit verbundenen kleineren Strukturgrößen steigt auch der Wert der Gegeninduktivität linear an. Äquivalent zum Selbstinduktivitätsbelag ist bei der Grösse der Gegeninduktivität das Verhältnis von Leiterquerschnitt und Leiterabstand entscheidend (Bild 2.10).

2.3 Der Widerstandsbelag R'

Kapazitäts- und Induktivitätsbelag scheinen trotz eines Anstieges mit kleiner werdenden Technologien unkritisch. Das grösste Problem in den Nanometertechnologien wird allerdings der Widerstandsbelag sein. Die ohmschen Verluste aufgrund der Längsströme durch Leiter inklusive Rückleiter bzw. auch Substrat werden durch den Widerstandsbelag R' repräsentiert. Da die Leitungsquerschnitte auf Chips sehr gering sind, sind die Widerstandsbeläge von Leitungen auf integrierten Digitalschaltungen ausserordentlich hoch. Mit der zunehmenden Miniaturisierung der Leiterquerschnitte in den künftigen Technologien wird der Widerstandsbelag nahezu exponentiell ansteigen. Geht man zusätzlich davon aus, dass

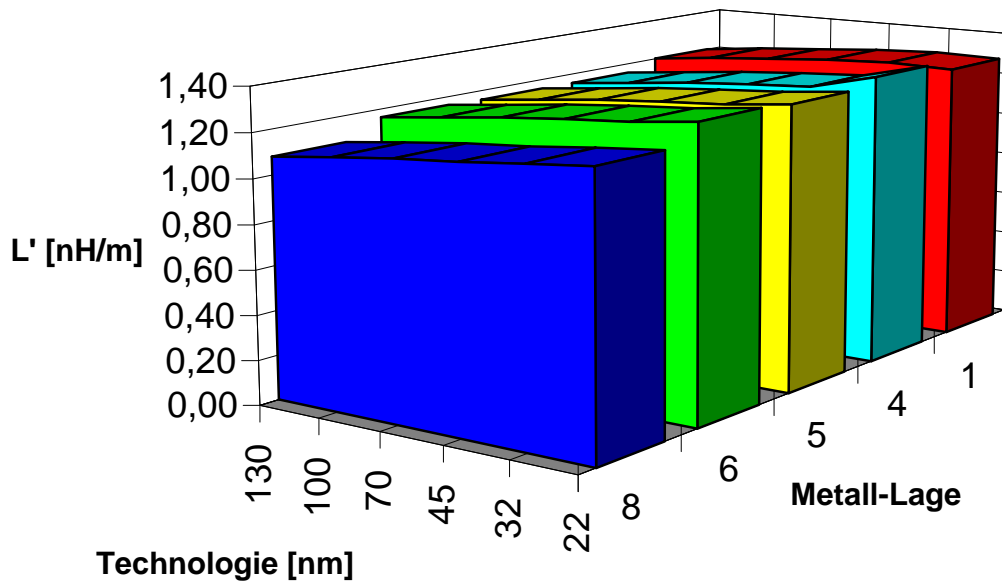


Bild 2.11: Gegeninduktivitätsbelag der mittleren Leitung eines 5-Leitersystems

die durchschnittliche Leitungslänge von globalen Verbindungsleitungen auf Chips sich bis zum Jahr 2014 nahezu verdoppeln wird, trägt der stark ansteigende Widerstandsbelag zusammen mit grossen Leitungslängen sowie den Kapazitätsbelegen zu einer ausserordentlich starken Erhöhung der Signallaufzeit bei. Mit steigender Frequenz ist es natürlich wünschenswert, eine minimale Verzögerung auf einer Leitung zu gewährleisten, da ansonsten eine fehlerfreie Übertragung des Digitalsignals unmöglich wird. Dem widersprechen aber die immer kleiner werdenden Strukturgrössen und Leiterquerschnitte. Um dem hohen Anstieg des Widerstandsbelages entgegenzuwirken, wird in letzter Zeit fast ausschliesslich Kupfer als Leitermaterial eingesetzt und hat Aluminium nahezu vollständig verdrängt. Kupfer besitzt einen spezifischen Leitwert von ca. $56 \cdot 10^6$ S/m, Aluminium dagegen nur einen fast halb so hohen Wert von lediglich $30 \cdot 10^6$ S/m. Dies bedeutet, dass der Widerstandsbelag durch die Verwendung von Kupfer als Leitermaterial fast um die Hälfte reduziert werden kann. Für die Übertragung eines Digitalsignals bedeutet dies wiederum, dass aufgrund einer geringeren Dämpfung bei gleicher Leitergeometrie und gleicher Leitungslänge ein Signal auf einem Kupferleiter mit ungefähr $\sqrt{3}$ facher Signalfrequenz gegenüber eines Aluminiumleiters fehlerfrei auf einer Einzelleitung übertragen werden kann - bei parallelen Leitungen kann diese Frequenz allerdings aufgrund elektromagnetischer Kopplung nicht erreicht werden.

Bild 2.12 zeigt den Widerstandsbelag des mittleren Leiters R_3 des verwendeten 5-Leitersystems (Bild 2.1) in Abhängigkeit der Technologien und in 5 ausgewählten Metallebenen. Die prozentual stärkste Zunahme des Widerstandsbelages tritt

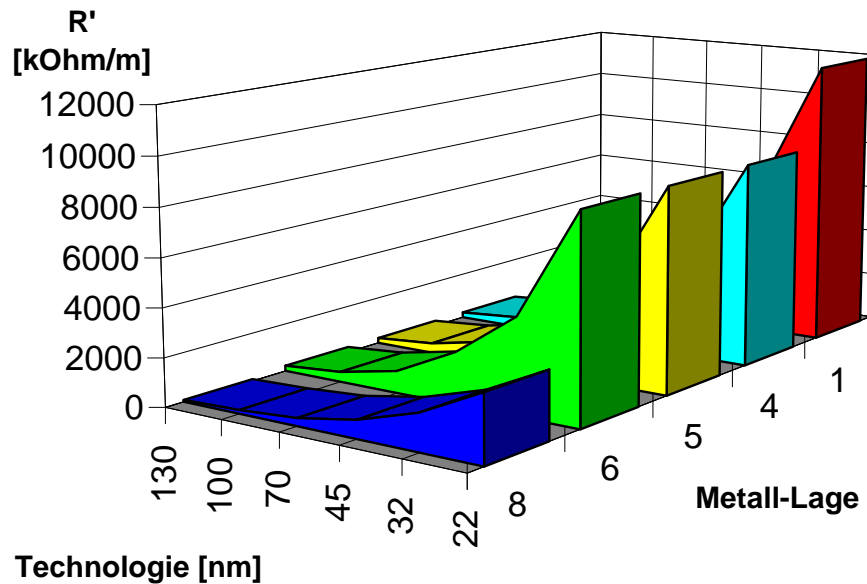


Bild 2.12: Widerstandsbelag R' der mittleren Leitung eines 5-Leitersystems

in den Metallebenen für mittlere Leitungslängen (Metall-Lagen 3-6) auf. Während sich die Strukturgrößen beim Übergang von der 130nm Technologie in die 22nm Technologie um den Faktor 6 verringern, steigt der Widerstandsbelag in Metallebene 1 um das 40fache. In der Metallebene 8, in der globale, lange Verbindungsleitungen geführt werden, ist die Zunahme immerhin noch das 35fache gegenüber der heutigen 130nm Technologie. In der untersten Metallebene (Zunahme 33fach) werden kurze, lokale Verbindungsleitungen geführt, so dass eine sehr starke Erhöhung des Widerstandsbelages zwar zu einer grossen Verzögerung führt, die jedoch bei diesen kurzen Leitungen noch nicht sehr kritisch ist. Globale Verbindungsleitungen werden in den Metallebenen 7 und 8 in ihrem Querschnitt wesentlich grösser dimensioniert als die lokalen Leitungen in Metallebene 1 und 2 (siehe Bild 2.1). Dadurch ist der Querschnitt von Leitern in Metallebene 7 und 8 um vier bis fünf mal grösser als in Metallebene 1 bzw. 2. Damit reduziert sich der Widerstandsbelag um ca. den Faktor 4 gegenüber dem in Metallebene 1 bzw. 2. Dennoch erreichen die Widerstandsbeläge Werte im $M\Omega$ -Bereich. Der Widerstandsbelag vergrössert sich nicht nur quadratisch wie im Gleichstromfall ($R = \frac{\rho}{A}$), sondern in allen Metallebenen mit kleiner werdenden Technologien nahezu exponentiell: in Metallebene 1 und 2 von 355 $k\Omega$ auf fast 12 $M\Omega$ und in Metallebene 7 und 8 immerhin noch von 79 $k\Omega$ auf fast 3 $M\Omega$. Für globale -

und damit lange - Leitungssysteme von mehr als 1 mm Leitungslänge ist dieser Anstieg dramatisch, da sich die Signallaufzeit drastisch erhöht.

Die Widerstandsbelagsmatrix R' ist bei niedrigen Frequenzen eine Diagonalmatrix, wobei die einzelnen Elemente gleich den Widerstandsbelägen der einzelnen Leitungen sind. Ab ca. 5 GHz sind die Nebendiagonalelemente jedoch nicht mehr vernachlässigbar [37].

Zusammenfassend wirkt sich von den Grössen die Änderung des Induktivitätsbelags am wenigsten auf das Signalverhalten in den zukünftigen Technologien aus. Verglichen mit dem Kapazitätsbelag und erst recht mit dem Widerstandsbelag ist die Veränderung der Induktivitätsbeläge rein linear und ändert nicht ihren Wert um Größenordnungen wie bei den anderen Leitungsparametern.

3 Leitungssimulation im Zeitbereich

Zur Beschreibung des Signalverhalten auf Verbindungsleitungen ist grundsätzlich eine Simulation im Frequenz- oder im Zeitbereich möglich. Bei Simulationen im Frequenzbereich muss eine Transformation vom Zeit- in den Frequenzbereich und wieder zurück erfolgen, da die Resultate letztlich im Zeitbereich benötigt werden. Zwar können lineare zeitinvariante Systeme im Frequenzbereich wesentlich einfacher beschrieben werden als im Zeitbereich. Da die mit den Leitungen verbundenen aktiven Bauelemente in mikroelektronischen Schaltungen jedoch meist stark nichtlinear sind, ist eine Beschreibung im Frequenzbereich nur schwer möglich. In dieser Arbeit erfolgt daher die Beschreibung des Signalverhaltens vollständig im Zeitbereich.

Mathematisch beschreiben lässt sich eine Anordnung durch Ansetzen der Maxwell'schen Gleichungen. Allerdings gilt es dann ein meist sehr kompliziertes Randwertproblem zu lösen, wobei analytische Lösungen nur für Spezialfälle existieren. Numerisch ist eine Lösung möglich, wenn insgesamt 4 Dimensionen (3 räumliche Dimensionen und die Zeit) berücksichtigt werden, allerdings entsteht so ein Gleichungssystem von solcher Grösse, dass es in vertretbarer Zeit nicht lösbar ist. Weniger zeitaufwendige Simulationen erreicht man durch Reduzierung der vier auf weniger Dimensionen.

3.1 Beschreibungsarten im Zeitbereich

3.1.1 Diskretes Netzwerkmodell

Durch Reduzierung der 4 Dimensionen auf eine Dimension wird der Zeitaufwand für die Simulation deutlich geringer. Dazu wird ein Modell aufgestellt, das nur durch seine Topologie und die Zeit beschrieben wird, also ein Netzwerkmodell. Die räumlichen Dimensionen werden nur noch durch die Angabe der Knoten zwischen den Bauelementen, also durch den Zusammenhang der verschiedenen Elemente des Netzwerkes, und alle anderen Eigenschaften der Leitung durch ein konzentriertes Netzwerksegment aus Widerstand R , Leitwert G , Kapazität C und Induktivität L , erfasst (Bild 3.1). Durch diese starke Vereinfachung kann die so

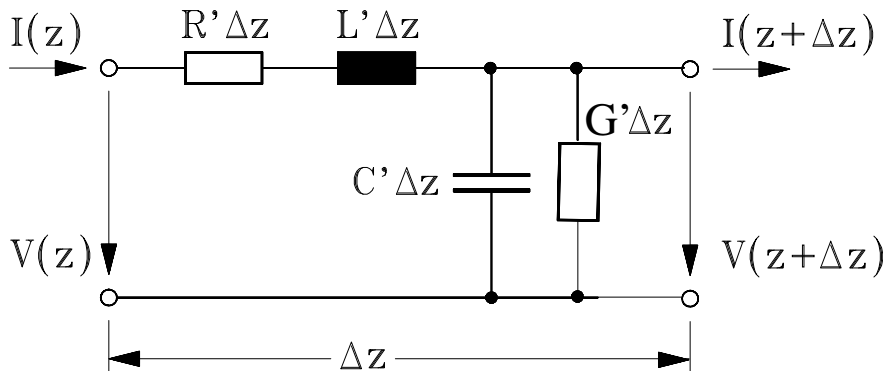


Bild 3.1: Leitungsmodell durch RLCG-Netzwerk

entstandene Schaltung sehr einfach mit Hilfe nahezu aller bekannter Netzwerkanalyseprogramme simuliert werden. Allerdings wird dieser Vorteil dadurch erkauft, dass aufgrund der Dimensionsreduzierung ein grosser Informationsverlust bezüglich des tatsächlichen physikalischen Leitungssystems entsteht, so dass das erzeugte Netzwerkmodell die Realität nur noch sehr vereinfacht beschreibt. Während die exakte vierdimensionale Beschreibung auf partielle Differentialgleichungen führt, erfolgt die mathematische Beschreibung des eindimensionalen Netzwerkmodells mit diskreten Elementen durch gewöhnliche Differentialgleichungen. Es ist jedoch a priori unmöglich mit Hilfe gewöhnlicher Differentialgleichungen Effekte zu beschreiben, die typisch für Wellenausbreitung sind. Diese typischen Effekte wie Laufzeit und Reflexion sind wichtige Eigenschaften, die meistens nicht zu vernachlässigen sind (Bild 3.2). Die Beschreibung erfolgt voll-

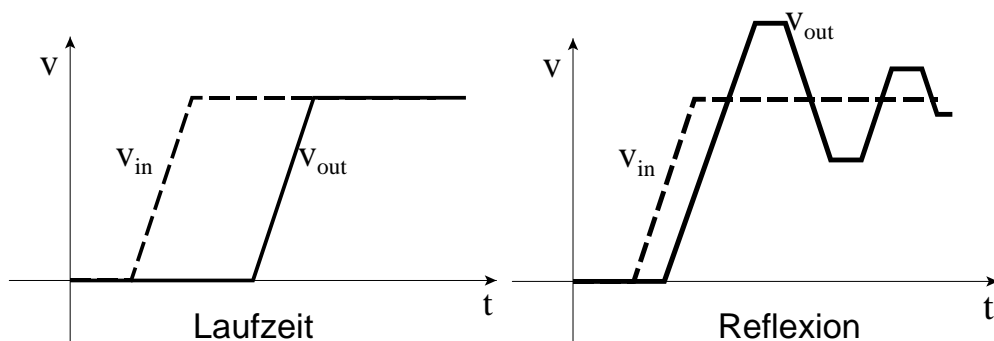


Bild 3.2: Leitungseffekte Laufzeit und Reflexion

ständig quasistationär, d.h. das an einem Netzwerkknoten stattfindende Ereignis ist zeitgleich an allen anderen Knoten sofort wirksam, also ohne jede Zeitverzögerung. Eine sog. Totzeit existiert in Netzwerken nicht. Dies ist jedoch, wie leicht

ersichtlich, unphysikalisch, denn ein Signal breitet sich auf einer endlichen Leitung zwar mit 30-50 Prozent der Lichtgeschwindigkeit aus, dennoch wäre es ein nicht-kausales System, wenn das Signal zum gleichen Zeitpunkt am Anfang und am Ende der Leitung abgreifbar wäre. Man kann die oben beschriebenen Effekte ein wenig verbessern, wenn das Netzwerkmodell der Leitung durch sehr viele, kaskadierte Netzwerkelemente modelliert wird. Dadurch steigt jedoch auch die Simulationsdauer sehr stark an.

3.1.2 Verteilte Elemente

Reduziert man die Dimensionen der Schaltungsbeschreibung nicht auf eine, sondern nur auf zwei Dimensionen (Zeit, Topologie und die Längendimension der Leitung), vereinfachen sich die das System beschreibenden Differentialgleichungen immer noch erheblich. Quer zur Ausbreitungsrichtung erfolgt die Beschreibung weiterhin quasistationär, aber längs zur Ausbreitungsrichtung schnellveränderlich. Der Vorteil dieses Modells ist, dass bei der Simulation keine numerische Integration notwendig ist, wie sie z.B. bei der Leitungsmodellierung mit RLCG-Elementen unumgänglich ist. Das in dieser Arbeit und im Simulator ELDO [33] verwendete Leitungsmodell [64] basiert auf dem beschriebenen Algorithmus. Detaillierte Beschreibungen sind in [35] und [74] zu finden.

3.2 Wellenausbreitung auf Mehrfachleitungen

Die in dieser Arbeit behandelten Leitungssysteme werden verstanden als eine beliebige Anzahl von Einzelleitungen, die elektrisch und magnetisch miteinander verkoppelt sind und sich in einem Medium befinden, das in Wellenausbreitungsrichtung, also in Längsrichtung der Leitungen, hinsichtlich der elektromagnetischen und geometrischen Eigenschaften mindestens stückweise homogen ist. Beschrieben wird die Wellenausbreitung auf Leitungssystemen nach [35] durch ein verkoppeltes System partieller Differentialgleichungen.

$$\begin{aligned}\frac{\partial V}{\partial z} &= -\left(R' + L' \frac{\partial}{\partial t}\right) \underline{I} \\ \frac{\partial I}{\partial z} &= -\left(G' + C' \frac{\partial}{\partial t}\right) \underline{V}\end{aligned}$$

Bei R' (ohmsche Verluste aufgrund der Längsströme durch die Leiter pro Längeneinheit), L' (Magnetfeld mit magnetischer Kopplung pro Längeneinheit), C'

(elektrisches Feld mit elektrischer Kopplung pro Längeneinheit) und G' (Leitwerte pro Längeneinheit durch Querströme) handelt es sich um quadratische Matrizen der Dimension $n \times n$, und bei den unterstrichenen Grössen \underline{V} (elektrische Potentiale aller n Leiter des Leitungssystems gegenüber dem gemeinsamen Rückleiter) und \underline{I} (elektrische Ströme aller n Leiter) um Spaltenmatrizen, also Matrizen der Dimension $n \times 1$. n steht hierbei für die Anzahl der Leitungen eines Leitungssystems exklusive des gemeinsamen Rückleiters. Wie in Kapitel 2 erwähnt wurde, kann die Leitwertmatrix meist vernachlässigt werden, da die Leiter i.a. gegeneinander hinreichend gut isoliert sind.

Durch Differentiation und Substitution erhält man unter der erwähnten Vernachlässigung von G' :

$$\frac{\partial^2 \underline{V}}{\partial z^2} = L' C' \frac{\partial^2 \underline{V}}{\partial t^2} + R' C' \frac{\partial \underline{V}}{\partial t}$$

Durch Lösen dieses partiellen Differentialgleichungssystems lässt sich die Wellenausbreitung auf Leitungssystemen berechnen. Für verlustbehaftete Leitungssysteme ($R' \neq 0$) ist dies jedoch meist nur numerisch möglich. Einfacher ist es, das Leitungssystem erst verlustlos anzunehmen, die Lösung zu berechnen und anschliessend die Leitungsverluste zu berücksichtigen. Dazu wird die Leitung zunächst in kurze Leitungsstücke gleicher Länge zerlegt, so dass die Laufzeit durch diese Segmente gleich gross ist. Zwischen die einzelnen Segmente wird dann jeweils ein ohmscher Widerstand geschaltet, so dass durch diese Anordnung die Leitungsverluste berücksichtigt werden können (Details sind in [35] zu finden).

3.3 Leitungssimulation

In dieser Arbeit wurde der Schaltungssimulator ELDO mit dem am Laboratorium für Informationstechnologie entwickelten Makromodell LOSSYWIRE [40] zur Simulation von verlustbehafteten Leitungssystemen mit verteilten Elementen verwendet. ELDO basiert auf dem Analyseprogramm für elektronische Schaltungen SPICE [47]. Eine detaillierte Beschreibung der Funktionsweise des Simulationsmodells LOSSYWIRE ist in [64] und [65] erläutert. Die Vorteile dieses Verfahrens gegenüber einer Modellierung mit diskreten RLC-Netzwerken wurden in Kapitel 3.1.2 erläutert.

Physikalisch realistischer ist die Simulation mit verteilten Elementen, jedoch mathematisch schwieriger als der Aufbau eines RLC-Netzwerkes. Eine Simulation mit verteilten Elementen ist jedoch deutlich schneller. Oft wird bei Verwendung des diskreten Netzwerkmodells auf die Anwendung des Induktivitätsbelages verzichtet (RC-Netzwerk), damit einerseits das Problem der Extraktion der Induktivitätsbeläge entfällt und andererseits die Simulation beschleunigt wird.

Inwieweit diese Vernachlässigung zu Ungenauigkeiten im Simulationsverhalten führt, zeigt dieses Kapitel im Vergleich der drei möglichen Verfahren (RLC-, RC-, LOSSYWIRE-Simulation). Dabei wird insbesondere gezeigt, zu welchen Unterschieden die Anwendung dieser Verfahren auf Geometrien der Nanometer-Technologien, also mit stark verlustbehafteten Leitungen, führen.

3.3.1 Vergleich Lossywire, RLC und RC-Simulation

Zum Vergleich der drei Simulationsverfahren wird ein paralleles Leitersystem aus fünf Kupferleitern simuliert. Dabei wird die Chip-Geometrie aus Kapitel 2 zugrundegelegt. Als Leitergeometrie werden die Abmessungen für globale Verbindungsleitungen in Metallebene 8 verwendet. Die Leitungslänge beträgt $500\mu\text{m}$ bei einer Substratleitfähigkeit von $\sigma = 10000\frac{\text{S}}{\text{m}}$. Das Leitersystem wird mit einem Testmuster eines 5 Bit-LFSR bei der maximalen Taktfrequenz, die laut SIA Roadmap bei der jeweiligen Technologie erwartet wird, beaufschlagt.

Bild A.1 im Anhang zeigt einen Vergleich der drei Simulationsarten bei einem Impulssignal an einem 5 Bit breiten Leitungssystem der Länge $500\mu\text{m}$ in der 130nm Technologie. Dargestellt ist das Eingangssignal V_{in} der mittleren Leitung und das jeweilige Ausgangssignal $V_{out-WIRE}$ der Lossywire Simulation sowie $V_{out-RLC}$ der RLC und V_{out-RC} der RC Simulation mit jeweils 20 Segmenten. Zunächst ist nur erkennbar, dass in dieser Technologie das Signal nahezu ungestört zum Ausgang propagiert wird.

In starker Vergrößerung zeigen sich jedoch grosse Unterschiede zwischen den einzelnen Simulationsarten (Bild 3.3). Während sich das Ausgangssignal $V_{out-WIRE}$ der Lossywire und $V_{out-RLC}$ der RLC Simulation nahezu nicht unterscheiden (es ist lediglich in manchen Überschwingungen ein geringer Unterschied erkennbar), so zeigt sich, dass eine Simulation ohne Berücksichtigung der Induktivität lediglich mit RC Elementen (V_{out-RC}) zu einem sich stark unterscheidenden Signal führt. In der Simulation mit reinen ohmschen-kapazitiven Elementen wird das Schwingungsverhalten des Signales nicht korrekt erfasst. Der grundsätzliche analoge Signalverlauf ist zwar gegeben, aber das simulierte Signal ist wie eine Mittelwertbildung der genauen Simulation mit Lossywire oder RLC Elementen. Betrachtet man den Signalverlauf allerdings bezüglich des digitalen Schaltverhaltens, so wird das erwähnte Schwingungsverhalten uninteressant. Das digitale Schaltverhalten wird in allen drei Simulationsverfahren korrekt wiedergegeben. Das analoge Signalverhalten bei einer RC-Modellierung wird aufgrund des sehr hohen Widerstandsbelages bei kleineren Technologien im Vergleich mit der 130nm Technologie zwar weiterhin nicht korrekt wiedergegeben, für das digitale Schaltungsverhalten ist dies jedoch uninteressant. Alle drei Simulationsarten gleichen sich in ihrem analogen Signalverlauf an. Bild 3.4 zeigt

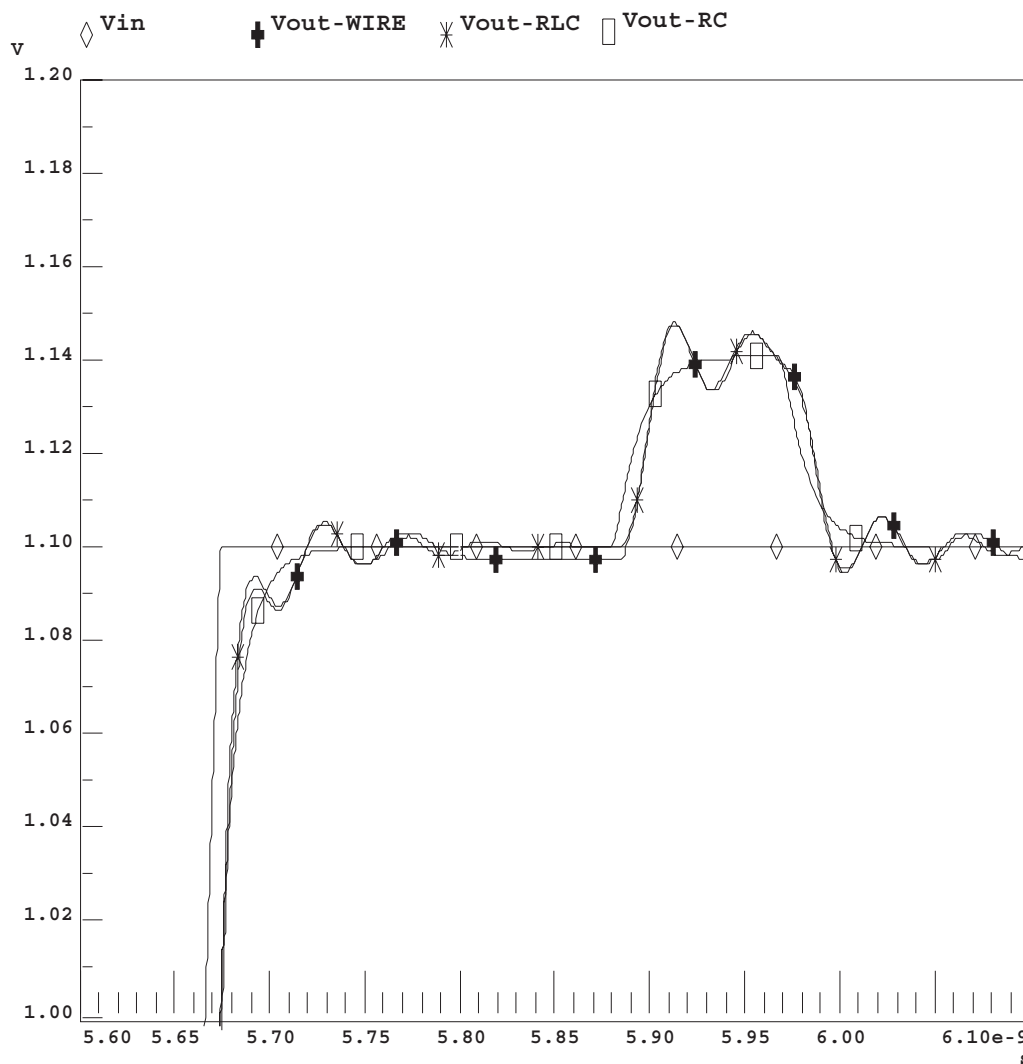


Bild 3.3: Vergleich: Lossywire, RLC und RC Simulation bei 130nm Technologie (Ausschnitt)

den Vergleich der Simulationsarten bei der 70nm Technologie eines ebenfalls 5 Bit breiten Leitungssystems bei gleicher Leitungslänge von $500\mu\text{m}$. V_{in} kennzeichnet wie zuvor das Eingangssignal der mittleren Leitung, $V_{out-WIRE}$ das der Lossywire Simulation sowie $V_{out-RLC}$ der RLC und V_{out-RC} der RC Simulation. Die Simulationsvergleiche der 45nm und 22nm Technologie sind in Anhang A zu finden.

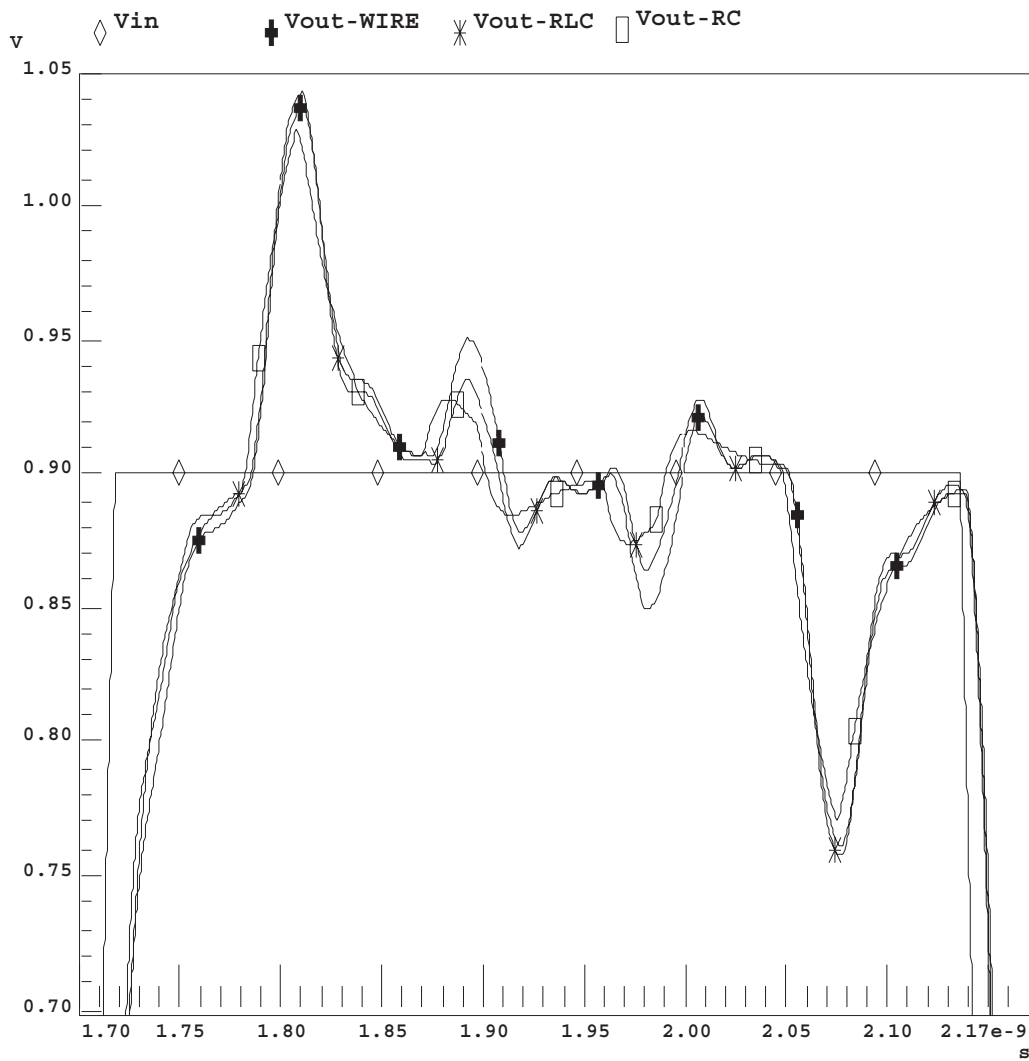


Bild 3.4: Vergleich: Lossywire, RLC und RC Simulation bei 70nm Technologie (Ausschnitt)

In dieser Arbeit soll nicht gezeigt werden, dass die eine oder andere Simulations- bzw. Modellierungstechnik besser oder schlechter ist, da dies oft eine persönliche Entscheidung [103] ist. Da jedoch die Simulation mit Lossywire bei den hier untersuchten Leitungssystemen wesentlich schneller arbeitet und ausserdem die Laufzeit im Gegensatz zum RLC-Modell berücksichtigt wird, wurden alle Simulationen in dieser Arbeit mit diesem Algorithmus bzw. dem Programm ELDO mit dem Makromodell LOSSYWIRE 3.1.2 durchgeführt.

3.3.2 Induktivitäten in den Nanometer-Technologien

Da die Taktfrequenz von mikroelektronischen Schaltungen in den Nanometertechnologien auf mehrere Gigahertz ansteigt und sich die Komplexität der Leitungssysteme erhöht, ist auch das genaue Modellieren hochfrequenter elektromagnetischer Eigenschaften wie z.B. induktive Kopplung wichtig [31], [39]. Die Ausbreitung der digitalen und analogen Signale wird durch die induktiven Effekte der Leitungen beeinflusst und die Signalintegrität durch induktive Kopplung verschlechtert. Selbstinduktivität von Leitungen, sowie Gegeninduktivität zwischen Leitungen werden in den kommenden Jahren von besonderem Interesse sein. Dabei ist die grösste Herausforderung, die parasitären Eigenschaften von komplizierten Leitungsstrukturen vorausszusagen.

Betrachtet man die Ergebnisse aus Kapitel 3.3.1, so stellt sich die Frage:

"Wie wichtig ist die Berücksichtigung induktiven Koppelverhaltens in den Nanometer-Technologien?"

Zur Klärung dieser Frage wurde mit der Lossywire Simulation das obige 5 Bit breite Leitungssystem bei einer Leitungslänge von $500\mu\text{m}$ einmal mit allen Leitungsparametern, dann nur mit kapazitiver, und schliesslich ohne induktive und kapazitive Kopplung, simuliert. Die Selbstinduktivitäten und Eigenkapazitäten werden selbstverständlich berücksichtigt. Bild 3.5 zeigt die unterschiedlichen Ergebnisse. Dabei stellt V_{in} das ideale Eingangssignal, $V_{out-WIRE}$ das Ausgangssignal mit allen Leitungsparametern, V_{out-RC} das Ausgangssignal ohne induktive Kopplung und V_{out-R} ohne C und ohne L, dar. Als Leitungsabschluß dient eine Lastkapazität C_L (siehe Bild 2.1).

Sofort einzusehen ist, dass eine Simulation allein mit ohmschen Parametern keinerlei Kopplungseffekte wiedergibt und damit zu keinerlei Überschwingen führt, und daher auch für eine Simulation des genauen analogen Signalverhaltens unbrauchbar ist. Die Simulationsergebnisse ohne induktive Kopplung weichen analog betrachtet stark von denen mit vollständigen Parametern ab, bei digitaler Betrachtungsweise allerdings ist diese Abweichung unerheblich. Das analoge Schwingen des Signals wird jedoch nur bei der Simulation, die alle

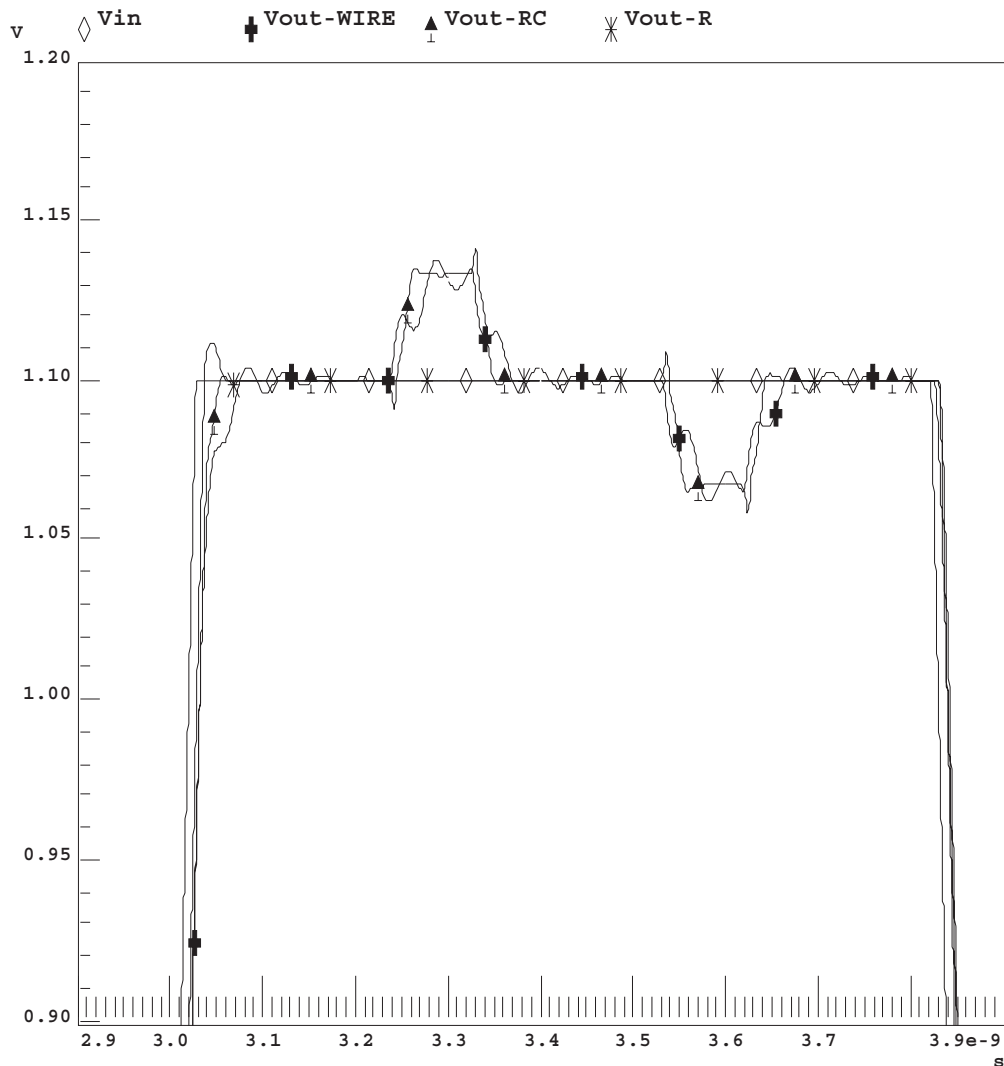


Bild 3.5: Vergleich Lossywire Simulation mit allen Parametern, nur mit kapazitiver Kopplung und ohne Kopplung bei 130nm Technologie (Ausschnitt)

Leitungsparameter berücksichtigt, fehlerlos erfasst.

Was passiert nun aber, wenn die Leitungsgeometrien wesentlich kleiner, also verlustbehafteter, werden? Sind die Induktivitäten dann u.U. vernachlässigbar? Wie in Bild 3.5 (130nm Technologie) zeigt in Bild 3.6 (22nm Technologie) V_{in} das ideale Eingangssignal am Anfang der Leitung, $V_{out-WIRE}$ das Ausgangssignal mit allen Leitungsparametern, V_{out-RC} das Ausgangssignal ohne induktive

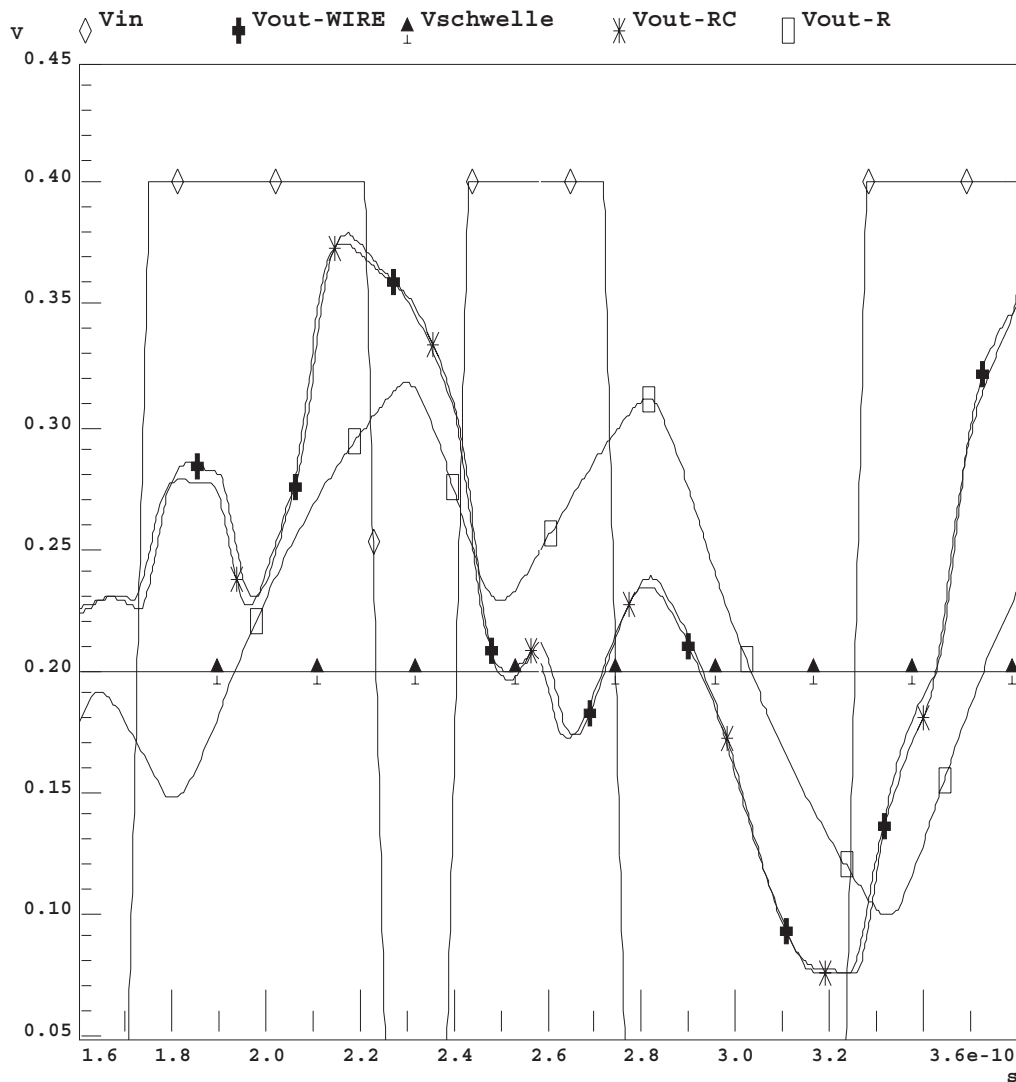


Bild 3.6: Vergleich Lossywiresimulation mit allen Parametern, nur mit kapazitiver Kopplung und ohne Kopplung bei 22nm Technologie (Ausschnitt)

Kopplung und Vout-R das Ausgangssignal ohne C und ohne L.

Erneut ist sofort ersichtlich, dass eine Simulation ohne Koppelparameter nicht zu einem korrekten Ergebnis führt. Aber Bild 3.6 zeigt weiterhin ein nicht erwartetes Ergebnis: Die Simulation mit allen Parametern deckt sich mit der Simulation ohne induktive Kopplung und es ist kein nennenswerter Unterschied des Signalverlaufes mehr festzustellen. Dies wurde auch in weiteren Simulationen bestätigt. In den zukünftigen sehr kleinen Technologien mit sehr kleinen Leitergeometrien und da-

mit sehr stark verlustbehafteten Leitungssystemen kann also bei stark leitendem Substrat auf die Berücksichtigung der Gegeninduktivität verzichtet werden, da das Magnetfeld nicht in das Substrat eindringt. Wichtig allerdings wird die induktive Kopplung bei Leitungsmaterialien mit niedrigem Widerstandsbelag. Die hier simulierte Leitungslänge von $500\mu\text{m}$ ist relativ kurz, aber wie schon erwähnt, können Signale bei der verwendeten Geometrie nicht fehlerfrei über längere Leitungssysteme in diesen kleinen Technologien übertragen werden. Insofern ist die gewählte Leitungslänge durchaus als charakteristisch für diese Technologien anzusehen. Keinesfalls jedoch darf die kapazitive Kopplung vernachlässigt werden - die Kopplung wird auch in zukünftigen Leitungssystemen eine äusserst wichtige Rolle spielen. Besitzt man die Möglichkeit ohne grossen Rechenaufwand alle Leitungsparameter, insbesondere die Induktivitäten, zu extrahieren, so sollte dies auch in Zukunft auf jeden Fall getan werden, denn nur so kann sichergestellt werden, dass das Verhalten einer Leitung auch korrekt erfasst werden kann. In dieser Arbeit wurden daher, wie schon erwähnt, alle Simulationen mit den vollbesetzten Leitungsparametermatrizen R' , L' und C' durchgeführt. Auf Berücksichtigung der Leitwertmatrix G' wurde in dieser Arbeit verzichtet, da diese Parameter in den hier durchgeführten Untersuchungen zu vernachlässigen sind (Kapitel 2).

4 Testmustergeneratoren

Auch bei der sorgfältigsten Herstellung integrierter Schaltungen treten durch Verunreinigungen, Temperaturschwankungen, mechanische Störungen und andere Einflüsse Defekte auf. Aus diesem Grund muss eine Schaltung nach der Fertigung getestet werden, um einen eventuellen Fehler nachweisen zu können. Ziel dabei ist es, produktionsbedingt fehlerhafte Schaltungen von der fehlerfreien Schaltung zu unterscheiden.

Das grundlegende Prinzip des Testens wird in der Arbeit von Moore [71] erläutert. Wie in Bild 4.1 dargestellt, wird ein Tester oder Experimentier definiert, der Eingangstestmuster an die zu testende Schaltung (DUT) anlegt und die Testantworten des DUT wieder abgreift. Diese Ausgangsmuster werden dann im Experimentier mit den Antworten eines Golden Device (der fehlerfreien Schaltung) verglichen. Weichen die beiden Antworten voneinander ab, so ist die getestete Schaltung fehlerhaft. Befindet sich der Experimentier ausserhalb des Chips, so spricht man von einem externen Tester (ATE). Ein Experimentier, der auf einem Chip integriert ist, wird als Selbsttest (BIST) bezeichnet.

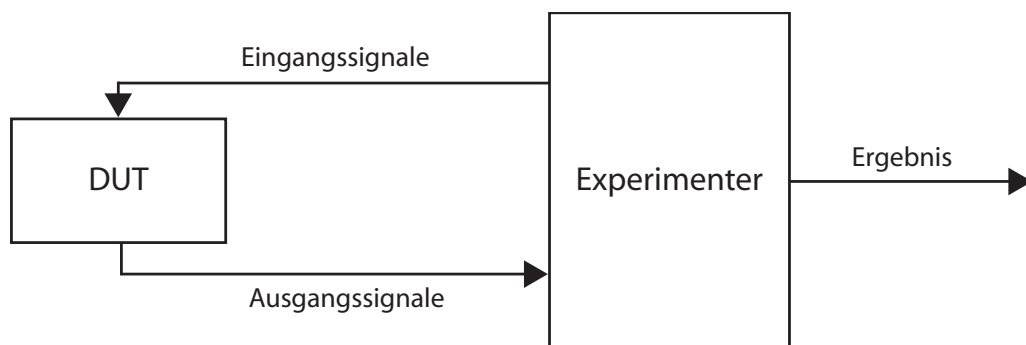


Bild 4.1: Prinzipieller Aufbau eines Tests

Bei den in Zukunft zu erwartenden und in dieser Arbeit untersuchten hohen Taktraten (z.B. 3,4 GHz beim Pentium 4E) tritt in jedem Fall das Kopplungs- und das Delay-Problem auf Verbindungsleitungen auf. Dies und die hohen Personalkosten für externe Tests sind nach Rodgers [83] auch mit der Grund, warum in naher Zukunft Chips nur noch mit Selbsttest getestet werden können. Daher wird

in dieser Arbeit nur der Selbsttest (BIST) untersucht. Passive Testhilfen wie z.B. der Prüfbus, werden in [11] und [16] behandelt und in dieser Arbeit nicht weiter betrachtet.

Wesentliche Komponenten von BIST sind die Generatoren zur Erzeugung von Testmustern. Daher werden in dieser Arbeit diese Testmustergeneratoren bezüglich ihrer Eignung für verschiedene Technologien (vgl. SIA-Roadmap [7]) untersucht, da diese eine bedeutende Rolle beim Selbsttest spielen. In der Arbeit von Jorczyk [53] wurden Untersuchungen für entwickelte Selbsttestschaltungen für den GHz-Bereich durchgeführt.

Testmustergeneratoren sind Schaltungen, die zumeist aus Registern aufgebaut sind und sich mit auf dem Chip befinden. Durch eine geeignete Initialisierung werden diese Schaltungen in die Lage versetzt, Testmuster für eine zu testende Schaltung zu generieren. Die Testmustergeneratoren erzeugen pseudozufällige Bitfolgen von 0 und 1, die an die zu testende Schaltung angelegt werden. Die Ausgangsmuster, die am Ende der zu testenden Schaltung beobachtet werden (Testantwort), können dann zur Analyse der Schaltung verwendet werden. Dazu wird in einem Auswerter durch Verwendung der gleichen Teststimuli die Testantwort der integrierten Schaltung mit der aus einer Simulation der Netzliste erhaltenen Testantwort verglichen. Weichen diese beiden Muster in einem oder mehreren Bits voneinander ab, so liegt ein Fehler in der getesteten Schaltung vor.

Einfacher und schneller ist es, wenn die zu testende Schaltung selbst, nachdem sie durch die Muster eines Testmustergenerators getestet wurde, durch das Setzen eines Flags meldet, ob sie fehlerhaft ist. Dies kann z.B. durch einen sog. BIST (Built-In Self-Test) erfolgen. Dazu wird die Schaltung durch einen Testdatenauswerter (TDA), eine Teststeuereinheit (TSE) und einen Testmustergenerator (z.B. rückgekoppeltes Schieberegister) erweitert. Bild 4.2 zeigt den prinzipiellen Aufbau einer Selbsttestschaltung in einer integrierten Schaltung.

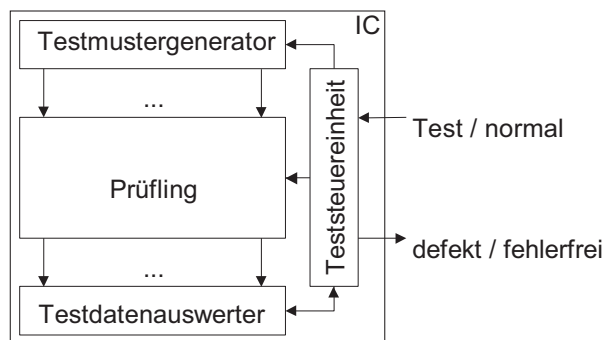


Bild 4.2: Prinzipieller Aufbau einer Selbsttestschaltung

Dieser Test wird meist durch zwei Signale gesteuert (Einstellung des Testmodus und anstossen durch ein externes Bit) und generiert dann Testmuster direkt in der integrierten Schaltung. Ein Statusbit zeigt am Ende an, ob der interne Test erfolgreich verlaufen ist (vgl. auch Bild 4.2). Der grosse Vorteil des Selbsttests auf einem IC ist, dass keine externen Muster langsam und kompliziert an den Fehlerort herangebracht und propagiert werden müssen. Deshalb kann man pro Zeiteinheit eine viel grössere Anzahl von Testmustern erzeugen.

Dabei liefert der Testmustergenerator das Testmuster mit der die Schaltung getestet werden soll, die Teststeuereinheit koordiniert den Test und der Testdatenauswerter wertet die Testantworten aus. Auch ein Vergleich mit einer im lokalen ROM festgelegten sog. Signatur wird eingesetzt.

Übersichten über Möglichkeiten des Tests von mikroelektronischen Schaltungen sind vielfach in der Literatur veröffentlicht und können z.B. unter [1], [11], [28] sowie in [106] nachgelesen werden.

In den nachfolgenden Abschnitten werden zum späteren Verständnis die in dieser Arbeit untersuchten Testmustergeneratoren erläutert und beispielhaft ein Ausgangstestmuster bei einer bestimmten Initialisierung¹ gezeigt.

4.1 Zähler für den erschöpfenden Test

Ein digitales kombinatorisches Schaltnetz mit n Eingängen testet man erschöpfend (exhaustiv), indem man alle möglichen 2^n Testmuster anlegt. Bei diesem Test hat man die Garantie, dass alle detektierbaren Fehler, die kein sequentielles Verhalten produzieren², entdeckt werden. Ein solcher Test dauert jedoch je nach Anzahl der Eingänge und der Taktrate sehr lange, bei heutigen integrierten Schaltungen mit z.B. nur 64 Eingängen würde ein vollständiger Test bei einer fiktiv angenommenen Testzeit je Testmuster von nur 1ns über 584 Jahre dauern³. Indem man den vollständigen Test beschränkt, verkürzt er sich signifikant. Man nennt einen solchen Test einen pseudovollständigen (pseudoexhaustiv) Test. Die Beschränkung der Testmuster erreicht man durch verschiedene Formen der Partitionierung, also der Unterteilung der Schaltung in Teilschaltungen, die dann alle vollständig getestet werden können. Die Schaltung läßt sich logisch, z.B. in

¹ Ein und derselbe Testmustergenerator erzeugt unterschiedliche Bit-Musterfolgen durch eine unterschiedliche Initialisierung

² bei sequentiellen Schaltwerken ist ein vollständiger Test im allgemeinen nicht anwendbar, da die m inneren Zustände mit berücksichtigt werden müssen und sich dadurch die Testzeit erhöht: 2^{n+m}

³ 2^{64} Testmuster bei 1ns Testzeit/Muster = 18.446.744.073 Sekunden

Steuer- und Dateneingänge, oder physikalisch unterteilen. Die Ein- und Ausgänge der Unterschaltungen müssen kontrollierbar und observierbar sein. Weitere Details finden sich in [1].

4.1.1 Binärzähler

Binärzähler können für einen erschöpfenden Test verwendet werden. Dies bedeutet, dass der Zähler systematisch die Bitfolgen einer vorgegebenen Länge 2^n (n : Anzahl der Eingänge der Schaltung) durchläuft, so dass alle möglichen Eingangsstimuli einer kombinatorischen Schaltung erzeugt werden. Beim Aufwärtszähler werden alle Testmuster der Reihe nach erzeugt und sind einfach nachvollziehbar, da sie mathematisch immer binär um 1 addieren. Desgleichen wird beim Abwärtszähler immer binär um 1 subtrahiert. Charakteristisch bei diesem Zähler ist, dass zwar die höherwertigen Bits (MSB) sehr wenig schalten, dafür aber das niedrigste Bit (LSB) in jedem Takt seinen Wert von 0 auf 1 bzw. umgekehrt ändert. Mathematisch lässt sich ein solcher Zähler folgendermassen beschreiben [101]:

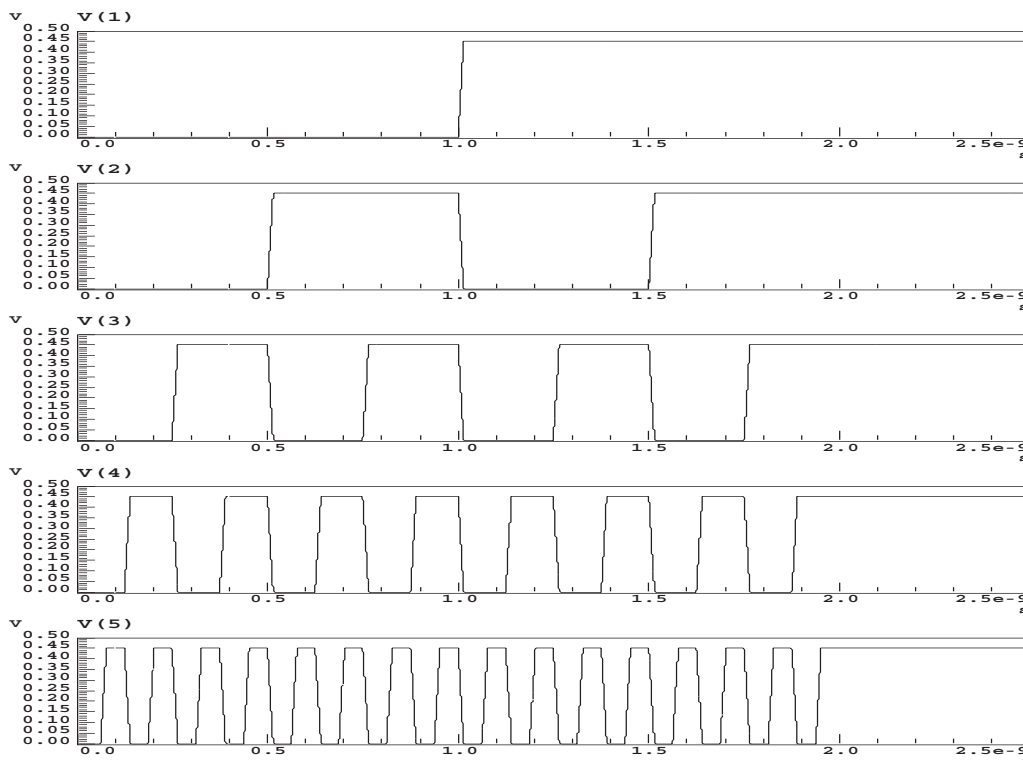


Bild 4.3: Testmustersignal eines Aufwärtszählers

- ▷ Eine Ausgangsvariable z_i ändert immer dann ihren Wert, wenn alle niedrigeren Variablen $z_{i-1} \dots z_0$ den Wert 1 besitzen und ein neuer Zählimpuls eintrifft
- ▷ Eine Ausgangsvariable z_i ändert dann ihren Wert, wenn die nächst niedrigere Variable z_{i-1} von 1 auf 0 geht

Bild 4.3 zeigt das Bitmuster eines 5 Bit Aufwärtszählers als analoges Signal .

4.1.2 Gray Code Zähler

Diese Art von Zählern - auch als zyklische Binärzähler bezeichnet - zeichnen sich dadurch aus, dass sich jede Ziffer von der vorangehenden nur auf einer binären Position unterscheidet. Für die Signale auf den Leitungen bedeutet dies, dass zu jedem Takt immer nur ein digitales Signal seinen Zustand ändert, also von 1 auf 0 bzw. von 0 auf 1 schaltet.

Bild 4.4 zeigt das Analogsignal eines 5 Bit Gray Code Zählers. Die ersten 10

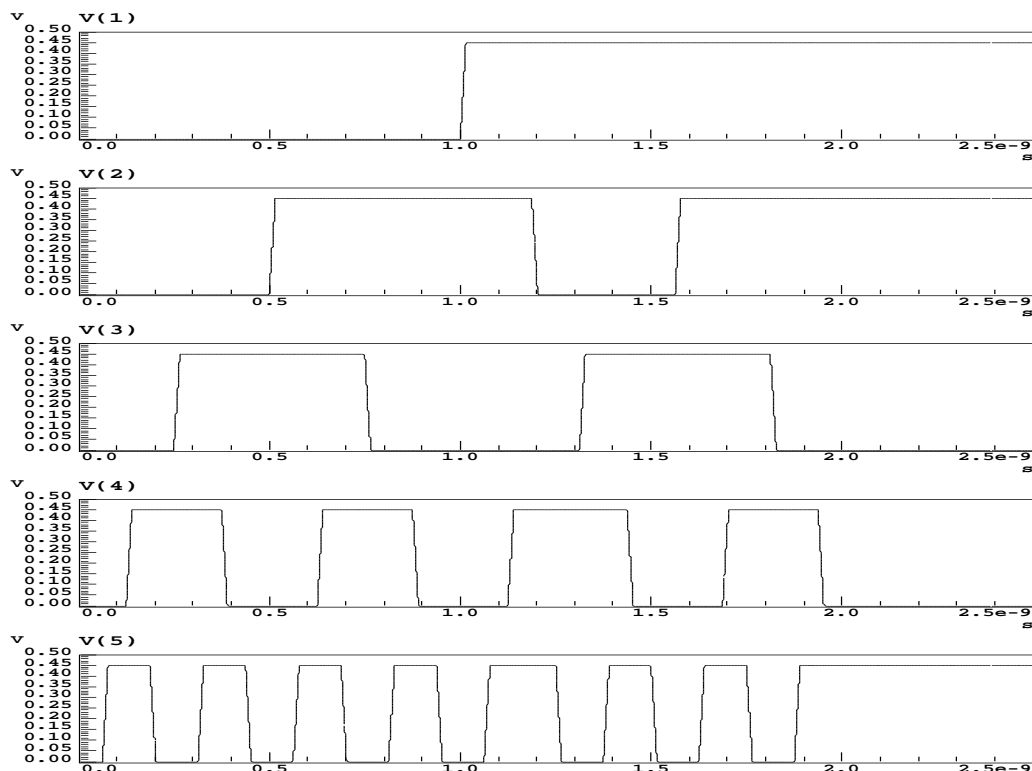


Bild 4.4: Testmustersignal eines Gray Code Zählers

Muster der unterschiedlichen Testmusterfolgen eines 4 Bit Gray Code Zählers gegenüber der eines 4 Bit Standard-Aufwärtszählers sind in Tab. 4.1 dargestellt.

Dezimal	zyklischer Binärcode	gewöhnlicher Binärcode
0	0000	0000
1	0001	0001
2	0011	0010
3	0010	0011
4	0110	0100
5	0111	0101
6	0101	0110
7	0100	0111
8	1100	1000
9	1101	1001

Tabelle 4.1: Testmusterfolgen Gray-Code und Aufwärtszähler

4.2 Pseudozufallsmustergeneratoren

Testmustergeneratoren werden pseudozufällig genannt, wenn deren Ausgangsbitmuster abhängig von der Initialisierung eine zufällige Bitfolge ergeben. Aufgrund des Schaltungsaufbaus des Generators und den damit verbundenen Eigenschaften sind die erzeugten Bitfolgen reproduzierbar und es wird daher von pseudozufälligen Folgen [28] gesprochen. Pseudo-Zufallszahlen haben viele Charakteristika von Zufallszahlen, sind aber wesentlich einfacher zu erzeugen. Das kann sich bei der Lokalisierung eines Fehlers als eine grosse Erleichterung erweisen. Die Erzeugung der Bitmuster erfolgt deterministisch mit Hilfe von Automaten oder Schieberegistern. Der Nachteil von Pseudozufallstests ist, dass diese Tests eine grosse Testlänge besitzen. Aufgrund des einfachen Aufbaus und der Möglichkeit der Nutzung vorhandener Register werden Pseudozufallsmustergeneratoren in mikroelektronischen Schaltungen besonders häufig eingesetzt.

4.2.1 Linear Rückgekoppeltes Schieberegister

Pseudozufällige Bitfolgen lassen sich sehr einfach mit einem linear rückgekoppelten Schieberegister (linear feedback shift register (LFSR)) erzeugen. Dabei werden Speicherelemente eines Schieberegisters über Antivalenzglieder zurück-

gekoppelt (Bild 4.5). Die Eigenschaften dieses rückgekoppelten Schieberegisters lassen sich mathematisch durch ein Polynom ausdrücken. Ist die Rückkopplung so gewählt, dass durch das rückgekoppelte Schieberegister ein Testmuster mit maximal möglicher Bitmusterlänge erzeugt wird, so wird von einem primitiven Polynom [11] gesprochen.

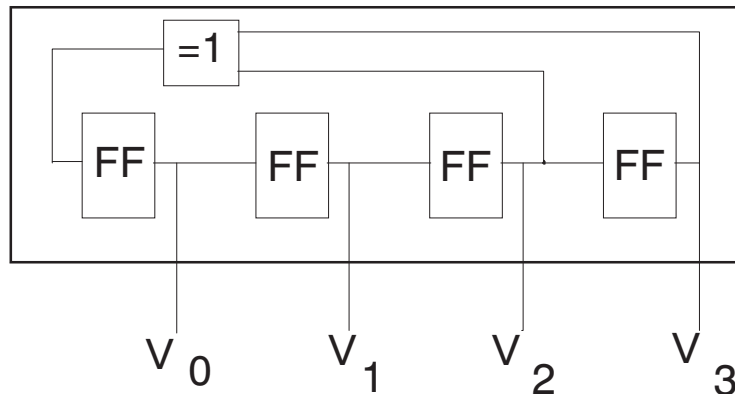


Bild 4.5: Aufbau eines linear Rückgekoppelten Schieberegisters (LFSR)

Mit Hilfe eines LFSR können abhängig von der Rückkopplungsart alle Bitmuster mit Ausnahme eines Zustandes (in Bild 4.5 das Muster 0,0,...0) generiert werden ($2^n - 1$ Zustände). Charakteristisch für ein linear rückgekoppeltes Schieberegister ist das am Ausgang leicht erkennbare „Durchschieben“ der Bitfolgen durch die Registerketten aufgrund der linearen Rückkopplung. Bild 4.6 zeigt das analoge Ausgangssignal eines linear rückgekoppelten 5 Bit-Schieberegisters. Deutlich lässt sich das Durchschieben der Muster an den fünf Ausgängen erkennen.

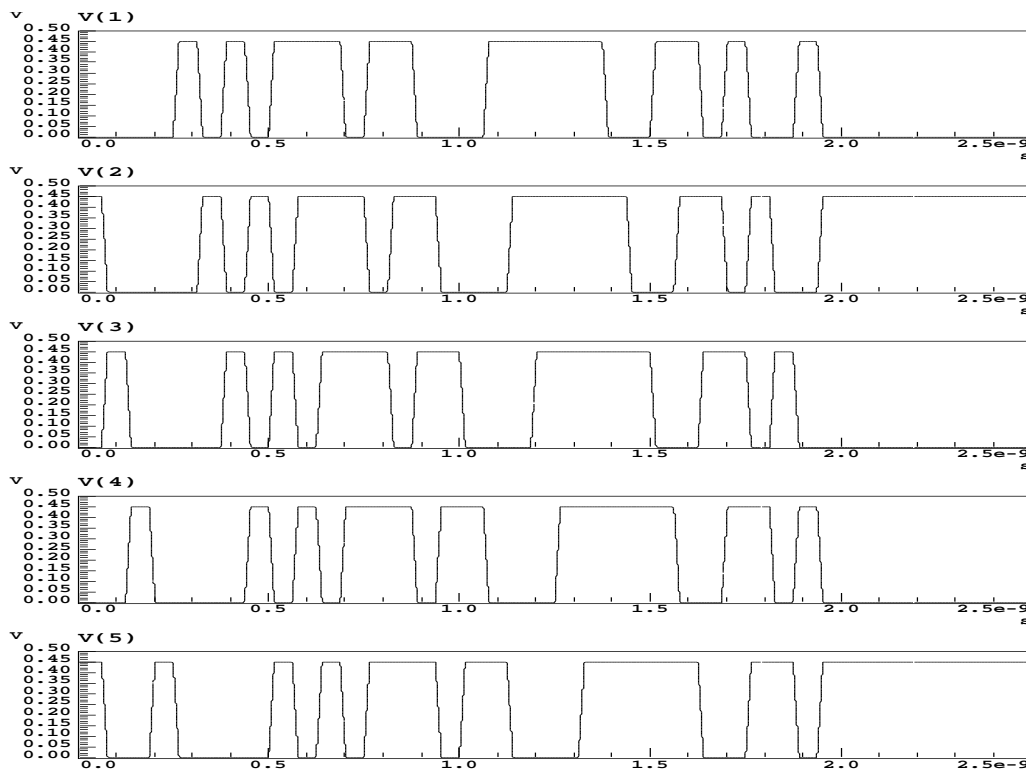


Bild 4.6: Testmustersignal eines Linear Rückgekoppelten Schieberegisters (LFSR)

Ergänzend erwähnt sei, dass es bei schwer detektierbaren Fehlern oft hilfreich ist, gewichtete Zufallsmuster (weighted random pattern) zu verwenden. Bei diesen Schieberegisterarten ist das Durchschieben nicht mehr erkennbar. In [11] werden diese Arten von Testmustergeneratoren ausführlich behandelt.

4.2.2 Lineare Zellulare Automaten

Als Alternative zu linear rückgekoppelten Schieberegistern bieten sich lineare zellulare Automaten für den Selbsttest an. Bild 4.7 zeigt die Struktur eines solchen Automaten mit $y_i(t + 1) = \alpha_1 \cdot y_{i-1}(t) \oplus \alpha_2 \cdot y_i(t) \oplus \alpha_3 \cdot y_{i+1}(t)$. Ein zellulärer Automat (ZA oder CA) ist ein diskretes System, das sich durch die wiederholte Anwendung einfacher deterministischer Regeln entwickelt. Da es sich um ein deterministisches System handelt, ändert sich der Zustand des Systems als Funktion des aktuellen Zustands. Dazu wird der nächste Zustand des Systems aus einer linearen Kombination des aktuellen Zustands der Zelle und der Nachbarn gewonnen. Je nach Aufbau und Rückkopplung erzeugt der zellulare Automat eine Bit-

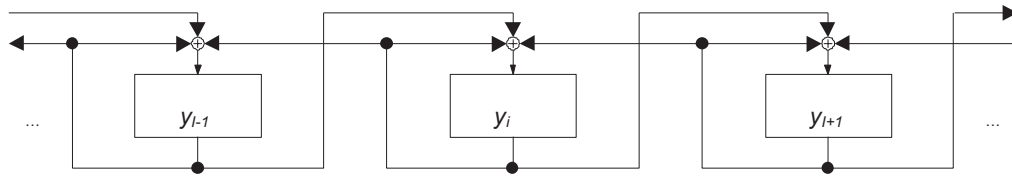


Bild 4.7: Zellularer Automat (ZA) nach Regel 150

folge, die als binäres Testmuster Verwendung findet und mathematisch durch ein charakteristisches Polynom beschrieben werden kann. Die Art der Rückkopplung



Bild 4.8: Testmustersignal eines Zellularen Automaten (150er Regel)

wird durch sog. Regeln beschrieben, wie z.B. oben für $y_i(t + 1)$. Es gibt viele Möglichkeiten der Rückkopplung und somit viele Regeln. Für die Verwendung eines ZA als BIST haben sich die Regeln 90 und die in dieser Arbeit verwendete Regel 150 als sinnvoll erwiesen, da bei Verwendung dieser Regel die maximal mögliche Anzahl von Testmustern ($2^n - 1$) erzeugt wird. Die Verwendung anderer Rückkopplungsregeln führt zu deutlich kürzeren Testmustern. Regel 90 berechnet den Folgezustand einer Zelle als modulo-2 Summe zum aktuellen Zustand der

beiden nächsten Nachbarn, die Regel 150 dagegen berechnet die modulo-2 Summe des aktuellen Zustands der beiden Nachbarn **und** der gewählten Zelle. Bild 4.8 zeigt das Testmustersignal eines 5 Bit zellularen Automaten bei Verwendung der 150er Regel. Die Möglichkeiten einen zellularen Automaten alternativ zum linear rückgekoppelten Schieberegister als Testmustergenerator einzusetzen werden hier nicht weitereläutert, stattdessen wird auf [10] und [48] hingewiesen.

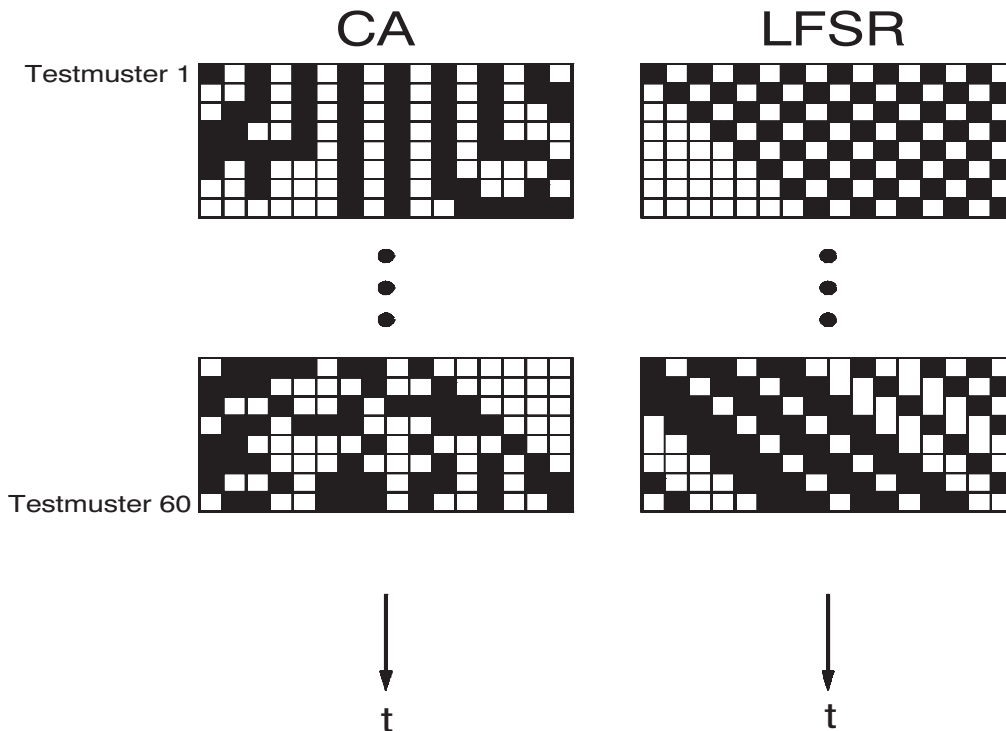


Bild 4.9: Vergleich der Bitmusterfolge eines LFSR mit einem ZA

Bild 4.9 zeigt einen Vergleich der Bitmusterfolge eines zellularen Automaten und eines LFSRs über der Zeit. Dabei repräsentieren weiße Felder die digitale 0 (low) und schwarze Felder die digitale 1 (high). Während beim LFSR das Schieben deutlich sichtbar ist, ist beim ZA keine eindeutige Struktur erkennbar.

4.3 Voraberechnete Testmusterfolgen

Gerade bei Fehlern mit geringer Fehlererkennungswahrscheinlichkeit ist es wünschenswert, eine kleine Menge voraberechneter Testmuster mit bekanntem Fehlererkennungsgrad generieren zu können. Mit Hilfe von ATPG-Programmen

(automatic test pattern generation) wie z.B. Testbench von IBM können aus der Struktur (Schematic) einer zu testenden Schaltung charakteristische Testmuster errechnet werden. Mit Hilfe verschiedener Fehlermodelle (meist stuck-at Fehlermodell) versucht das Programm alle Testmuster zu berechnen, die zum Test der Schaltung nötig sind. Testmuster, die keinen Fehler finden, der nicht schon durch ein anderes Muster gefunden wurde, die also zu keiner höheren Testabdeckung führen, werden ausgeblendet. Die Errechnung der Testmuster ist je nach Schaltungsgrösse sehr aufwendig - Vorteil ist dann allerdings, dass weniger Testmuster an eine Schaltung angelegt werden müssen als bei anderen Verfahren und diese eine sehr hohe Qualität besitzen.

Der Einfluss von Crosstalk und Verzögerung durch Leitungen auf die Übertragung von vorberechneten Bitmusterfolgen ist mit dem auf Zufallsmuster vergleichbar und wird daher nicht gesondert betrachtet. Weiterführende Literatur ist in [1] und [28] zu finden.

5 Kopplung von Testmustern auf Signalleitungen

Während vor einigen Jahren die Leitungseigenschaften und die damit verbundenen Effekte wie Signallaufzeiten, elektromagnetische Kopplung, Dispersionerscheinungen und Reflexionen [35] noch praktisch keinen Einfluss auf das Signalverhalten in integrierten Digitalschaltungen hatten, spielen die Einflüsse von Verbindungsleitungen auf das dynamische Verhalten der Gesamtschaltung bei kleiner werdenden Strukturgrößen und Technologien eine immer grössere Rolle. So ist unterhalb der 100nm Technologie nicht mehr die Verzögerung von Gattern, sondern vielmehr die Verzögerung auf den Leitbahnen der entscheidende Performancefaktor bei mikroelektronischen Schaltungen [42].

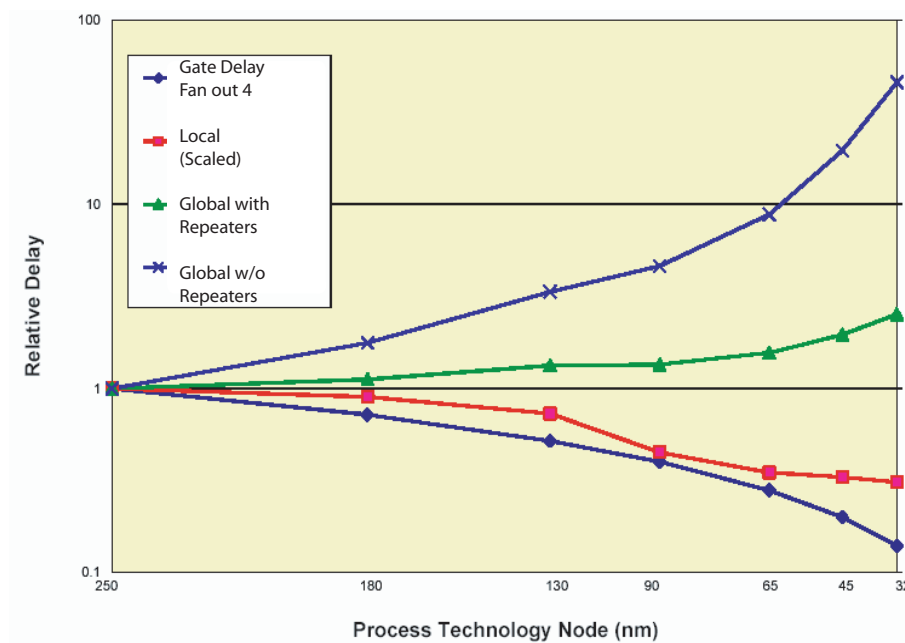


Bild 5.1: Signalverzögerung von lokalen und globalen Verbindungsleitungen gegenüber der Technologie [7]

Bild 5.1 zeigt die relative Veränderung der Signalverzögerung von lokalen und globalen Verbindungsleitungen gegenüber der Technologie bei einer Normierung auf die 250nm Technologie. Während die Gatterverzögerung und die Signalverzögerung von kurzen, lokalen Verbindungsleitungen mit der Technologie abnimmt, steigt die Laufzeit von langen, globalen Leitungen stark an, selbst wenn diese durch zusätzliche Leitungstreiber (Repeater) verstärkt werden.

Am Laboratorium für Informationstechnologie der Universität Hannover wurden in den 90er Jahren die Signalintegrität von Schaltimpulsen auf Leitbahnen untersucht. Dabei wurden parallele Leitungssysteme mit unterschiedlichen Impulssignalen beaufschlagt. Es wurde untersucht, bei welchen Anstiegszeiten des Impulses, bei welchen Leitungslängen und bei welchen Signalverschiebungsdifferenzen zwischen benachbarten Leitungen das Übersprechen zwischen Leitungen und die damit verbundene Leitungsverzögerung am grössten ist [36], [72], [75], [76], [77]).

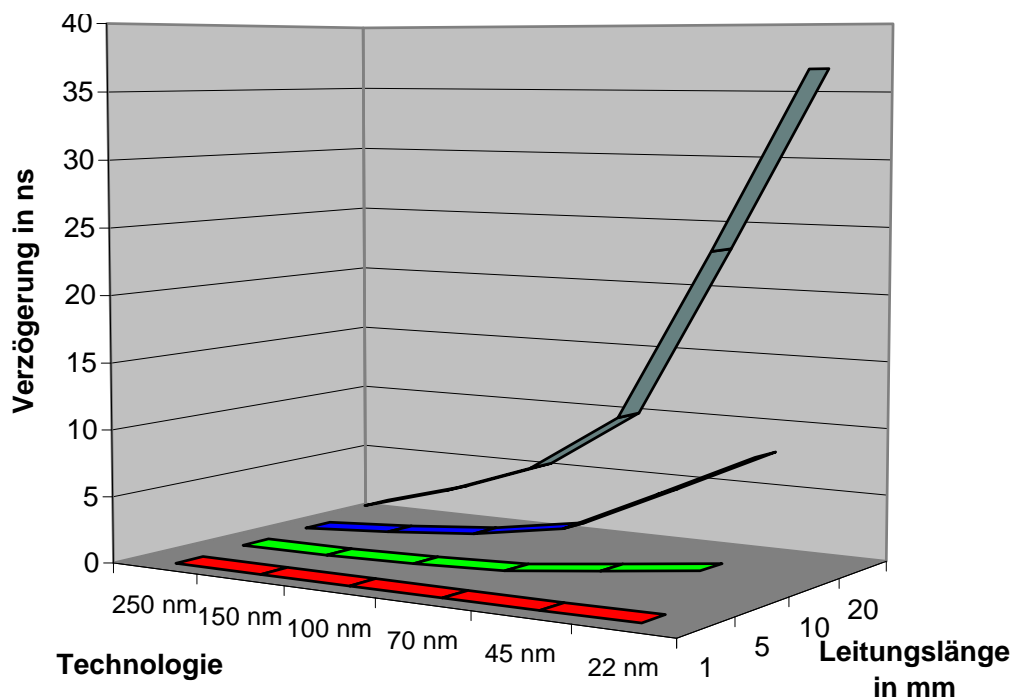


Bild 5.2: Signalverzögerung auf Verbindungsleitungen in Abhängigkeit der Technologie und der Leitungslänge, Metallebene 8, mittlere Leitung eines 5-Leitersystems

Das aus den obigen Veröffentlichungen entnommene Bild 5.2 zeigt, dass insbesondere die Leitungslänge den entscheidenden Anteil an der Verzögerung einer

Leitung trägt. Mit Verkleinerung der Technologie steigt die Verzögerung von globalen langen Leitungen extrem stark an.

In diesem Kapitel wird gezeigt, wie sich Signale auf Leitungssystemen verhalten, wenn sie mit Testmustersignalen beaufschlagt werden. Dazu werden die in Kapitel 4 vorgestellten Testmustergeneratoren verwendet und ein Leitungssystem aus 5 parallelen Leitungen mit den von diesen Generatoren erzeugten Testmuster beaufschlagt. Die Simulationen werden bei verschiedenen Leitungslängen und bei unterschiedlichen Technologien durchgeführt und miteinander verglichen. Zusätzlich wird das Kopplungsverhalten so variiert, dass ein Vergleich der Ergebnisse bei vollständiger Kopplung, ohne induktive Kopplung und ohne jedwede Kopplung möglich ist. Als Erweiterung zu früheren Veröffentlichungen wie [75] und [36] liegen dieser Arbeit reale Testmustersignale von Testmustergeneratoren zugrunde und keine, wie in den o.a. Arbeiten, einfache Impulssignale.

5.1 Simulationsmodelle

Zur Untersuchung des Signalverhaltens von Testmustern auf Bussystemen wird ein Leitungssystem aus 5 parallelen Leitungen nach Bild 5.3 simuliert. Alle Leitungen besitzen die nach der SIA Roadmap (vgl. Tabelle 2.1) für jede Technologiegeneration prognostizierten minimalen geometrischen Abmessungen und Lastkapazitäten C_L . Der Treiberwiderstand $Z_D = 50\Omega$ wird gemäß den Vorhersagen der SIA Roadmap hinsichtlich unterschiedlicher Technologien als konstant angenommen. Das Leitungssystem wird mit einem digitalen 5 Bit Testmuster, welches mit Hilfe des in [61] entwickelten Verfahrens durch Umsetzen der digitalen Zustände 0 und 1 in ein analoges Signal konvertiert wird, an den Leitungseingängen beaufschlagt. In den nachfolgenden Simulationsergebnissen sind in den 5 Graphen jeweils 3 Spannungen dargestellt: die Spannung an der idealen Quelle $V(1)$ bis $V(5)$, die Spannung am Leitungseingang (near end) $V(6)$ bis $V(10)$ und die Spannung am Ende der Leitung (far end) $V(12)$ bis $V(20)$. Dabei repräsentiert der oberste Graph das Bit 0 und der unterste Graph das Bit 4 des Testmustergenerators. Die digitale Schaltschwelle wird durch die Spannung $V_{schwelle}$ repräsentiert und ist als halbe Versorgungsspannung $\frac{V_{dd}}{2}$ angenommen.

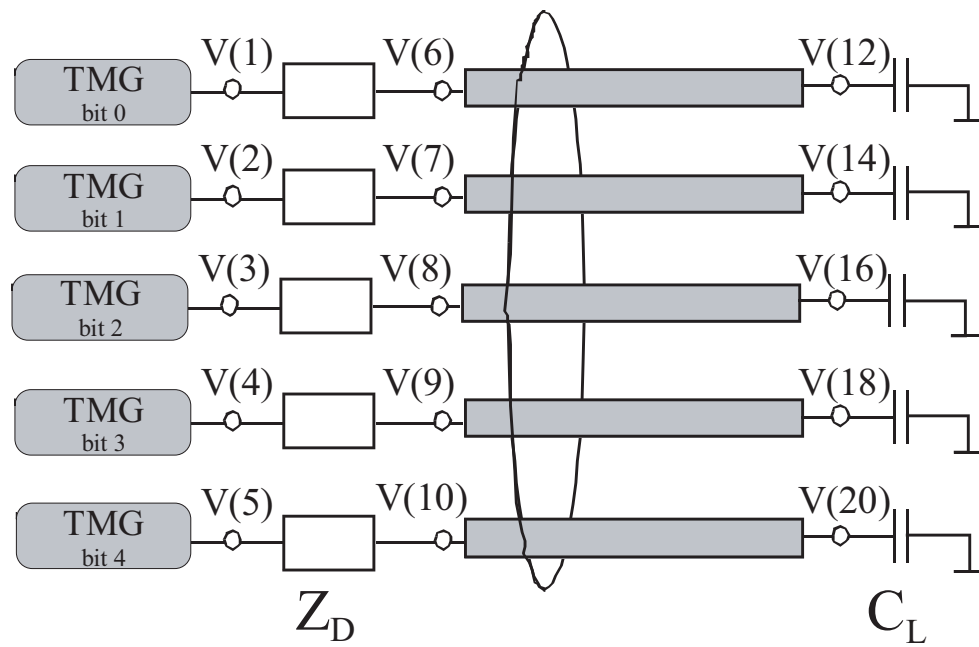


Bild 5.3: Struktur des simulierten 5-Leiter Bussystems

5.2 Testmuster im Sub μ -Bereich

Dieses Kapitel zeigt exemplarisch vergleichende Simulationen der verwendeten vier Testmustergeneratoren. Alle Simulationen wurden für ein 0,5mm langes Leitungssystem in der 22nm Technologie durchgeführt. In jedem Bild sind in den 5 Graphen die ideale Eingangsspannung, die Spannung am Anfang und die Spannung am Ende der Leitung dargestellt. Bild 5.4 zeigt zunächst das Verhalten eines Musters eines linear rückgekoppelten Schieberegisters. Durch die Kopplung der Signalleiter untereinander wird das Muster so gestört, dass es nur noch fehlerhaft übertragen werden kann. Dabei treten die Fehler nicht nur auf dem mittleren Leiter auf, der ja aufgrund seiner Lage am meisten Nachbarn hat, die in ihn koppeln. Auch Signale auf den Randleitern des Bussystems sind keineswegs fehlerfrei. Hier tritt zwar kaum kapazitive Kopplung zu den Nachbarleitern auf, jedoch bleibt die starke Leitungsverzögerung auf den Leitungen der dominierende Faktor bei der Fehlerhaftigkeit.

Das Muster eines Binärzählers in Bild 5.5 wird in den Bits 0 bis 3 mit fortschreitender Zeit fehlerfrei übertragen, da die Signalwechsel nicht sehr schnell erfolgen. Lediglich in den Takten unmittelbar nach dem Schalten tritt ein Fehler auf. In den niederwertigen Bits erfolgen die Signalwechsel zu schnell hintereinander, so dass die Schaltschwelle nicht mehr überschritten werden kann. Das Muster des Binärzählers wird bei dieser Leitungslänge zwar nicht korrekt übertragen, wäre allerdings schon bei einer etwas kürzeren Leitungslänge im Gegensatz zum LFSR-Muster fehlerfrei!

Als Verbesserung eines Binärzählers wird immer der Gray-Code Zähler angesehen. Die Verwendung eines Gray Code Zählers statt eines Binärzählers verbessert nicht zwangsläufig die Signalintegrität des Musters. Bei der Simulation des Bussystems jedoch zeigt sich der eindeutige Vorteil dieses Zählers, bei dem sich in jedem Takt nur ein Bit ändert. Die Signalform ist eindeutig noch besser als beim Binärzähler (Bild 5.6).

Das Muster eines zellularen Automaten (Bild 5.7) ist wiederum anfälliger, da häufigere Signalwechsel auftreten. Auch dieses Muster wird in der verwendeten Technologie und Leitungslänge nicht fehlerfrei übertragen, ist aber dennoch dem Muster eines LFSR überlegen. Die Kopplungseffekte beim zellularen Automaten machen sich nicht so gravierend bemerkbar wie die beim Schieberegister.

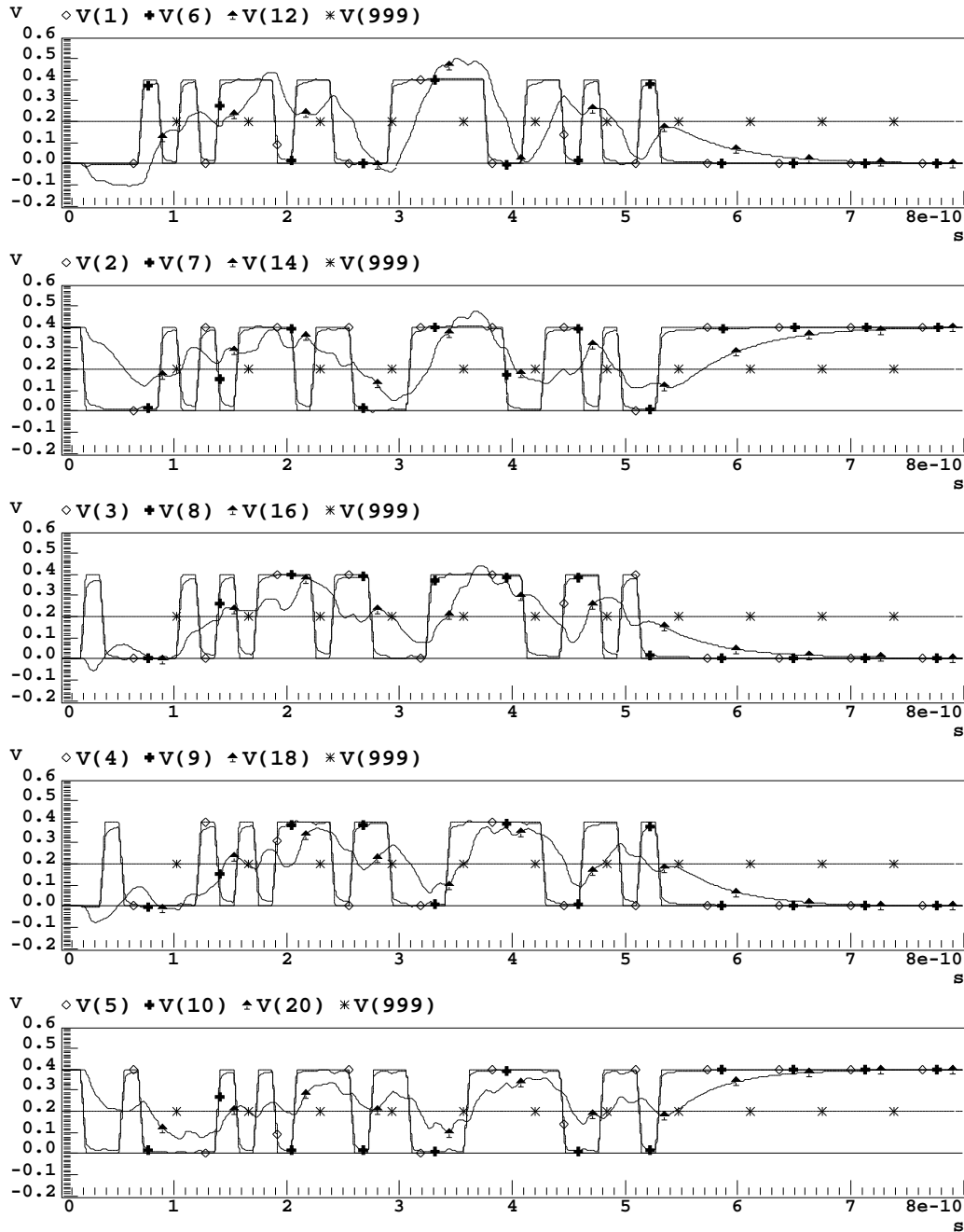


Bild 5.4: LFSR Testmuster auf Signalleitern, 22nm Technologie, Leitungslänge 0,5mm

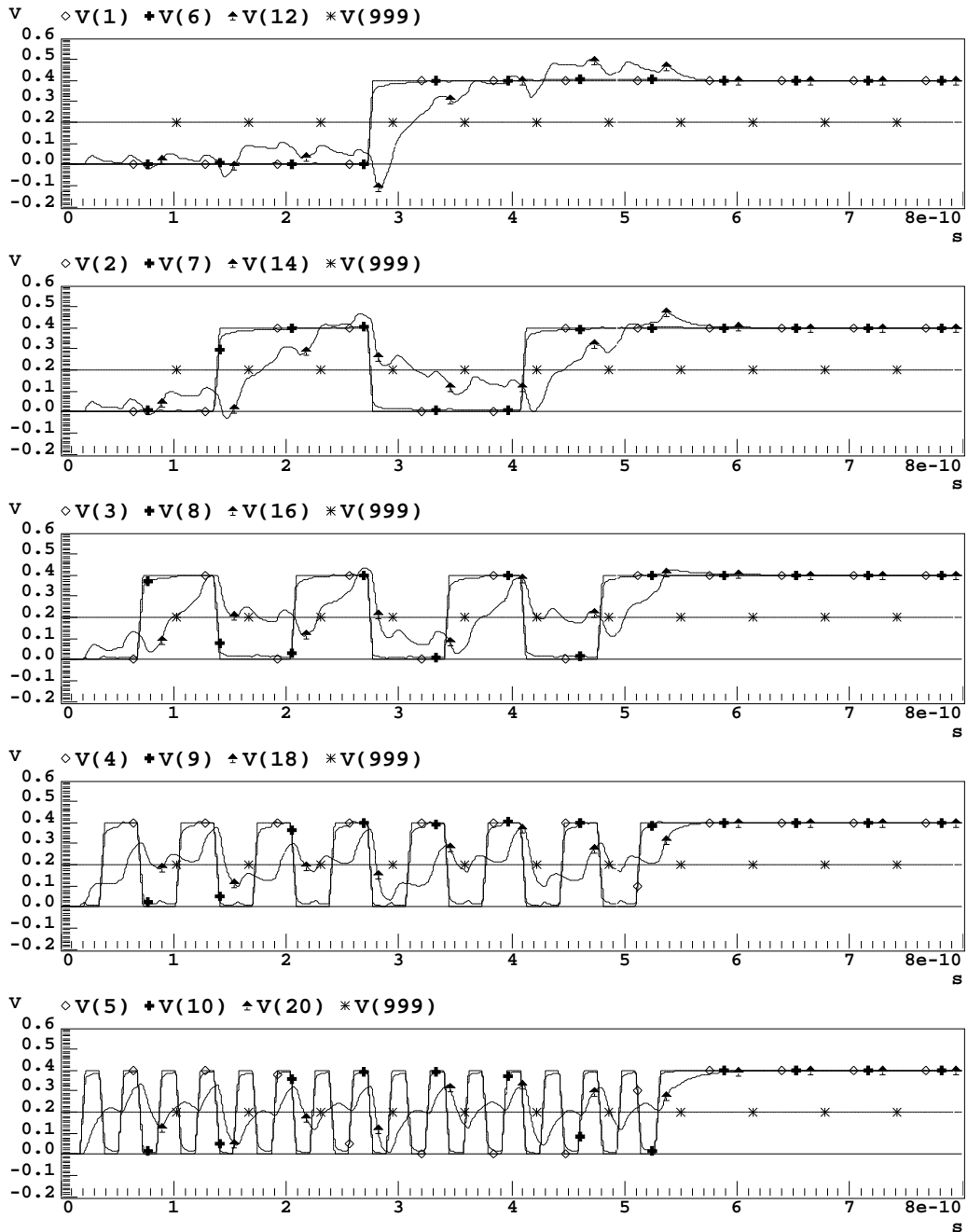


Bild 5.5: Testmuster eines Aufwärtszählers auf Signalleitern, 22nm Technologie, Leitungslänge 0,5mm

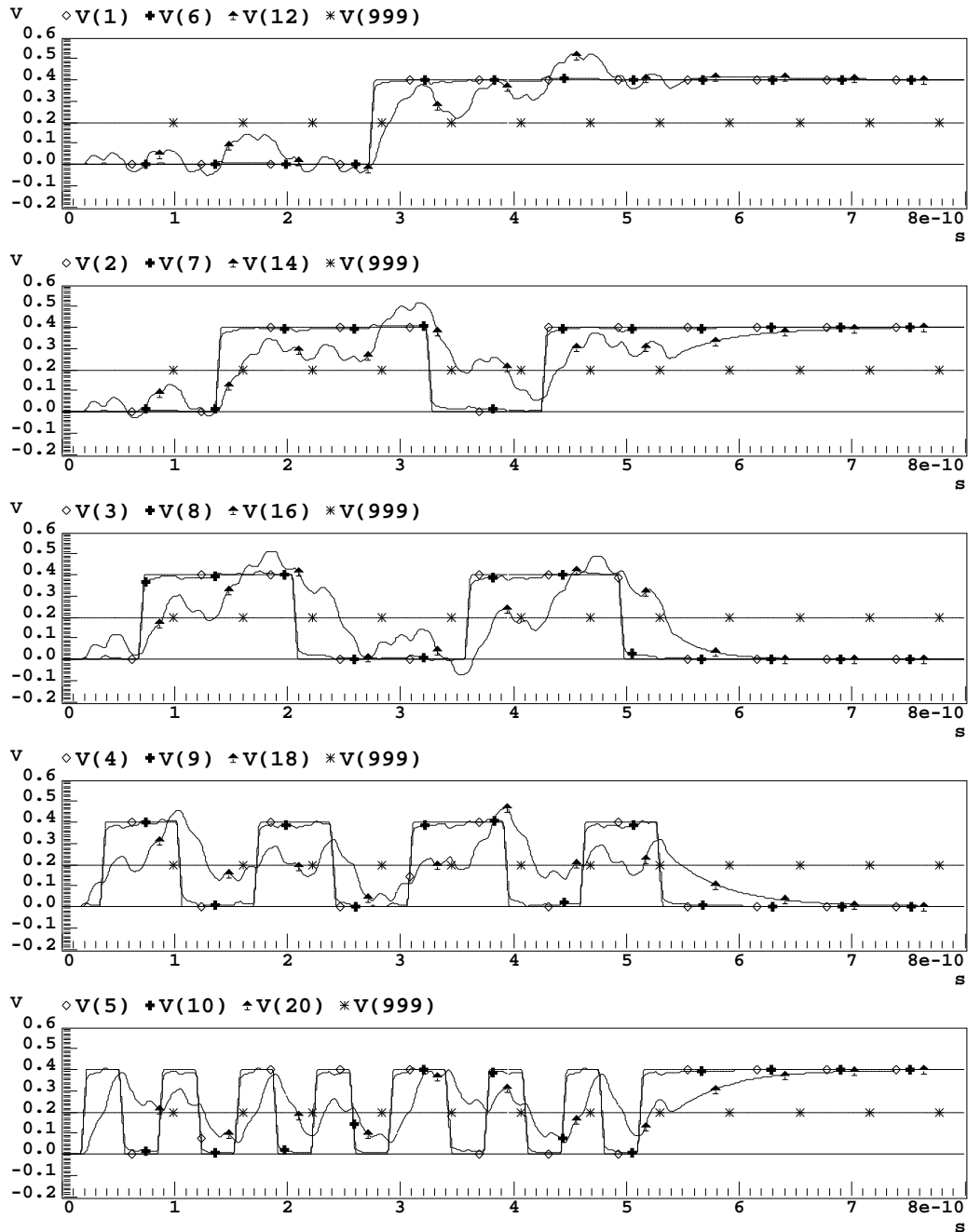


Bild 5.6: Testmuster eines Gray Code Zählers auf Signalleitern, 22nm Technologie, Leitungslänge 0,5mm

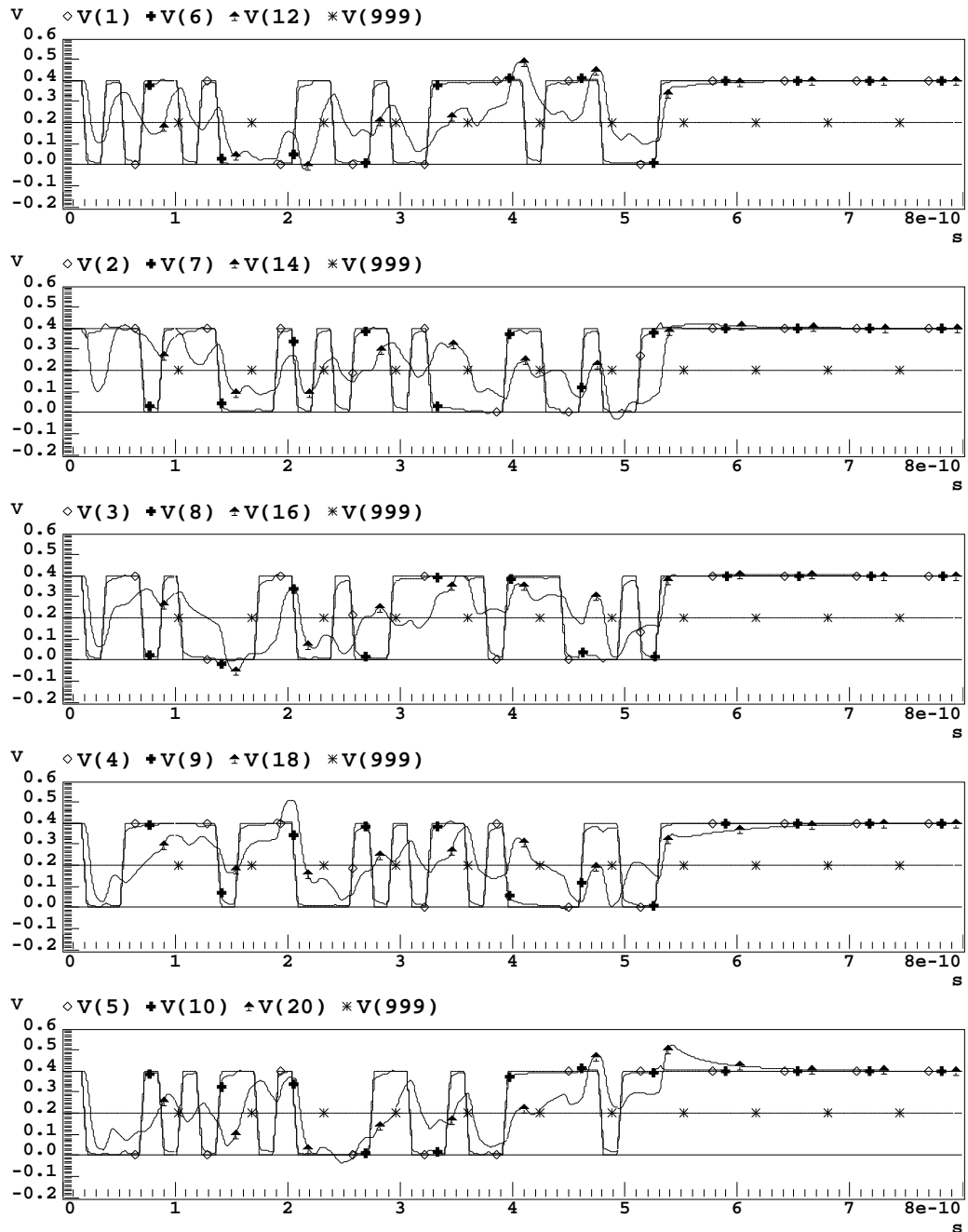


Bild 5.7: Testmuster eines zellularen Automaten auf Signalleitern, 22nm Technologie, Leitungslänge 0,5mm

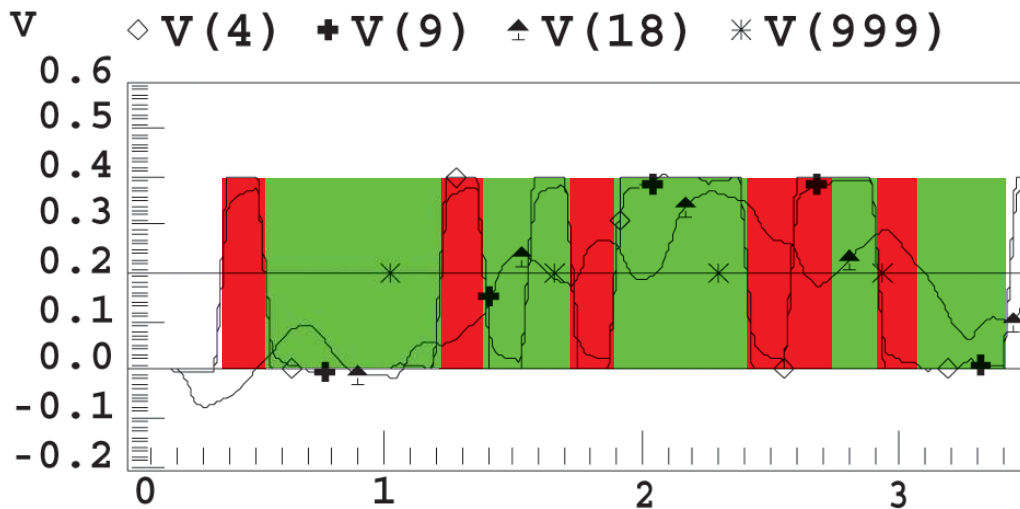


Bild 5.8: Definition des Bit-Fehlers in dieser Arbeit

Fasst man die Simulationsergebnisse dieses Kapitels zusammen, zeigt sich, dass das Signal eines zellularen Automaten weit weniger gestört übertragen wird als das eines LFSRs.

Zur Unterscheidung wird in dieser Arbeit ein Ausgangssignal wie in Bild 5.8 dargestellt als fehlerhaft definiert, sofern es in den letzten 20 Prozent des Signaltaktes nicht den Wert des Eingangssignal erreicht (rot dargestellt). Ist innerhalb dieses Zeitraumes das Ausgangssignal von der Wertigkeit identisch mit dem Eingangssignal, wird es als fehlerfrei gewertet (Darstellung in grün).

Die Summe der Bitfehler jedes untersuchten Testmustergenerators im Vergleich ist in Bild 5.9 dargestellt. Es zeigt sich, dass beim LFSR insgesamt 37 Bitfehler

	LFSR	Counter	Gray Code	ZA
Bit-Fehler	37	34	32	29

Bild 5.9: Vergleich der Bitfehler der untersuchten Testmustergeneratoren

auftreten, beim Zähler 34, beim Gray Code Zähler nur 32 und beim zellularen Automaten lediglich 29.

Die genauen Abweichungen zwischen Ein- und Ausgangs-Testmuster sind im Anhang B zu finden.

5.3 Variationen der Leitungslänge

Ausgehend von den Simulationen aus Kapitel 5.2 wird am Beispiel des Musters des LFSR gezeigt, wie sich die Leitungslänge auf die Qualität des Musters auswirkt. Dazu wird die identische Geometrie (siehe 5.3) und die identischen Testmustersignale verwendet, das Leitungssystem jedoch nicht mehr mit einer Leitungslänge von 0,5mm, sondern bei 0,2mm (Bild 5.10) und bei 0,1mm (Bild 5.11) simuliert.

Bei einer Halbierung der Leitungslänge wird das Testmuster fehlerfrei übertragen. Dies liegt zum einen daran, dass die parallele Strecke, auf der eine Kopplung zwischen den Leitern stattfinden kann, verkürzt wird. Entscheidend ist aber, dass die Signalverzögerung durch den geringeren Leitungsgesamtwiderstand deutlich kleiner wird und somit das Ausgangssignal am Ende der Leitung wesentlich schneller die Schaltschwelle erreicht als bei einer längeren Leitung.

Noch deutlicher wird dies bei der Simulation mit einer Leitungslänge von lediglich 0,1mm. Das Testmuster ist fehlerfrei und mit sehr gutem Störabstand¹. Deutlich sichtbar sind aber weiterhin die Übersprecheinflüsse zwischen den Leitungen (Peaks), die jedoch das Signal nicht verfälschen.

Entscheidend für die Signalintegrität ist also nicht das Übersprechen zwischen den Leitungen, sondern allein die Dämpfung und die damit verbundene Verzögerung durch den ohmschen Widerstand der Leitung. Ein Material wie Silber, welches einen wesentlich geringeren spezifischen Widerstand als Kupfer besitzt, wäre ideal, ist allerdings zu teuer, um es als Leitermaterial zu verwenden. Gelänge es aber durch günstige, neuartige Zusammensetzungen von Leitermaterialien den spezifischen Widerstand deutlich zu reduzieren, so wäre das Übertragen von Testmustern und von Signalen im Allgemeinen in Bussystemen kleinerer Strukturbreiten kein Problem der Nanometertechnologien.

¹ Abstand Signalpegel zur Schaltschwelle

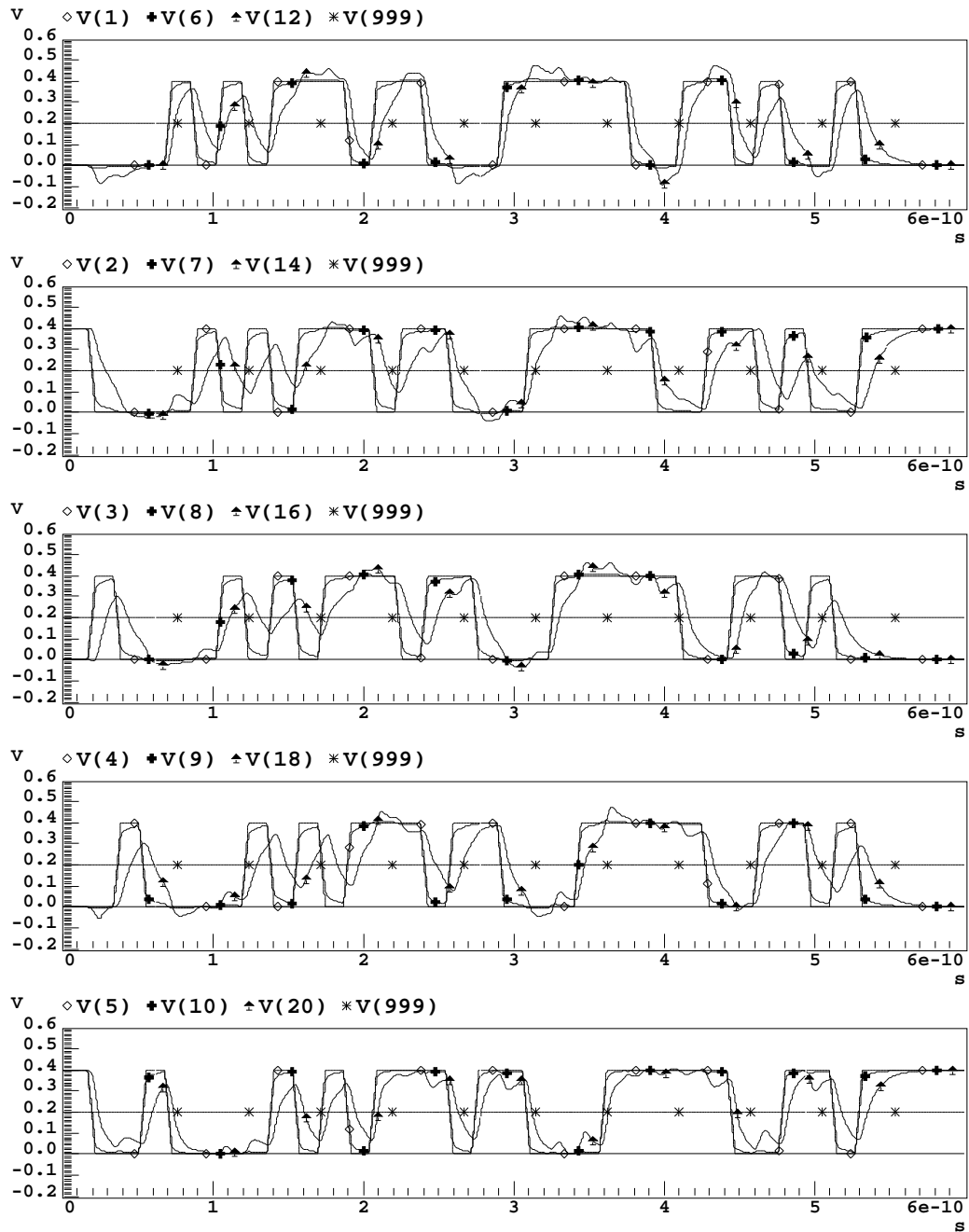


Bild 5.10: LFSR Testmuster auf Signalleitern, 22nm Technologie, Leitungslänge 0,2mm

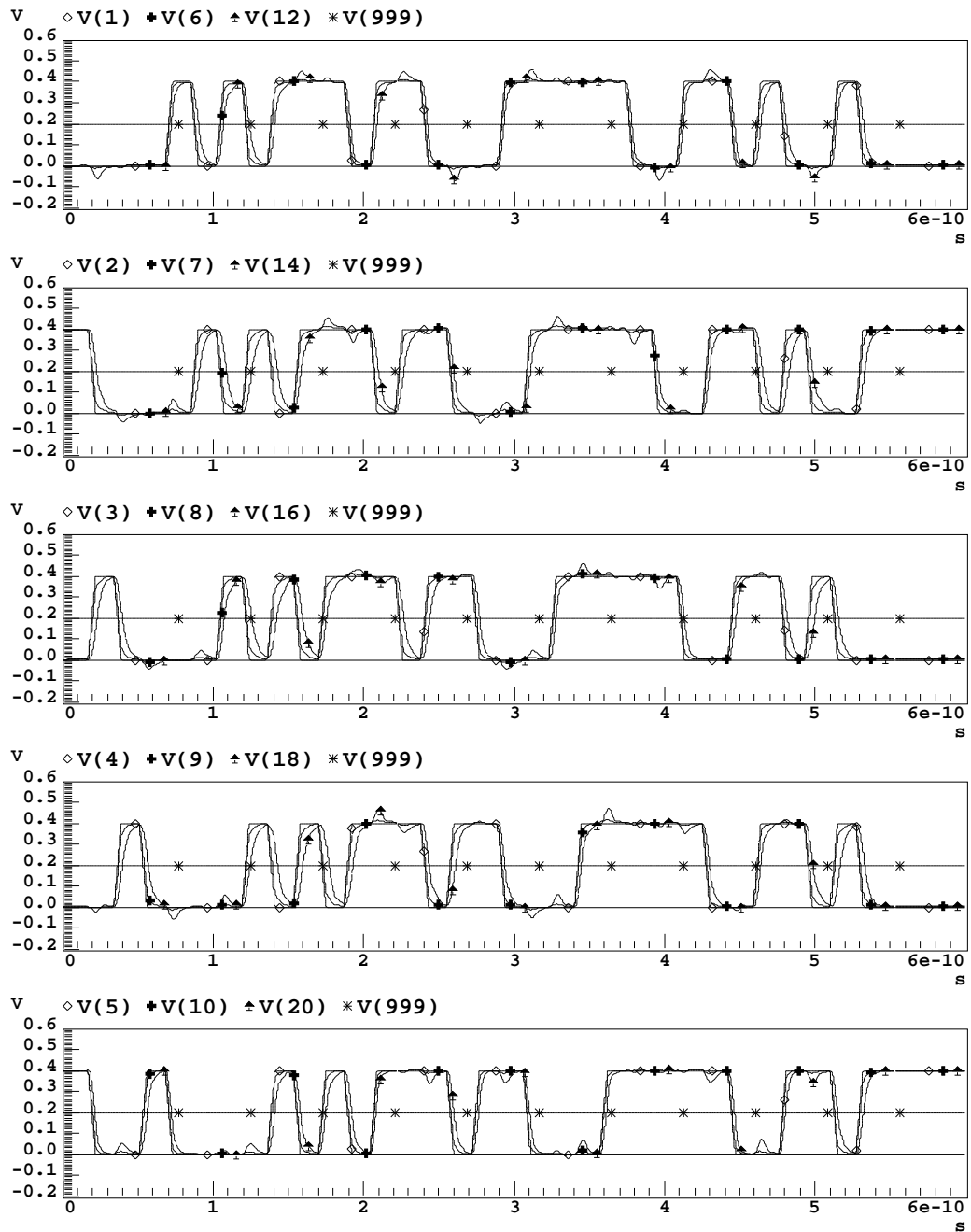


Bild 5.11: LFSR Testmuster auf Signalleitern, 22nm Technologie, Leitungslänge 0,1mm

5.4 Variationen des Kopplungsverhaltens

Dieser Abschnitt zeigt ein Gedankenexperiment, wie sich das Ausgangssignal des 5 Bit LFSR Testmustergenerators verändert, wenn man die Kopplung zwischen Nachbarleitungen reduziert bzw. ganz ausschliesst. Dazu werden in der vollbesetzten Leitungsmatrix (siehe Kapitel 3) im ersten Fall alle induktiven Nebendiagonalelemente von L' und im zweiten Fall zusätzlich alle kapazitiven Nebendiagonalelemente von C' zu Null gesetzt, so dass sowohl die induktive als auch die kapazitive Kopplung zwischen Nachbarleitungen in der Simulation unterbunden wird. Dies ist lediglich eine theoretische Untersuchung, denn in einer realen Schaltung ist es noch nicht gelungen, die kapazitive und induktive Kopplung gegenüber Nachbarleitungen vollständig auszuschliessen. Wenn dies gelänge, wäre das sicherlich der wichtigste Durchbruch bei der Entwicklung heutiger und zukünftiger Chipgenerationen.

Zunächst gilt es zu betrachten, wie sich das Ausgangssignal verändert, wenn die induktive Kopplung vollständig ausgeschlossen wird. Bild 5.12 zeigt das Ausgangssignal des 5 Bit LFSR Testmustersignals ohne induktive Kopplung bei einer Leitungslänge von 0,5mm.

Während das Ergebnis für sich allein betrachtet unauffällig ist, so führt ein Vergleich mit der Simulation mit vollständiger Kopplung (Bild 5.4) zu einem nicht erwarteten Ergebnis: Beide Simulationen sind praktisch deckungsgleich! Dies bedeutet, dass die induktive Kopplung bei den hier verwendeten geometrischen Strukturen nicht berücksichtigt werden muss! Während gerade in den letzten Jahren gefordert wurde die Induktivitätsbeläge für eine genaue Simulation zu berücksichtigen, scheint aufgrund der Geometrie in den Nanometertechnologien diese Diskussion schon wieder hinfällig. Natürlich führt eine Simulation mit vollständigen Parametersätzen auf jeden Fall zu einem korrekten Ergebnis. Die Extraktion von Induktivitäten ist aber äusserst schwierig und es wird kein entscheidender Fehler begangen, wenn in Zukunft auf die Berücksichtigung der Induktivitäten verzichtet wird. Allerdings ist diese Aussage immer nur unter der Bedingung gültig, wenn wie in dieser Arbeit die Leitungen kurz ($< 1\text{mm}$) sind und Minimalabmessungen nach der SIA Roadmap besitzen. Bei weniger stark verlustbehafteten Leitungen sollte für ein genaues Ergebnis auf jeden Fall die induktive Kopplung mit berücksichtigt werden. Eine Einschätzung, wann es sinnvoll sein kann, auf die Berücksichtigung von induktiver Kopplung zu verzichten, muss im Einzelfall untersucht werden, da dies von vielen Parametern wie Leitungslänge, Geometrie, Material und Frequenz abhängt. Es ist jedoch davon auszugehen, dass globale Leitungssysteme bei Technologien kleiner als 65nm ohne induktive Kopplung simuliert werden können.

Keinesfalls vernachlässigt werden darf jedoch die kapazitive Kopplung. Bild 5.13 zeigt die gleiche Simulation, jedoch ohne kapazitive und induktive Kopplung zwischen den Leitern. Die Selbstinduktivität und Eigenkapazität sowie der Widerstandsbelag der einzelnen Leiter bleibt natürlich erhalten.

Unschwer erkennbar ist, dass keinerlei Überspringen oder Kopplung der Signale untereinander erfolgt. Die Signale erfahren lediglich eine starke Verzögerung bei der Übertragung zum Ende der Leitung. Diese Verzögerung ist in der 22nm Technologie bestimmend für die Maximalfrequenz - denn ein Vergleich mit der Simulation mit allen Parametern (Bild 5.4) zeigt, dass eine Kopplung unter Umständen auch von Vorteil sein kann. Schalten benachbarte Leitungen gleichzeitig, erreicht zu bestimmten Zeitpunkten das Signal die Schaltschwelle, die es ohne Kopplung nicht erreichen würde. Im Gegensatz dazu gibt es aber auch Zeitpunkte, bei denen ein gegensätzliches Schalten das Erreichen der Schaltschwelle verhindert. Würde es jedoch gelingen, Testmustergeneratoren so zu konstruieren, dass möglichst gleichzeitiges Schalten benachbarter Leitung erfolgt, so könnte Kopplung durchaus positiv genutzt werden. Bei dem in dieser Arbeit verwendeten zellularen Automaten (Kapitel 4.2.2) tritt dieses gleichzeitige Schalten öfter auf als bei den anderen verwendeten Testmustergeneratoren, so dass die Kopplung im positiven Sinne ausgenutzt wird. Untersuchungen in der Zukunft sollten in die Richtung gehen, die Kopplung nicht zu vermeiden, sondern positiv auszunutzen. Diese positive Kopplung kann dann bei der Entwicklung zukünftiger Testmustergeneratoren dazu ausgenutzt werden, ein Testmuster stabiler gegenüber Leitungseffekten zu machen. Exemplarisch sei dazu die Verwendung von Leitungen genannt, die parallel zu Signalleitern geführt werden und mit Hilfe eines gleichgeschalteten Signals durch Kopplung die Qualität des Ursprungssignals verbessern. Nachteil ist dann allerdings die Vervielfachung von Leitungen und ein großer Overhead, da diese Technik einer Vergrößerung des Leitungsquerschnittes entspricht.

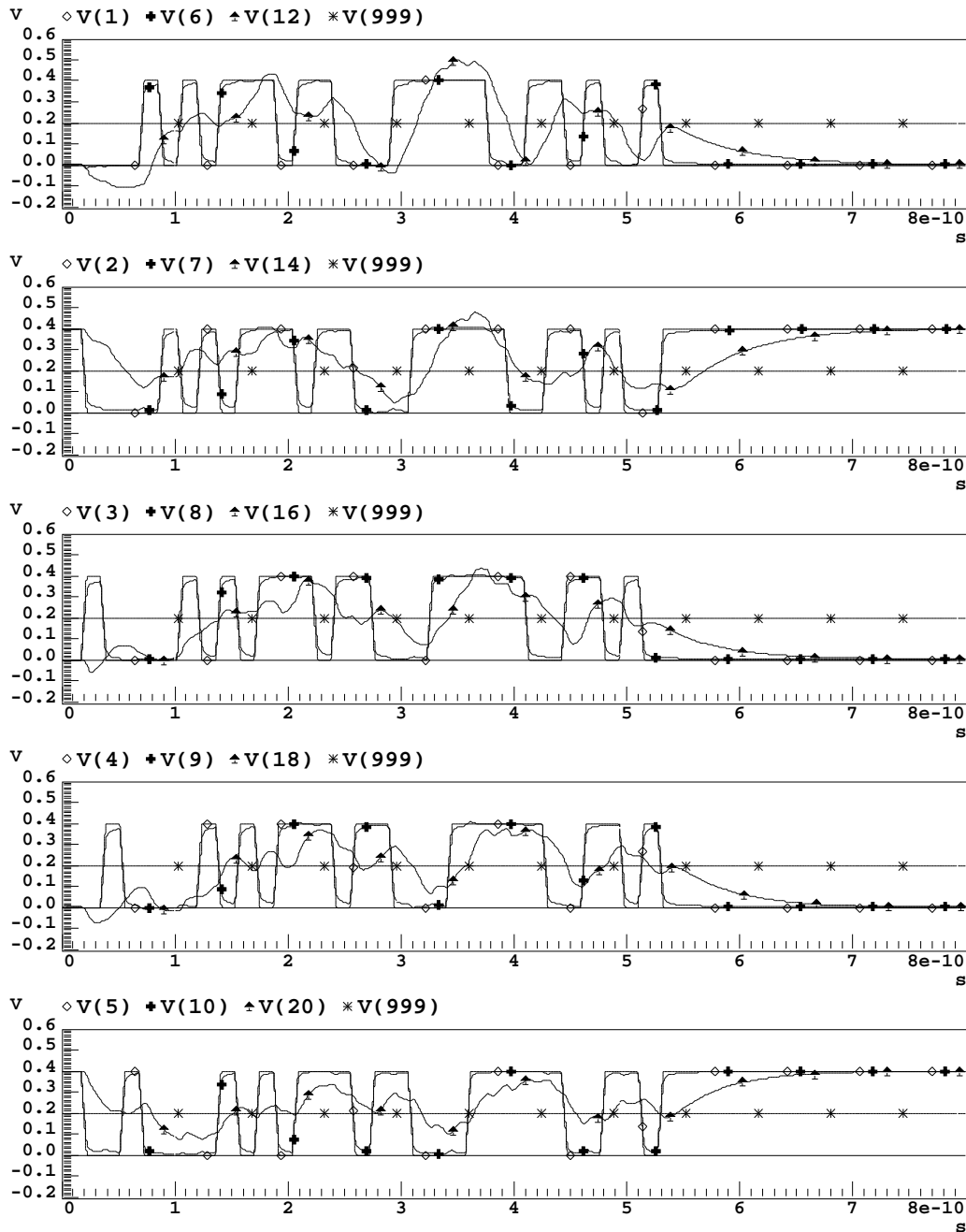


Bild 5.12: LFSR Testmuster auf Signalleitern ohne induktive Kopplung, 22nm Technologie, Leitungslänge 0,5mm

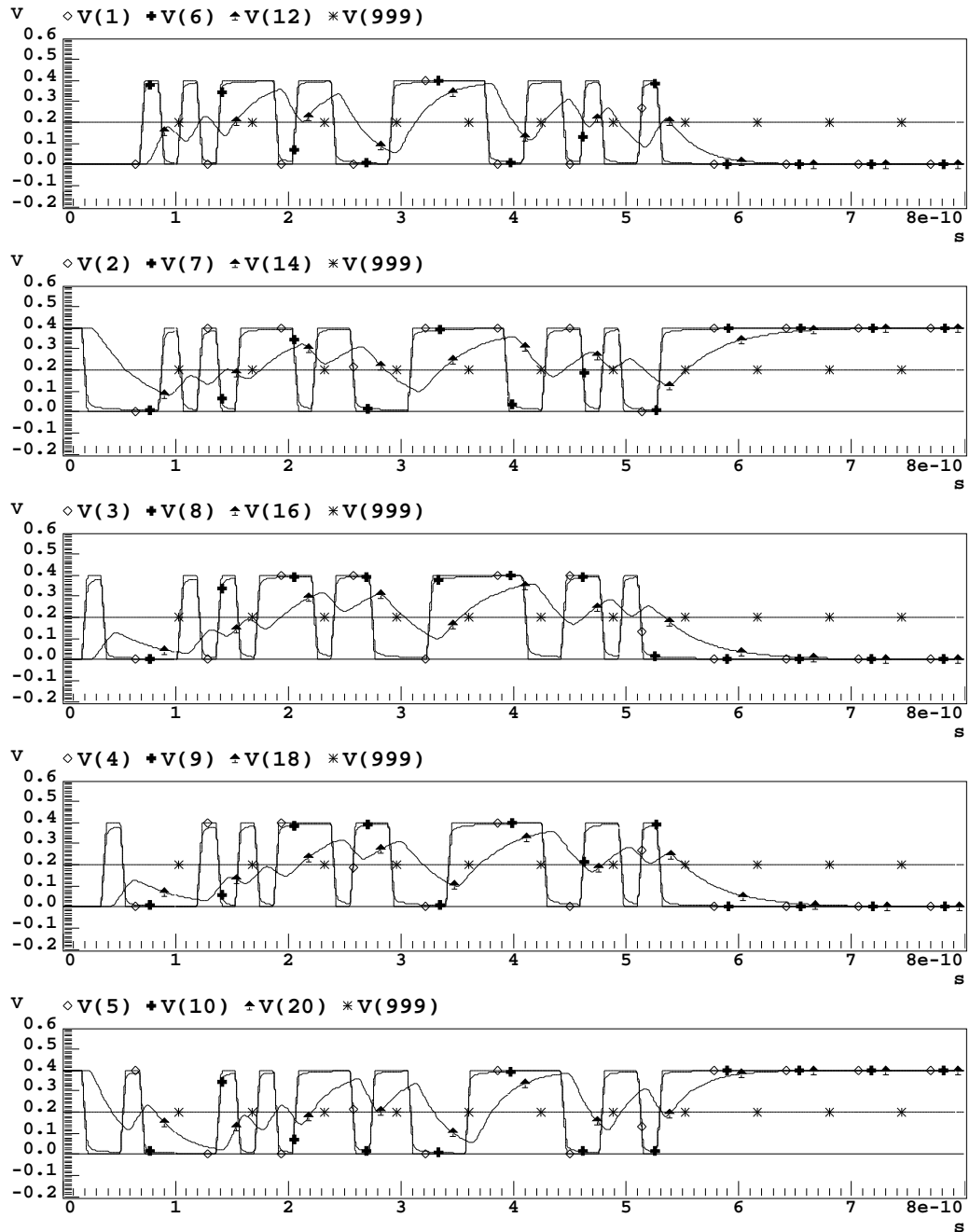


Bild 5.13: LFSR Testmuster auf Signalleitern ohne induktive und kapazitive Kopplung, 22nm Technologie, Leitungslänge 0,5mm

5.5 Variationen der Technologie

Die bisherigen Untersuchungen in diesem Kapitel wurden für Geometrien in der 22nm Technologie durchgeführt. Laut Vorhersage der SIA wird diese Technologie erst im Jahr 2016 zu entwerfen und zu fertigen sein. Aus diesem Grund stellt sich die Frage: Wie sieht es in den Technologien der kommenden Jahre aus? Um darüber eine Aussage machen zu können, wurden die identischen Simulationen, also das Anlegen des identischen 5 Bit LFSR Testmusters an das 0,5mm lange Bussystem, bei weiteren, grösseren, Strukturen durchgeführt. Die Betriebsspannung wurde genauso wie die Lastkapazitäten an die Technologie angepasst und die Taktfrequenz der Muster für die laut SIA Roadmap erwarteten Maximalfrequenz für die jeweilige Technologie verwendet.

Bild 5.14 zeigt die Ein- und Ausgangssignale der Simulation in der 32nm Technologie, die im Jahr 2013 erwartet wird. Als Vergleich dient wieder die Simulation in der 22nm Technologie aus Bild 5.4. Die Verzögerung auf der Leitung ist aufgrund des geringeren Widerstandes deutlich kleiner, die Koppeleffekte jedoch nahezu identisch. Das Testmuster wird auch in dieser Technologie nicht fehlerfrei übertragen, wobei der Fehler sich allerdings auf wenige Zeitpunkte reduziert. Als Testsignal ist dieses Muster aber dennoch unbrauchbar.

Als Vergleich wird die Simulation in der 45nm Technologie (Bild 5.15) - laut SIA voraussichtlich im Jahr 2010 die Standardtechnologie - herangezogen. Das Testmuster wird in dieser Technologie fehlerfrei übertragen. Der Einfluss durch die kapazitive (Bild 2.8) sowie durch die induktive Kopplung (Bild 2.11) ist ähnlich hoch wie in der 32nm und 22nm Technologie, aber der Widerstand der Leitung ist deutlich geringer (Bild 2.12), so dass nur eine unwesentliche Verzögerung auf der Leitung auftritt. Für die weiteren Technologien mit grösseren Strukturen ist die Übertragung des Testmusters aus verständlichen Gründen unkritisch. Es ist also davon auszugehen, dass ab dem Jahr 2010 die Verzögerung auf einer Leitung mit Minimalabmessungen eine dominantere Rolle als die Kopplung spielt. Laut Voraussagen der SIA Roadmap des Jahres 2001 wird es aufgrund der Dämpfung durch den Widerstandsbelag schwierig sein, ein Signal über globale Leitungssysteme fehlerfrei zu übertragen.

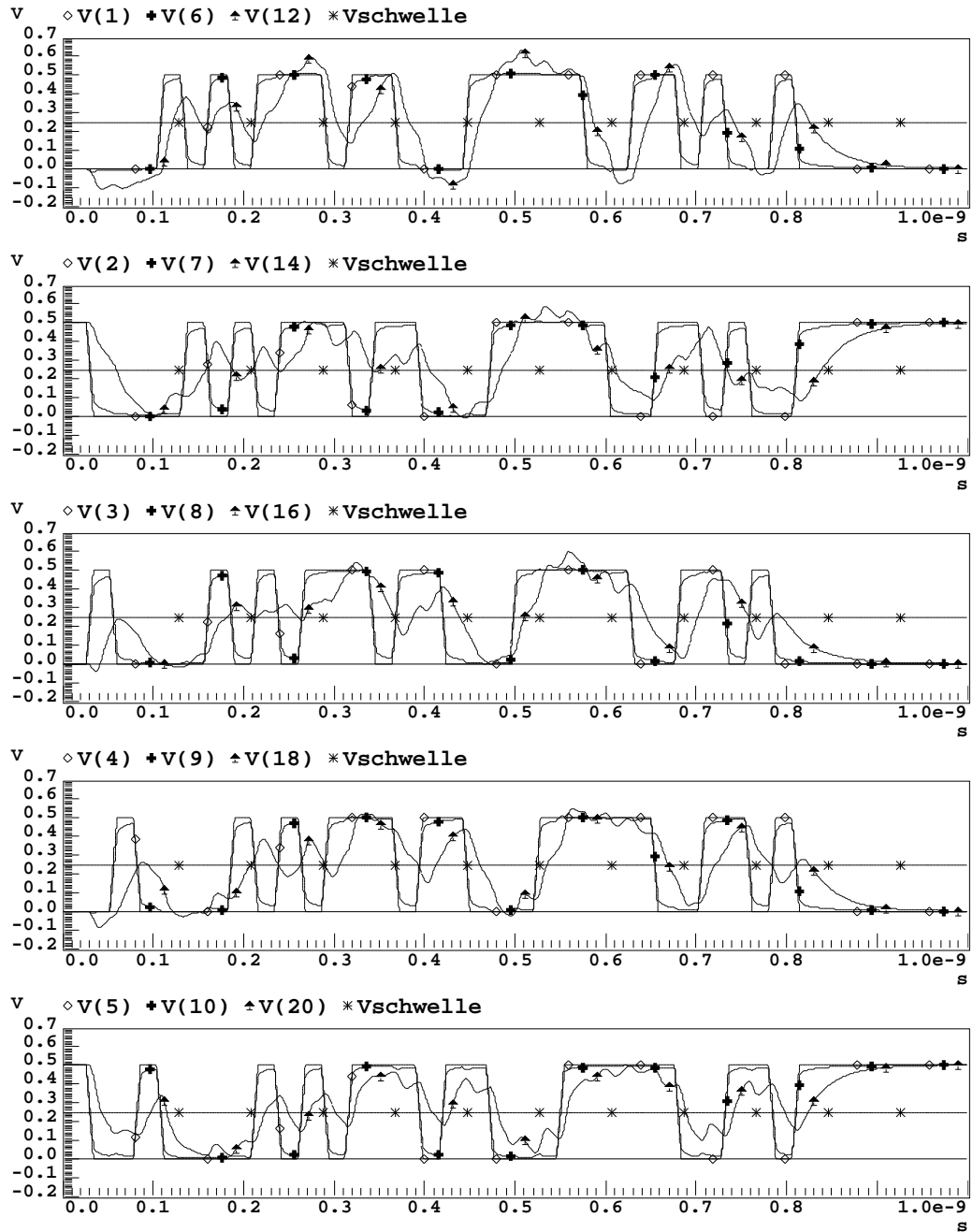


Bild 5.14: LFSR Testmuster auf Signalleitern, 32nm Technologie, Leitungslänge 0,5mm

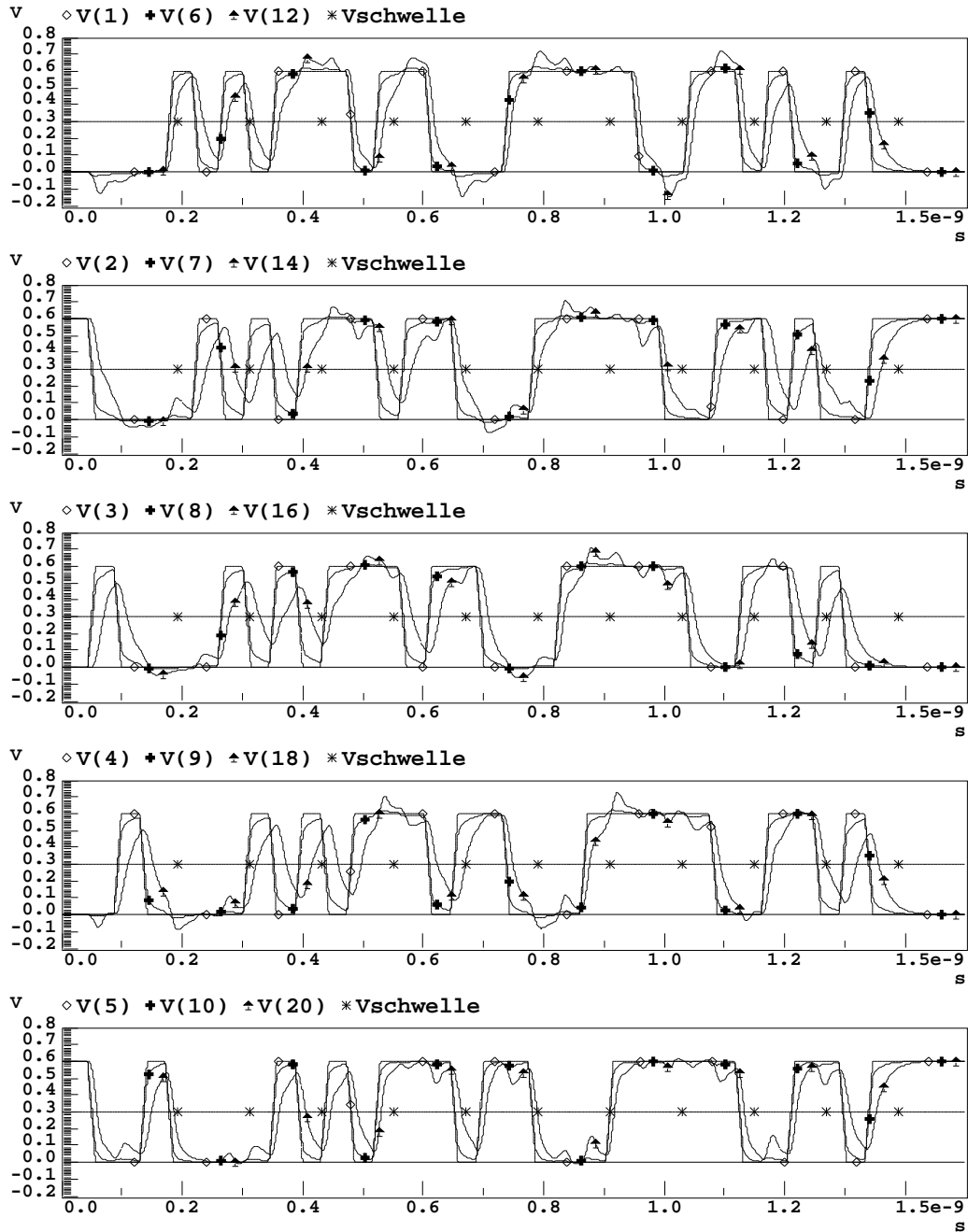


Bild 5.15: LFSR Testmuster auf Signalleitern, 45nm Technologie, Leitungslänge 0,5mm

6 Der Einfluss von Testmustern auf die Stabilität der Spannungsversorgung

Bei den bisherigen Betrachtungen wurde nur das Schaltverhalten auf Signalleitungen untersucht. Gerade in mikroelektronischen Schaltungen der kommenden Technologien von 130nm heute bis zu 22nm im Jahre 2016 gewinnt der Einfluß von wechselnden Signalen auf die Versorgungsspannungsleitungen eine entscheidende Bedeutung. Viele Forschungsaktivitäten wurden im Bereich des Power Supply Noise ([49], [51], [56], [57]) bzw. ΔI -Noise und Ground Bounce ([18], [100]) durchgeführt. Hierunter versteht man das Zusammenbrechen der Versorgungsspannung beim Schaltvorgang von Gattern durch eine hohe Last, wie sie z.B. Leitungssysteme (Leitungstreiber und Leitungen) darstellen. CMOS-Gatter zeichnen sich dadurch aus, dass sie im Ruhezustand nahezu keinen Strom, jedoch beim Schalten durch das Umladen der Transistorkapazitäten einen relativ hohen Strom verbrauchen. Da alle Gatter über die Versorgungsspannung miteinander verbunden sind, bricht somit die Versorgungsspannung beim gleichzeitigen Schalten vieler Signale ein.

In dieser Arbeit wird der Einfluß auf die Spannungsversorgung ausschließlich durch Kopplung auf Leitungssystemen untersucht. Störungen aufgrund von Stromspitzen sind in anderen Arbeiten wie z.B. [19] untersucht worden. Das bedeutet, dass das Schalten von Signalen auf Leitungssystemen, die parallel zu den anderen Leitungen liegen, ein positives oder negatives Übersprechen auf diesen Leitungen verursacht. Gerade in langen parallel geführten Bussystemen ist dieser Einfluss keineswegs vernachlässigbar (wie in Kapitel 5 gezeigt). Besonders deutlich sind die Leitungseffekte, wenn die benachbarten Leitungen im Gegenteil (entgegengesetzter Signalwechsel) betrieben werden.

Bild 6.1 zeigt, wie sich die Verzögerung mit der Leitungslänge bei unterschiedlicher Ansteuerung auswirkt. Mit Verzögerung ist der Zeitpunkt definiert, wenn das Signal die Schaltschwelle $V_{dd}/2$ überschritten hat. Durch gleichzeitige Signalwechsel (Gleichtakt) wird die Verzögerung reduziert, da keine Koppelkapazitäten umgeladen werden müssen, da beide Leitungen das gleiche Potential besitzen.

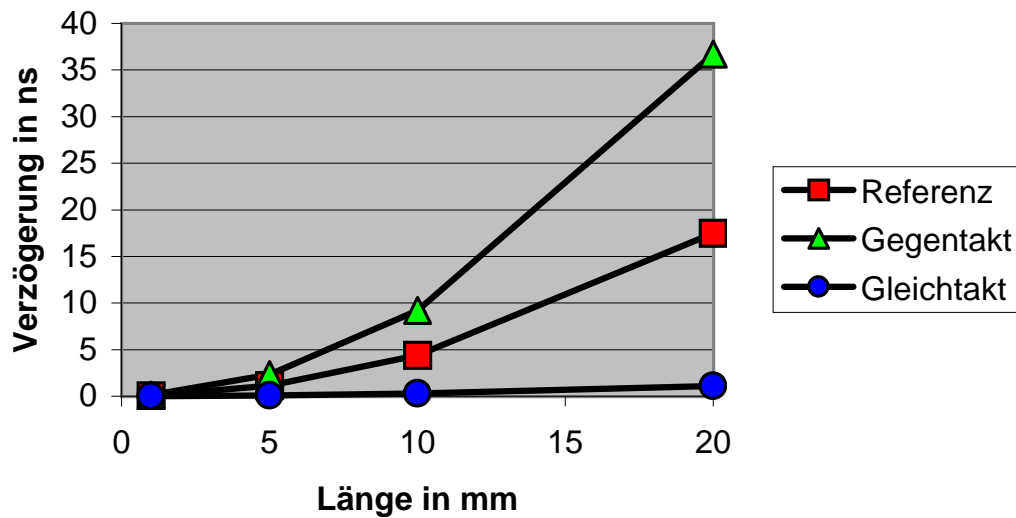


Bild 6.1: Vergleich Gegentakt - Gleichtaktansteuerung

Im Gegentakt hingegen erhöht sich die Verzögerung stark, da das Umladen der Leitungskapazität zu einer signifikanten Verzögerung führt. Das Schalten einer einzelnen Leitung, wobei alle Nachbarleitungen inaktiv (passiv) sind, wird als Referenz bezeichnet und dient als Vergleich.

In zukünftigen Technologien wird jedoch auch die Kopplung auf Versorgungsspannungsleitungen problematisch, obwohl diese Leitungen wesentlich breiter als die Signalleitungen ausgelegt sind. Auf Boards wurden dazu schon Untersuchungen in [78] sowie [107] durchgeführt. In heutigen Chipdesigns ist nicht auszuschließen, dass Signalleitungssysteme über eine Länge von 1mm und mehr parallel zu Versorgungsspannungsleitungen in ein und derselben Verdrahtungsebene liegen und somit die Basis für eine Kopplung untereinander gegeben ist.

Durch die Kopplung von Signal- und Versorgungsspannsleitern über parallele Leitungen entstehen nicht nur Schwingungen auf der spannungsführenden V_{dd} -Leitung, sondern ebenfalls auf der Masseleitung V_{ss} . Dies hat wiederum zur Folge, dass Gatter, die an der gestörten Versorgungsspannung angelegt werden, den Fehler propagieren.¹

¹ In der englischsprachigen Literatur wird von Power-Lines gesprochen. Darunter versteht man die Gruppe von einer oder mehrerer Versorgungsspannungsleitungen und Masseleitung. Da dieser Begriff sinnvoller ist als Versorgungsspannung- und Masse-Leitung wird im Weiteren der englischsprachige Name für ein Leitungspaar aus einer Versorgungsspannungs- und einer Masseleitung verwendet.

6.1 Identische Leiterbreiten

Im ersten Fall wird davon ausgegangen, dass sowohl der Signalleiter, als auch die spannungsführende V_{dd} -Leitung und der Masseleiter V_{ss} dieselbe Leiterbreite besitzen.

Dies soll nur exemplarisch zeigen, wie gross der Einfluss eines Schaltimpulses auf Nachbarleitungen mit konstantem Spannungspegel ist. Tatsächlich sind die Breiten von Versorgungsspannungs- und Masseleitern auf Chips grundsätzlich größer als die von Signalleitern. Das Verhalten bei diesen Geometrien wird in den Kapiteln 6.2 bzw. 6.4 beschrieben.

Bild 6.2 zeigt das Verhalten dreier paralleler Leiter in 250nm Technologie und Bild 6.3 das Verhalten in 22nm Technologie.

Im obersten Graphen ist ein Ein- und Ausschaltimpuls dargestellt, wobei $V(1)$ der Impuls einer idealen Quelle, $V(4)$ das Signal am Anfang und $V(8)$ am Ende der Leitung darstellt. Der mittlere Graph zeigt eine konstante Spannung $V(2)$ (bzw. $V(5)$ am Anfang und $V(10)$ am Ende der Leitung), die die Versorgungsspannung V_{dd} repräsentieren soll. Schließlich ist im unteren Graph der Masseleiter $V(3)$ dargestellt, wiederum mit den Signalen $V(6)$ am Anfang und $V(12)$ am Ende der Leitung. Beide Leitungssysteme besitzen eine Länge von 0,5mm.

Es ist leicht erkennbar, dass in der 250nm Technologie der Einfluss des Schaltens der Signalleitung auf die Power-Lines vernachlässigbar ist. Es ist keinerlei Einwirkung auf die Power-Lines erkennbar. In der 22nm Technologie hingegen treten schon deutliche Spikes auf den Nachbarleitungen auf. Dieser Spike liegt in der Grössenordnung von $0,2 \cdot V_{dd}$. Zwar hat dies noch keinen Hazard zur Folge, aufgrund der dadurch entstehenden Verzögerung kann dies aber einen signifikanten Einfluss auf das dynamische Verhalten von Gattern haben.

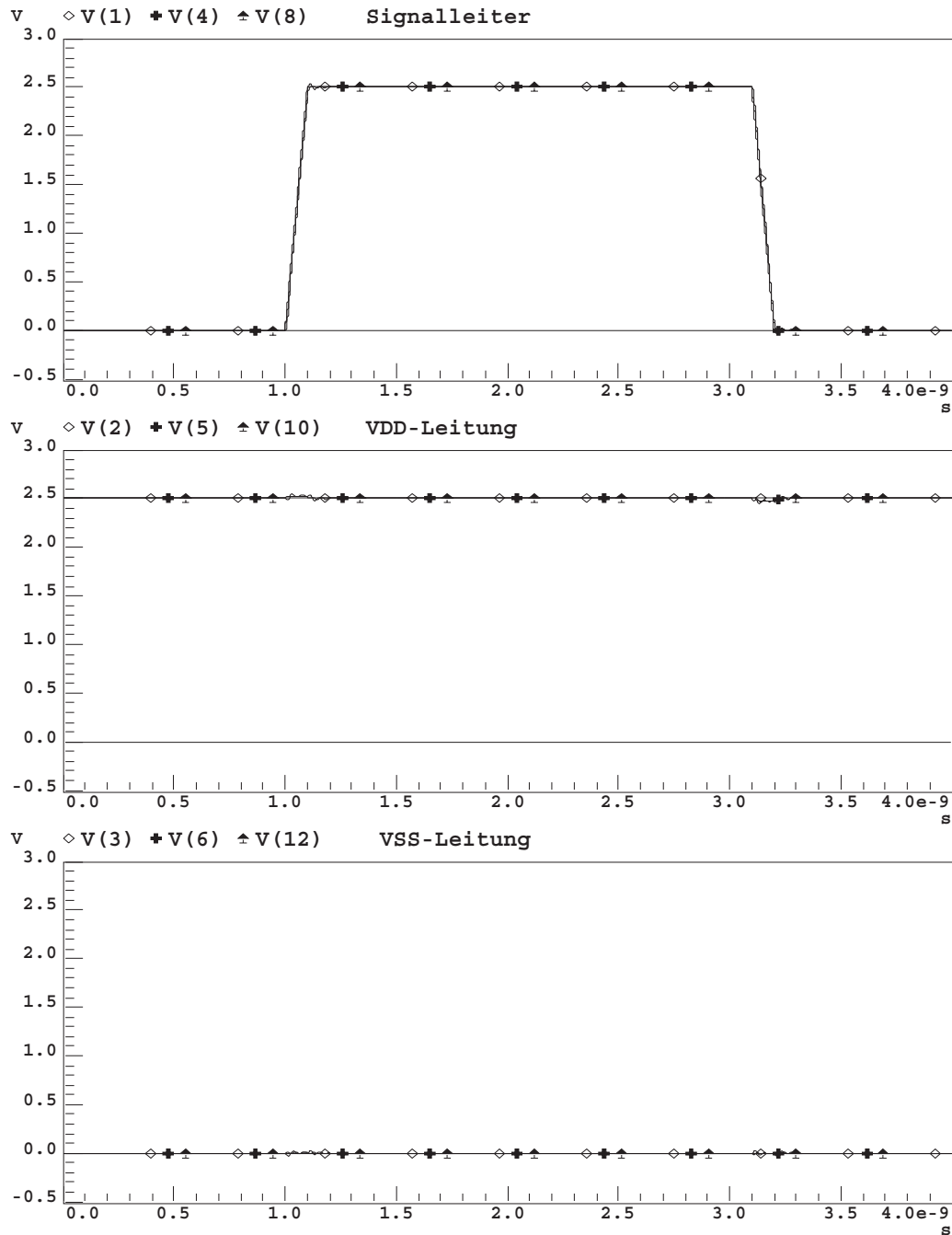


Bild 6.2: Kopplung einer Signalleitung auf V_{dd} und V_{ss} , 250nm Technologie, Leitungslänge 0,5mm

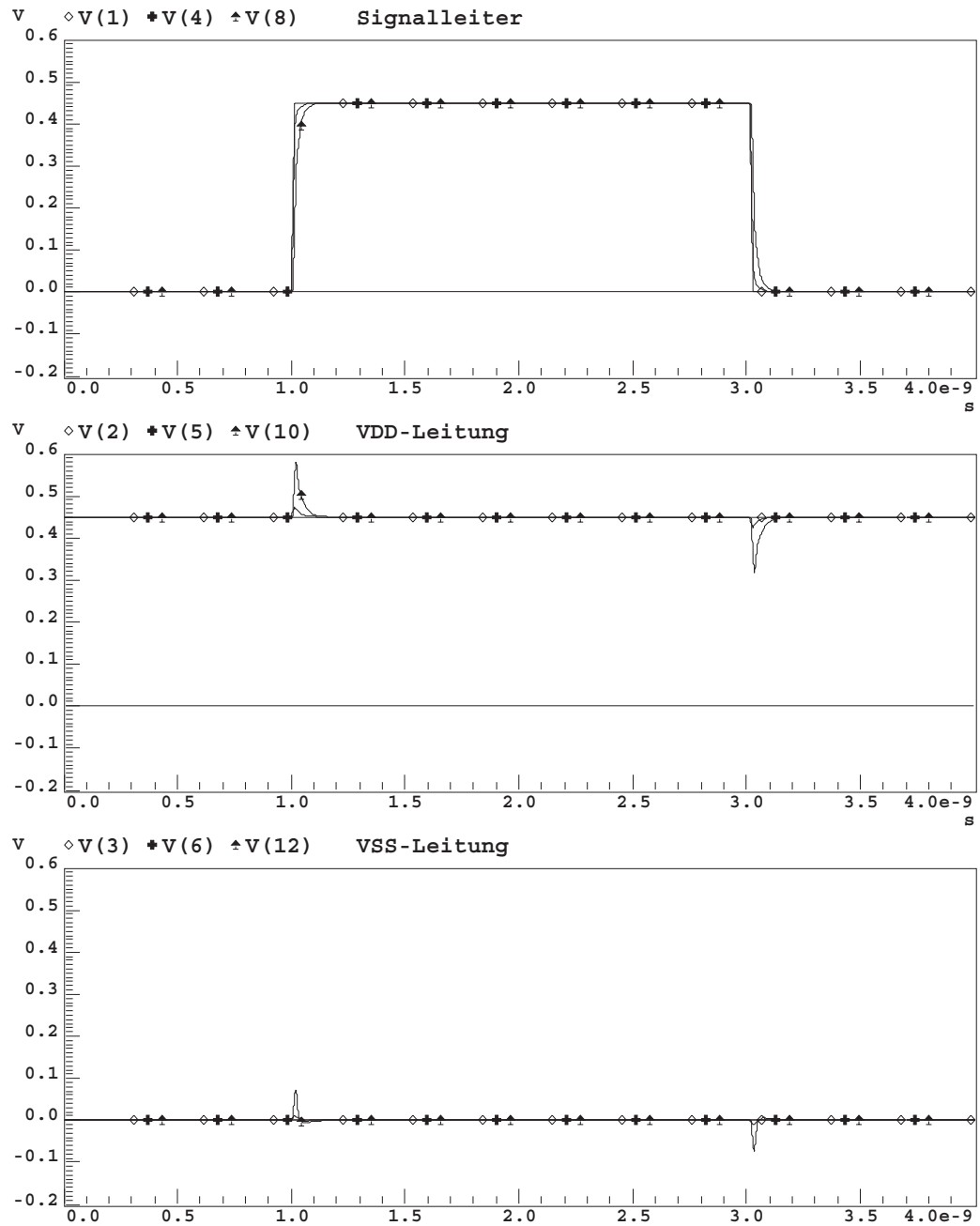


Bild 6.3: Kopplung einer Signalleitung auf V_{dd} und V_{ss} , 22nm Technologie, Leitungslänge 0,5mm

6.2 Topologie der Spannungsversorgung

Da in mikroelektronischen Schaltungen die Spannungsversorgung in allen Bereichen der Schaltung sichergestellt sein muss, müssen Leitungen zur Spannungsversorgung breiter ausgelegt werden als Signalleitungen. Dadurch wird gewährleistet, dass die Stromdichte auf diesen Leitungen nicht so groß ist, dass die Leitung und damit die Schaltung zerstört wird. Der Leitungswiderstand und damit die Dämpfung wird durch die breiten Leitungen möglichst klein gehalten.

In diesem Kapitel wird gezeigt, wie sich Störungen durch Kopplung von Testmustersignalen auf benachbarten Leitungen auf die Spannungsversorgung auswirken. Es muß dabei zwischen den sog. Power Stripes (Abschnitt 6.3) und der Standardzellen-Spannungsversorgung (Abschnitt 6.4) unterschieden werden, da diese Leitungen sich in ihrer Geometrie deutlich unterscheiden.

Bild 6.4 zeigt eine schematische Darstellung des Layouts des am Laboratorium für Informationstechnologie entwickelten digitalen Signalprozessors HiPAR-DSP [45] (siehe auch [68], [85], [86]). Zum späteren Verständnis sind in der Darstellung die unterschiedlichen Spannungsversorgungsleitungen exemplarisch markiert.

Beim zugrundegelegten HiPAR-DSP wird jedes Pad von einer Masse- und einer Versorgungsspannungsleitung umringt, die die starken Treiber innerhalb der Padzellen mit Spannung versorgen. Somit entsteht gleichzeitig eine Abschirmung gegenüber den Padnachbarn, so dass eine Beeinflussung von Pads untereinander durch z.B. Kopplung ausgeschlossen werden kann.

Es hat sich gezeigt, dass es sinnvoll ist, in einem Standard-Chipdesign die Spannung folgendermassen zuzuführen:

Um die Padzellen selbst mit Spannung zu versorgen ist der gesamte Chip mit einem Power Ring umgeben. Die Pad-Spannungsversorgung bzw. Core-Spannung ist untereinander verbunden, so dass gewährleistet wird, dass rings um den Chip das gleiche Potential herrscht. Der Power-Ring besteht aus parallel geführter Spannungs- und Masseleitung. VDD und Ground-Pads sind dabei entlang des Power-Rings gleichmäßig verteilt. Theoretisch ist es möglich, dass das Schalten auf einer Signalleitung die Spannungsversorgung auf dem Power Ring durch Kopplung beeinflussen kann. Der Abstand zwischen Signalleitungen und dem breiten Power-Ring ist jedoch meist sehr gross, zusätzlich ist der Power-Ring relativ niederohmig an die externe Spannungsversorgung angeschlossen, so dass dieser Einfluss vernachlässigbar ist.

Senkrecht eingezeichnet sind die vom äusseren Power-Ring abgehenden sog. Power Stripes, die die Spannung für die inneren Schaltungsblöcke des Chips lie-

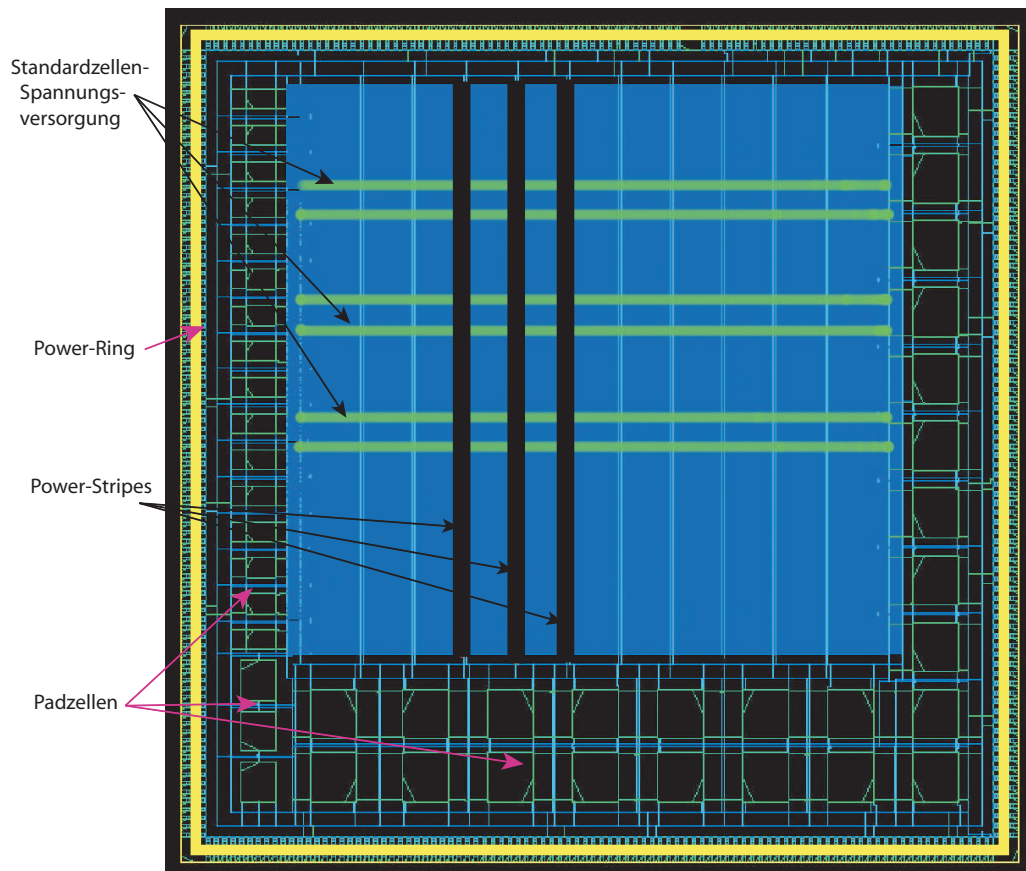


Bild 6.4: HiPAR-DSP: Power Stripes und Standardzellen-Spannungsversorgung

fern. Diese Power Stripes bestehen ebenfalls aus zwei parallel geführten Leitungen, wobei die eine Leitung die Versorgungsspannung führt und die andere auf Masse gelegt ist. Sie sind meist sehr breit ausgelegt, damit der Widerstand und damit der Spannungsfall auf der Leitung möglichst gering bleibt. In der 130nm Technologie z.B. sind diese Power Stripes ca. $16,5\mu\text{m}$ breit, in der 22nm Technologie immerhin noch $3\mu\text{m}$ - also deutlich breiter als normale Signalleiter (vgl. Tab. 2.1).

Deutlich schmäler sind die rechtwinklig zu den Power Stripes angeordneten Leitungen, die zur Spannungsversorgung von Standardzellen verwendet werden. Der Abstand zwischen den Leitungen (Spannungsleitung zu Masseleitung) ist jedoch deutlich grösser als der von den Power Stripes, da zwischen der Spannungs- und der Masseleitung die Standardzellen angeordnet werden.

Tabelle 6.1 zeigt die aufgrund der von der SIA Roadmap prognostizierten Daten geometrischen Abmessungen von Versorgungsspannungs- und Masseleitungen in zukünftigen Technologien auf Chips. Die Daten wurden anhand des Layouts und zweier Bluebooks zum HiPAR-DSP ermittelt und für kleinere Technologien interpoliert worden.

Im oberen Bereich sind dabei die Abmessungen für die Leitungen der Power Stripes und im unteren Bereich die der Leitungen, die zur Spannungsversorgung von Standardzellen verwendet werden, angegeben.

Technologie	250 nm	150 nm	130 nm	100 nm	70 nm	50 nm	35 nm	22 nm
<u>Power-Stripes</u>								
Leiterbreite								
Spannungs-/Masse-Leiter	30 μm	20 μm	16,5 μm	12,5 μm	9,5 μm	7 μm	5 μm	3 μm
Abstand								
Spannung/Masse-Leiter	1 μm	0,63 μm	0,5 μm	0,39 μm	0,29 μm	0,2 μm	0,15 μm	0,1 μm
<u>Standardzellen-Spannungsversorgung</u>								
Leiterbreite								
Spannungs-/Masse-Leiter	2 μm	1,25 μm	1,05 μm	0,8 μm	0,6 μm	0,45 μm	0,33 μm	0,2 μm
Abstand								
Spannung/Masse-Leiter	6 μm	3,75 μm	3,1 μm	2,35 μm	1,8 μm	1,35 μm	1 μm	0,7 μm

Tabelle 6.1: Geometrien von Versorgungsspannungsleitungen auf Chips

6.3 Einfluß auf die Power Stripes

In den folgenden Abschnitten (6.3.1 - 6.3.4) wird exemplarisch der Einfluss auf die Power Stripes für verschiedene Testmustergeneratoren und deren Testmuster gezeigt.

Simuliert wurde ein System aus 2 x 5 Leitungen mit dazwischenliegenden Power und Ground Lines. Bild 6.5 zeigt die Geometrien und Anordnungen des simulierten Leitersystems. Die Lastkapazitäten ergeben sich aus der jeweiligen Technologie (siehe Tab. 2.1) und die Treiberwiderstände betragen jeweils $Z_D = 50\Omega$. Für diese Geometrie wurden die Leitungsparameter extrahiert und nach der vereinfachten Struktur nach Bild 6.6 simuliert. Dabei beträgt die Leitungslänge 0,2mm - die Signalleitungen und Power-Lines, wie oben erwähnt, besitzen Minimalabmessungen nach der SIA-Roadmap, wobei die Power-Lines wie in mikroelektronischen Schaltungen üblich eine deutlich breitere Geometrie besitzen. Beide aussenliegenden Leitungssysteme wurden jeweils mit einem 5 Bit Testmuster verschiedener Testmustergeneratoren beaufschlagt.

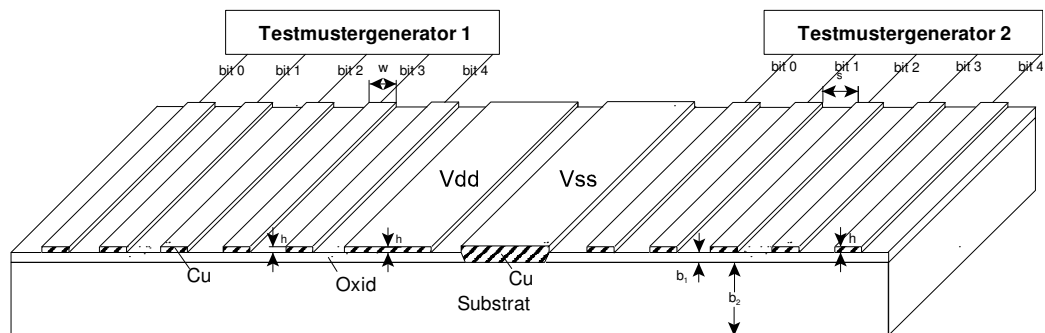


Bild 6.5: Geometrische Anordnung von Power Stripes

Zur besseren Übersicht wird auf die Darstellung der ersten und letzten 4 Bits der 2 Testmustergeneratoren (siehe Bild 6.6) verzichtet. Jeweils der oberste Graph zeigt das Signal auf der Signalleitung, die sich am nächsten zur V_{dd} -Leitung befindet, der zweite Graph repräsentiert die V_{dd} -Leitung, der dritte Graph die Masseleitung und der Graph am unteren Ende das Signal auf der Signalleitung, die sich am nächsten zur V_{ss} -Leitung befindet. $V(5)$ bis $V(8)$ sind dabei die Spannungen an der idealen Quelle, $V(17)$ bis $V(20)$ die Spannungen am Anfang (near end) und $V(34)$ bis $V(40)$ die Spannungen am Ende (far end) des Leitungssystems.

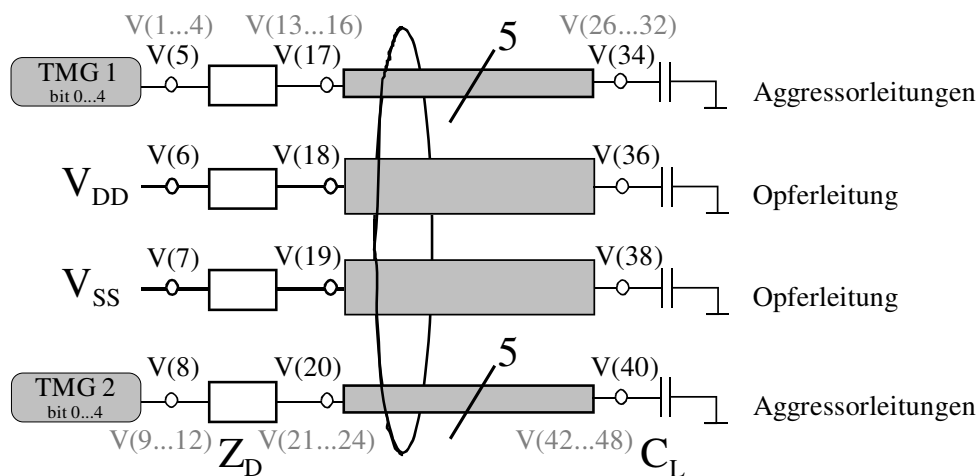


Bild 6.6: Skizze des 12 Leitersystems bei Power Stripes

6.3.1 Lineares Schieberegister

Ein linear rückgekoppeltes Schieberegister (LFSR) ist ein Testmustergenerator, der sich dadurch auszeichnet, dass er in einer mikroelektronischen Schaltung sehr einfach durch Register aufzubauen ist. Nachteilig ist jedoch, dass benachbarte Leitungen meist im Gegenteil schalten, so dass ein sehr ungünstiges Schaltverhalten gegenüber Kopplung auftritt (vgl. Kapitel 4.2.1).

Zur Einführung ist in Bild 6.7 das Verhalten des Leitungssystems bei Verwendung eines Testmuster Signals eines 5 Bit LFSR in 250nm Technologie und einer Leitungslänge von 0,5mm dargestellt. Es ist deutlich zu erkennen, dass in dieser Technologie der Einfluss der Kopplung bei Leitungen dieser Länge vernachlässigbar ist. Ganz anders zeigt sich das Signalverhalten in der 22nm Technologie in Bild 6.8. Obwohl die simulierte Leitungslänge nur noch 40%, also 0,2mm, beträgt, sind nicht nur die Signale auf den Signalleitungen durch Dämpfung aufgrund des hohen Leitungswiderstandes gestört, sondern auch die Versorgungsspannung und die Masseleitung werden aufgrund von Kopplung durch die Signalleitungen am Ausgang des Leitungssystems gestört. Allerdings ist diese Beeinflussung so gering, dass kein nennenswerter Einbruch der Versorgungsspannung erfolgt. Die Signale auf den Signalleitern werden signifikant gestört, jedoch wird das digitale Testmuster fehlerfrei übertragen, da das Ausgangssignal zu jedem Schaltzeitpunkt die digitale Schaltschwelle überschreitet. Bei einer Leitungslänge von 0,5mm und mehr ist die Dämpfung jedoch so gross (Bild C.1 im Anhang), dass das Testmuster nur noch fehlerhaft übertragen wird, da bei der in der 22nm Technologie prognostizierten Maximalfrequenz das Ausgangssignal die Schaltschwelle nicht mehr überschreiten kann.

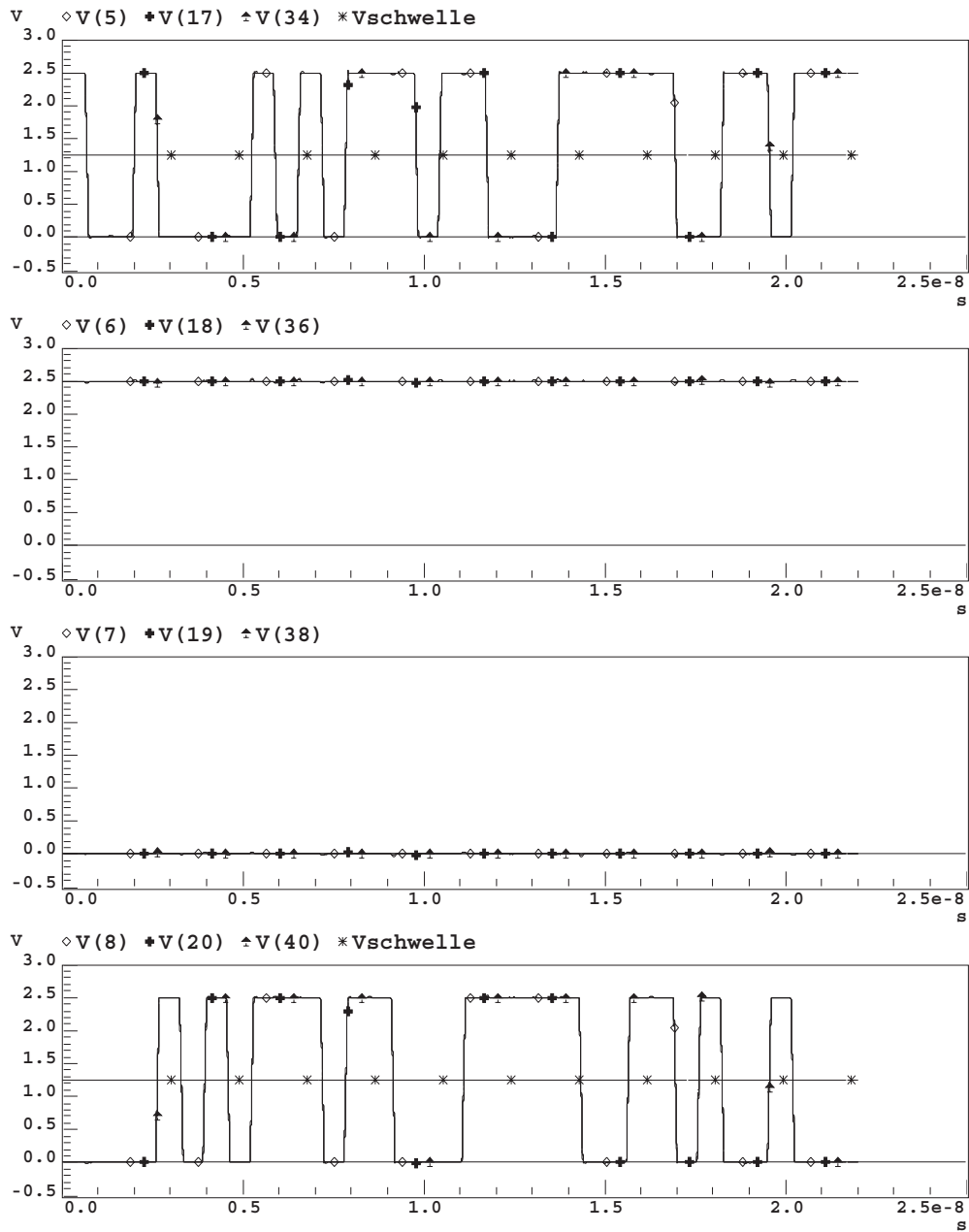


Bild 6.7: Einfluss eines Bussystems mit LFSR-Testmustern auf Power Stripes auf Chips, 250nm Technologie, Leitungslänge 0,5mm

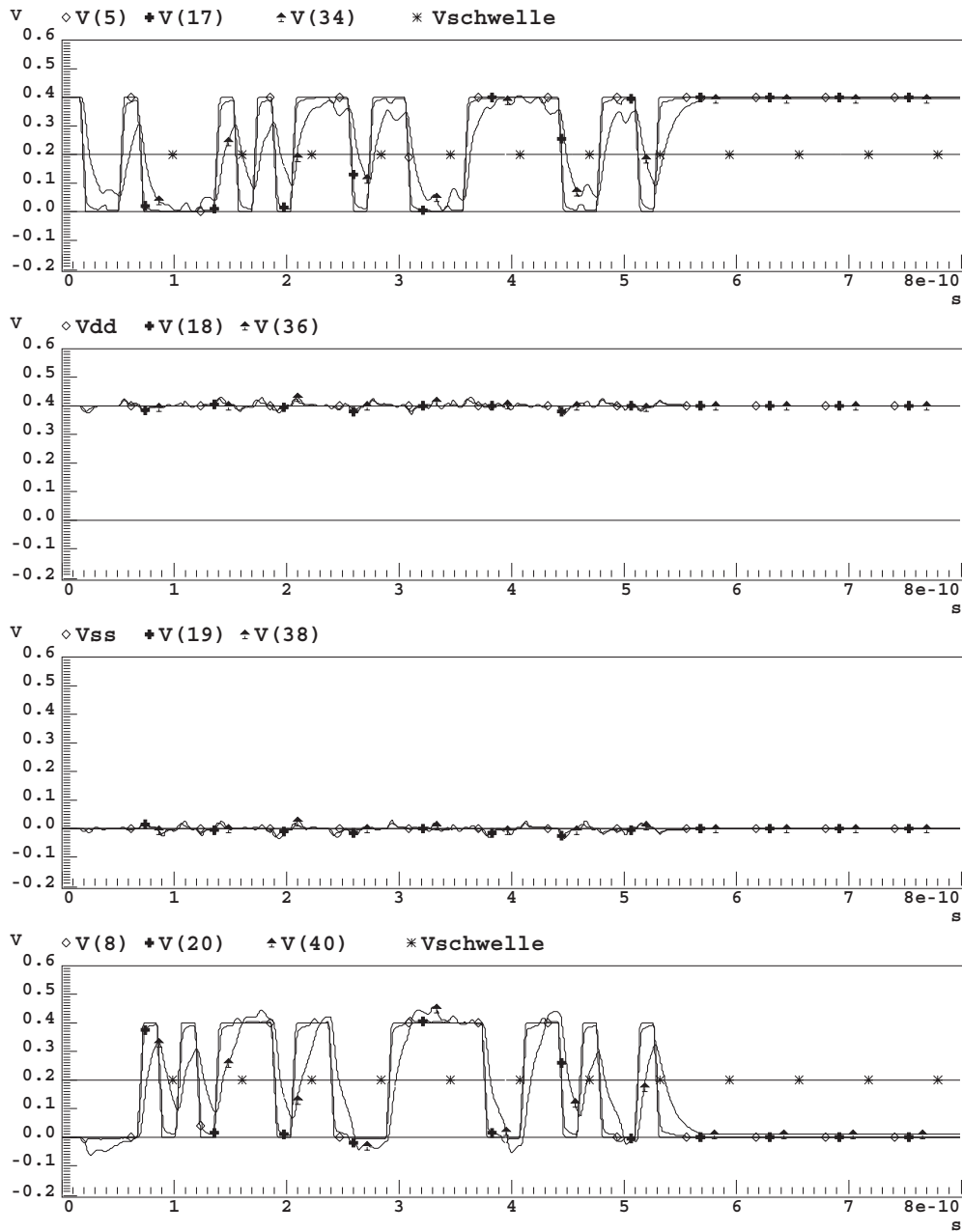


Bild 6.8: Einfluss eines Bussystems mit LFSR-Testmustern auf Power Stripes auf Chips, 22nm Technologie, Leitungslänge 0,2mm

6.3.2 Gray Counter

Ein Gray-Counter zeichnet sich dadurch aus, dass sich von Takt zu Takt lediglich immer nur 1 Bit ändert, d.h. nur ein Signal auf einer Leitung schaltet (vgl. Kap. 4.1.2). So kann zu starke Kopplung zwischen Leitungen verhindert werden, da nur wenig Signalwechsel parallel erfolgen. Das Umladen der Leitungskapazität der Opfer-Leitung erfolgt durch die Wirkung der Aggressor-Leitungen langsamer. Die Ergebnisse dieser Simulation sind jedoch unerwartet: Während wie beim LFSR (Kapitel 6.3.1) der Einfluss des Schaltens auf die Power Stripes verschwindend gering ist (Bild 6.9), so ist die Störung auf den signalführenden Leitungen keinesfalls geringer, eher sind Überschwinger stärker ausgeprägt als beim LFSR. Die Rückwirkung der breiten Power-Leitung macht sich also stärker bemerkbar als die Rückwirkung einer geometrisch identischen Nachbarleitung wie in Kapitel 5. Dennoch erfolgt das Schalten, also das Überschreiten der digitalen Schaltschwelle, wesentlich sicherer, also mit deutlich besserem Störabstand. Dies liegt daran, dass beim Gray Counter zu keinem Zeitpunkt zwei Signale entgegengesetzt schalten und sich daher nicht gegenseitig beeinflussen.

6.3.3 Zähler

Im Gegensatz zum Gray-Counter ist ein einfacher Binärzähler so aufgebaut, dass sich je nach Wertigkeit des Bits ein Signal mit jedem Takt ändert (LSB) bzw. sich nur einmal ändert (MSB). Zur Vermeidung von Kopplung zwischen den Leitungen sollte aber gerade ein häufiges Schalten vermieden werden. Zusätzlich treten beim einfacher Binärzähler Zustände auf, bei den alle Bits (Signale) nicht nur gleichzeitig schalten, sondern auch benachbarte Leitungen zum gleichen Zeitpunkt in die gleiche Richtung schalten und damit den Effekt, den das Schalten auf der Nachbarleitung hervorruft, auch noch verstärken. In Bild 6.10 ist die Anfälligkeit der Versorgungsspannung insbesondere zum Zeitpunkt $t = 2, 8$ - dem Zeitpunkt, an dem 4 der 5 Leitungen den Zustand von 1 auf 0, und nur eine Leitung von 0 auf 1 wechselt - zu erkennen. Diese Störungen auf der Versorgungsspannungsleitung können dazu führen, dass durch diese Leitung mit Spannung versorgte CMOS-Gatter nicht mehr korrekt schalten.

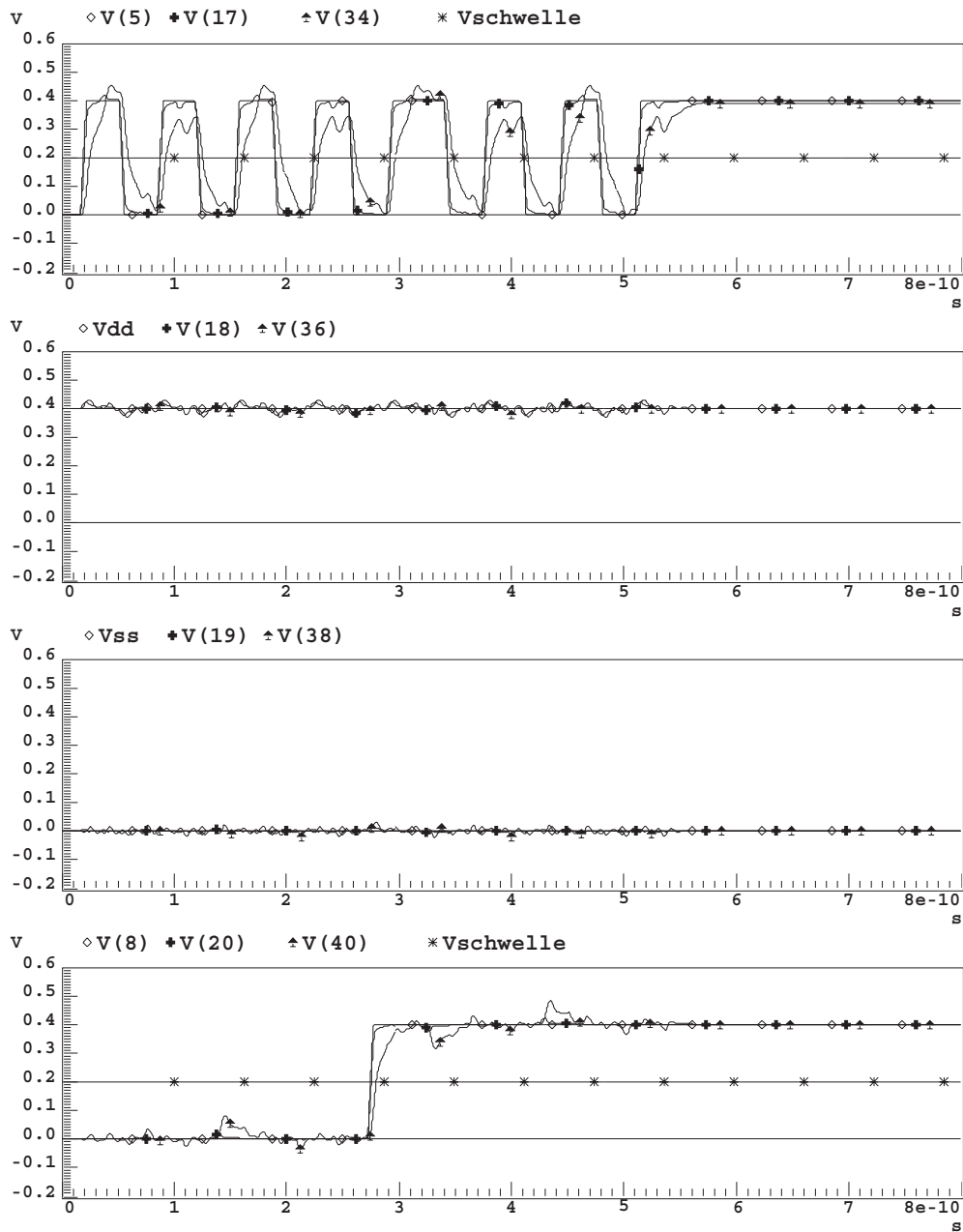


Bild 6.9: Einfluss eines Bussystems mit Gray-Counter-Testmustern auf Power Stripes auf Chips, 22nm Technologie, Leitungslänge 0,2mm

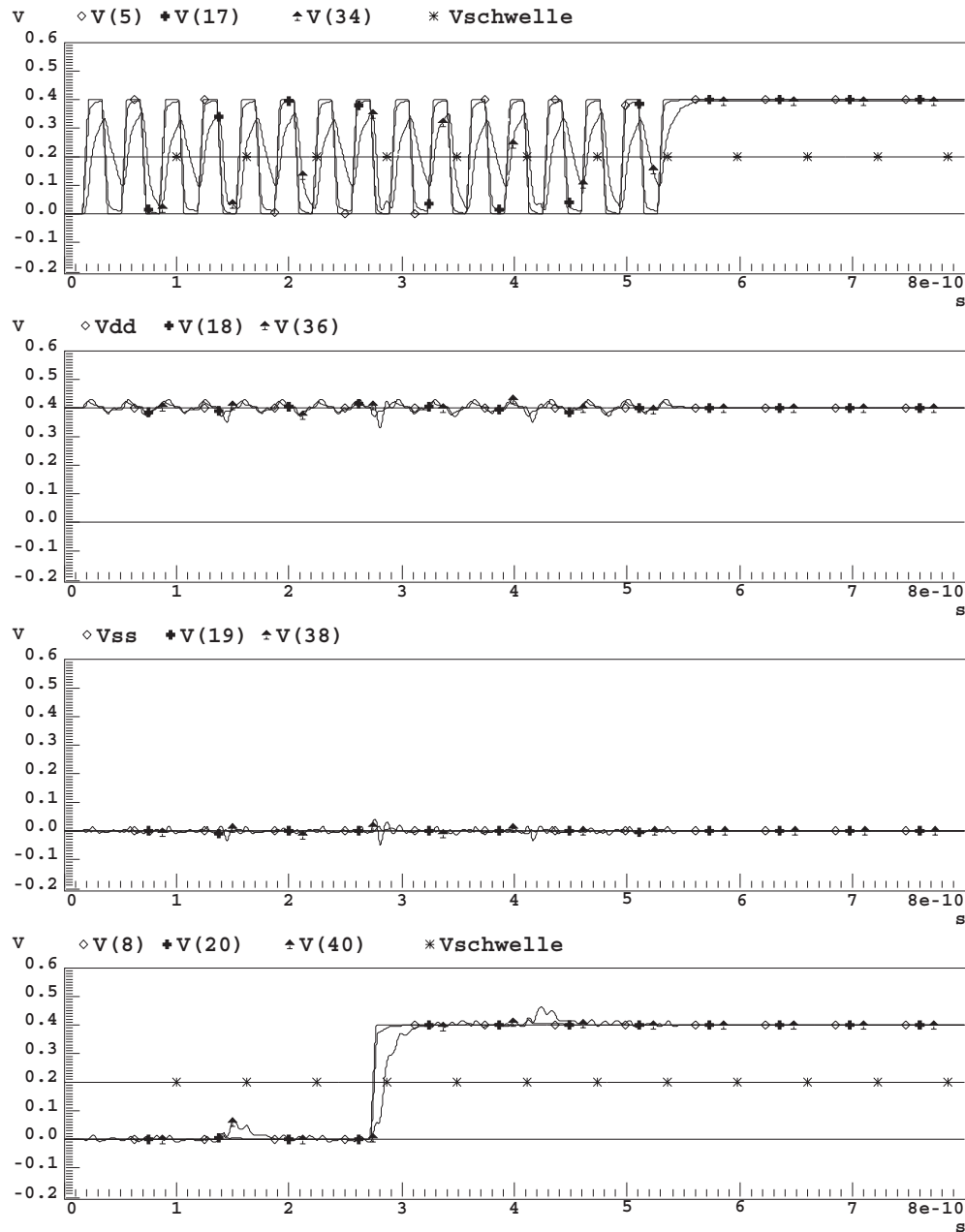


Bild 6.10: Einfluss eines Bussystems mit Standard-Zähler-Testmustern auf Power Stripes auf Chips, 22nm Technologie, Leitungslänge 0,2mm

6.3.4 Zellularer Automat

Beim zellularen Automaten ist entscheidend, welche Leitungen direkt nebeneinander liegen. "Böse" Nachbarn - also Signale auf Leitungen die gleichzeitig schalten, verstärken den negativen Einfluss, "freundliche" Nachbarn schwächen den Einfluss wiederum ab. Deutlich lässt sich in Bild 6.11 erkennen, dass es Zeitpunkte gibt, bei dem ein starker Kopplung-Einfluss auf den benachbarten Leitungen entsteht ($t = 5$), aber auch Takte, an denen der störende Einfluss praktisch aufgehoben ist ($t = 3$). Zusätzlich zur Störung der Versorgungsspannung ist allerdings auch die Störung auf den Signalleitungen höher als bei den anderen Testmuster-generatoren. Das Analogsignal erreicht zwar immer die digitale Schaltschwelle, es erfolgt jedoch zu ungünstigen Zeitpunkten ($t = 4, 7$) ein mehr als 30prozentiges Überschwingen. Führt man das Muster eines zellularen Automats parallel zu Power Stripes über den Chip, erfolgt eine massive Störung des Signalverlaufs und damit ein fehlerhaft übertragendes Testmuster aufgrund fehlerhaft schaltender CMOS-Leitungstreiber.

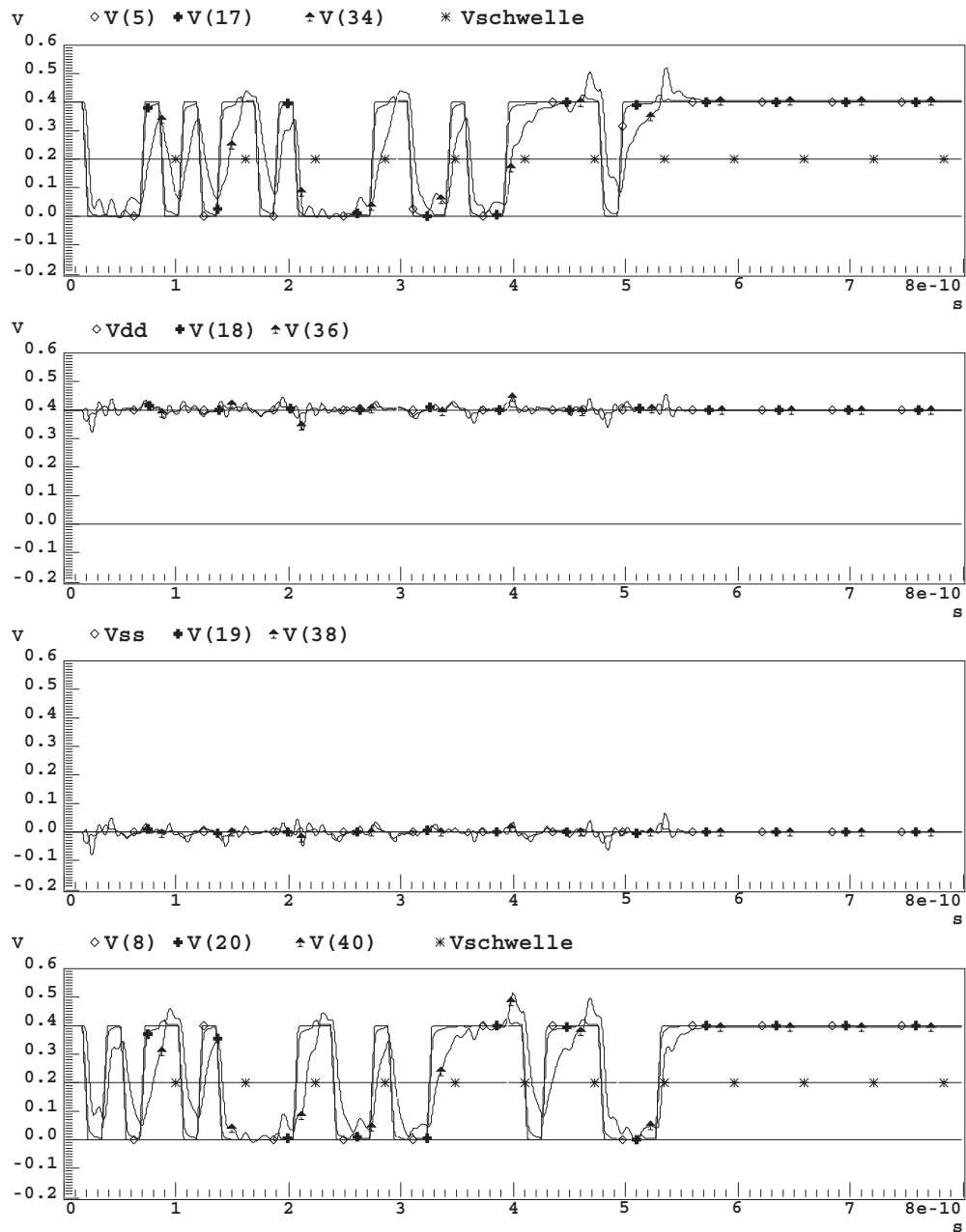


Bild 6.11: Einfluss eines Bussystems mit Zellularen-Automaten-Testmustern auf Power Stripes auf Chips, 22nm Technologie, Leitungslänge 0,2mm

6.4 Einfluß auf die Versorgungsspannung für Standardzellen

In heutigen Chips werden viele Funktionen mit Hilfe von Standardzellen realisiert. Diese Standardzellen werden meist in horizontalen Streifen senkrecht zu den Power Stripes auf dem Chip angeordnet. Charakteristisch dabei ist, dass alle Standardzellen die gleiche Höhe haben und auf einer Seite (z.B. oben) die Zuführung der Versorgungsspannung und auf der gegenüberliegenden Seite (z.B. unten) den Anschluss an die Masseleitung besitzen. Masse- und Versorgungsspannungsleitung laufen demnach über eine lange Strecke parallel über den Chip. Es ist daher nicht auszuschliessen, dass Bussysteme über eine mehr oder weniger lange Strecke parallel zu diesem 2-Leitersystem geführt werden. Dabei reicht schon eine Strecke von 0,5mm bei Technologien von 100nm und kleiner aus, um eine Störung auf den benachbarten Leitungen hervorzurufen. Dabei spielt es keine Rolle, ob diese Bussysteme innerhalb der Standardzellen - also zwischen Versorgungs- und Masseleiter liegen - oder an deren Rand. In diesem Kapitel wird exemplarisch davon ausgegangen, dass jeweils ein 5-Leitersystem parallel zu dem Versorgungsleitungspaar angeordnet ist. Jeweils ein Signalleiter liegt dabei zwischen den Power Lines. Alle Leitungen befinden sich in derselben Metallebene. Bei Chipstrukturen, in denen die Standardzellen in einer anderen Metallebene als die Signalleitungen gefertigt werden, ist keine gegenseitige Störung zu erwarten, da vertikale Kopplung u.a. aufgrund der Schichtdicke ausgeschlossen werden kann.

Anhand des Layouts des HiPAR-DSP und der daraus ermittelten Geometrie bzw. der Abstände zwischen den Signal- und Spannungsversorgungsleitungen wurde die in Bild 6.12 dargestellte Anordnung modelliert.

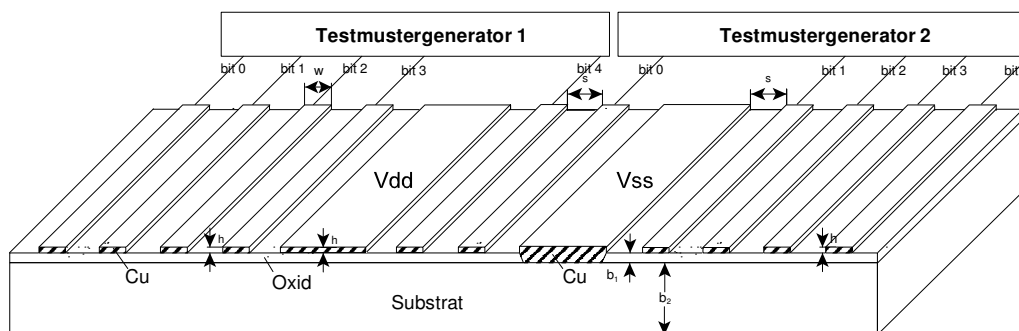


Bild 6.12: Geometrische Anordnung bei Standardzellen

Die nach dieser Anordnung extrahierten Leitungsparameter wurden mit Hilfe der vereinfachten Struktur wie in Bild 6.13 dargestellt simuliert. Bei den Simulationen wird jedes Leitungssystem mit einem 5 Bit Testmuster beaufschlagt, so dass zwischen der V_{dd} - und V_{ss} -Leitung das Bit 4 des oberen und das Bit 0 des unteren Testmusters liegt. Die restlichen Leitungen der Bussysteme liegen seitlich der V_{dd} - und V_{ss} -Leitung. Die simulierte Leitungslänge beträgt wie in Kapitel 6.2 0,2mm und die Signalleitungen und Versorgungsleitungen besitzen Minimalabmessungen nach der SIA-Roadmap. Die Spannungen und die Lastkapazitäten sind wiederum der jeweiligen Technologie (siehe 2.1) angepasst und die Treiberwiderstände betragen nach [29] jeweils $Z_D = 50\Omega$.

Zur besseren Übersicht wird nur das fünfte bzw. erste Bit der beiden Testmustergeneratoren (siehe Bild 6.13) dargestellt. Jeweils der oberste Graph zeigt das Signal auf der Signalleitung, die sich am Nächsten zur V_{dd} Leitung befindet, der zweite Graph repräsentiert die V_{dd} Leitung, der dritte Graph die Masseleitung und der untere Graph das Signal auf der Signalleitung, die sich am Nächsten zur V_{ss} Leitung befindet. $V(5)$ bis $V(8)$ sind dabei die Spannungen an der idealen Quelle, $V(17)$ bis $V(20)$ die Spannungen am Anfang (near end) und $V(34)$ bis $V(40)$ die Spannungen am Ende (far end) des Leitungssystems.

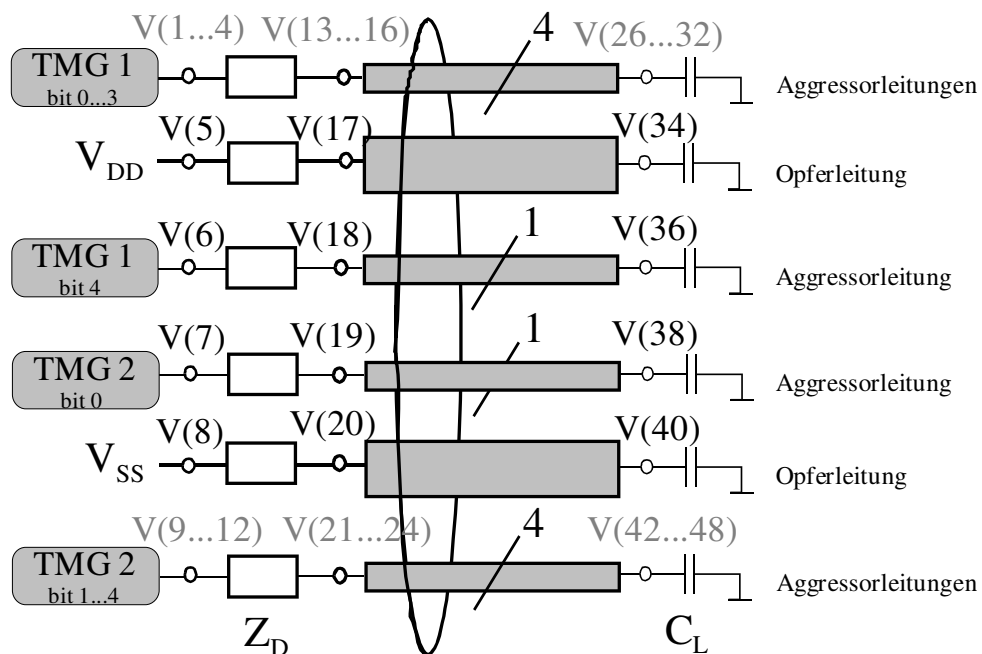


Bild 6.13: Skizze des 12 Leitersystems bei Standardzellen

6.4.1 Lineares Schieberegister

Bild 6.14 zeigt zunächst das Verhalten des Musters eines LFSR in der 250nm Technologie. Obwohl die Leitungen sehr viel dichter aneinander angeordnet sind als bei den Untersuchungen mit Power Stripes (vgl. Bild 6.7), lässt sich in dieser Technologie keinerlei Störung der Versorgungsspannungs- bzw. Masseleitung erkennen. Sehr viel anders zeigt sich das Verhalten in der 22nm Technologie (Bild 6.15). Aufgrund des geringen Abstandes der Leitungen ist eine starke Störung sowohl auf den signalführenden Leitungen als auch auf den Power-Lines zu erkennen.

Vergleicht man die Ergebnisse des LFSR mit denen von Power Stripes, so lässt sich feststellen, dass das Ausgangssignal bei der Geometrie von Standardzellen stärker beeinflusst wird. Gerade bei längeren High (digitale 1) Signalen ist zu erkennen, dass das Signal auf den Signalleitungen eine wesentlich grössere Dämpfung gegenüber der Geometrie bei Power Stripes erfährt.

6.4.2 Gray Counter

Ähnlich stark wie beim LFSR (vgl. Bild 6.15) sind die Störungen auf den Versorgungsspannungsleitungen beim Gray Counter (Bild 6.16). Hingegen werden die Signale auf den Signalleitungen zwar gestört, digital gesehen wirken sie sich allerdings nicht als Fehler aus. Im Vergleich mit den Simulationen der Power Stripes Geometrie zeigt sich kein eindeutiger Unterschied. Die Signalwechsel auf den Leitungen (vgl. das Signal auf der unteren Leitung $V(7)$) sind bei der Standardzellengeometrie weniger, dafür werden die Versorgungsspannungsleitungen deutlich mehr gestört als bei der Geometrie der Power Stripes. Gerade bei der Ansteuerung von Leitungstreibern kann dies sehr negative Auswirkungen haben, wie in Kapitel 6.5 gezeigt wird.

6.4.3 Zähler

Das Muster eines echten Binärzählers führt auch bei der Standardzellen-spannungsversorgung zu massiven Störungen auf den Versorgungsleitungen (Bild 6.17). Während die Einflüsse auf den Signalleitungen zumindest das Schaltverhalten nicht beeinflussen, so wird allerdings die Spannungsversorgung massiv durch das Muster des Zählers gestört. Der Vergleich mit den Simulationen bei der Power Stripes Geometrie wiederum zeigt in Übereinstimmung mit Abschnitt 6.3.3 eindeutig das bessere und sicherere Signalverhalten bei der Standardzellengeometrie.

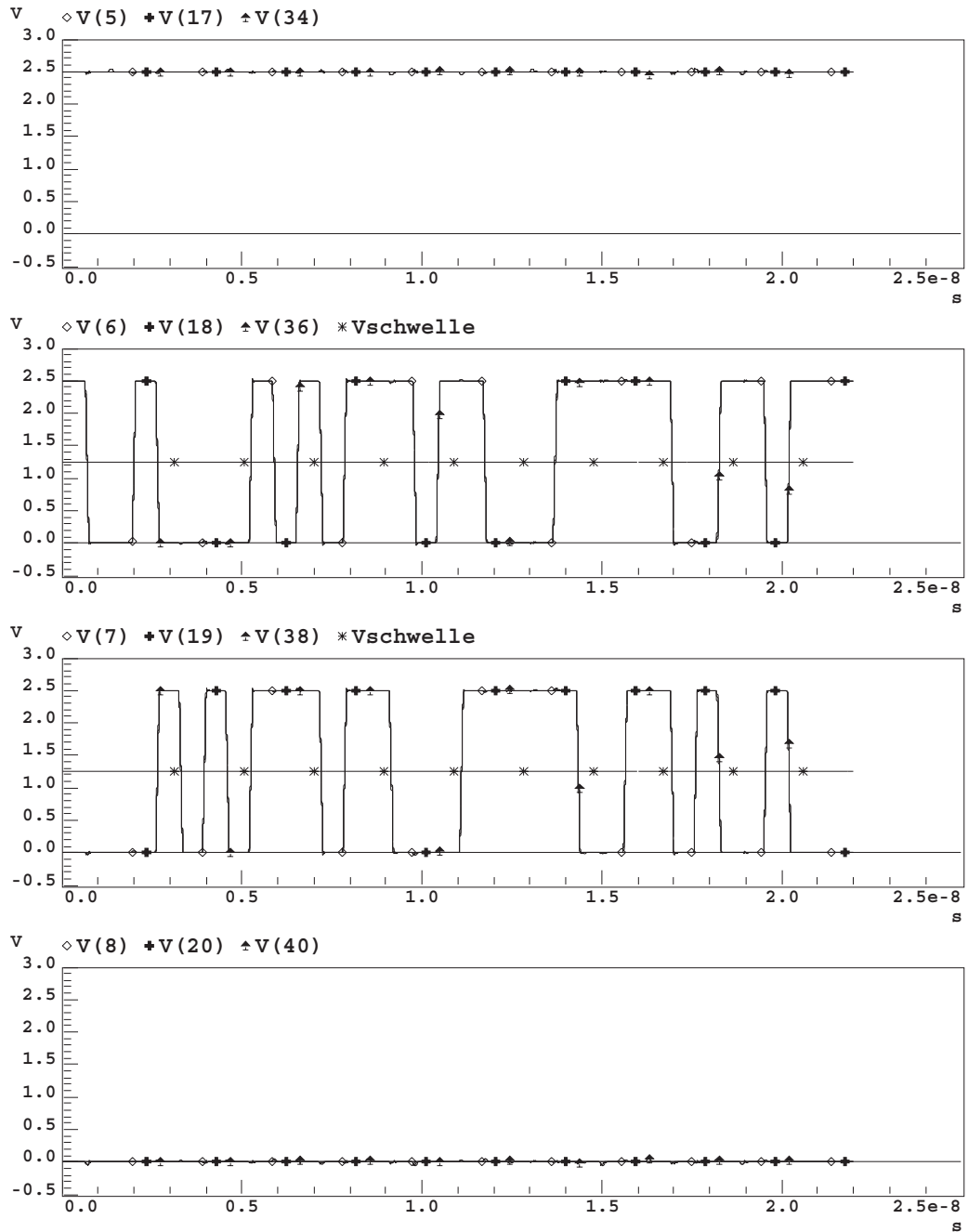


Bild 6.14: Einfluss eines Bussystems mit LFSR-Testmustern auf die Standardzellen-Spannungsversorgung auf Chips, 250nm Technologie, Leitungslänge 0,5mm

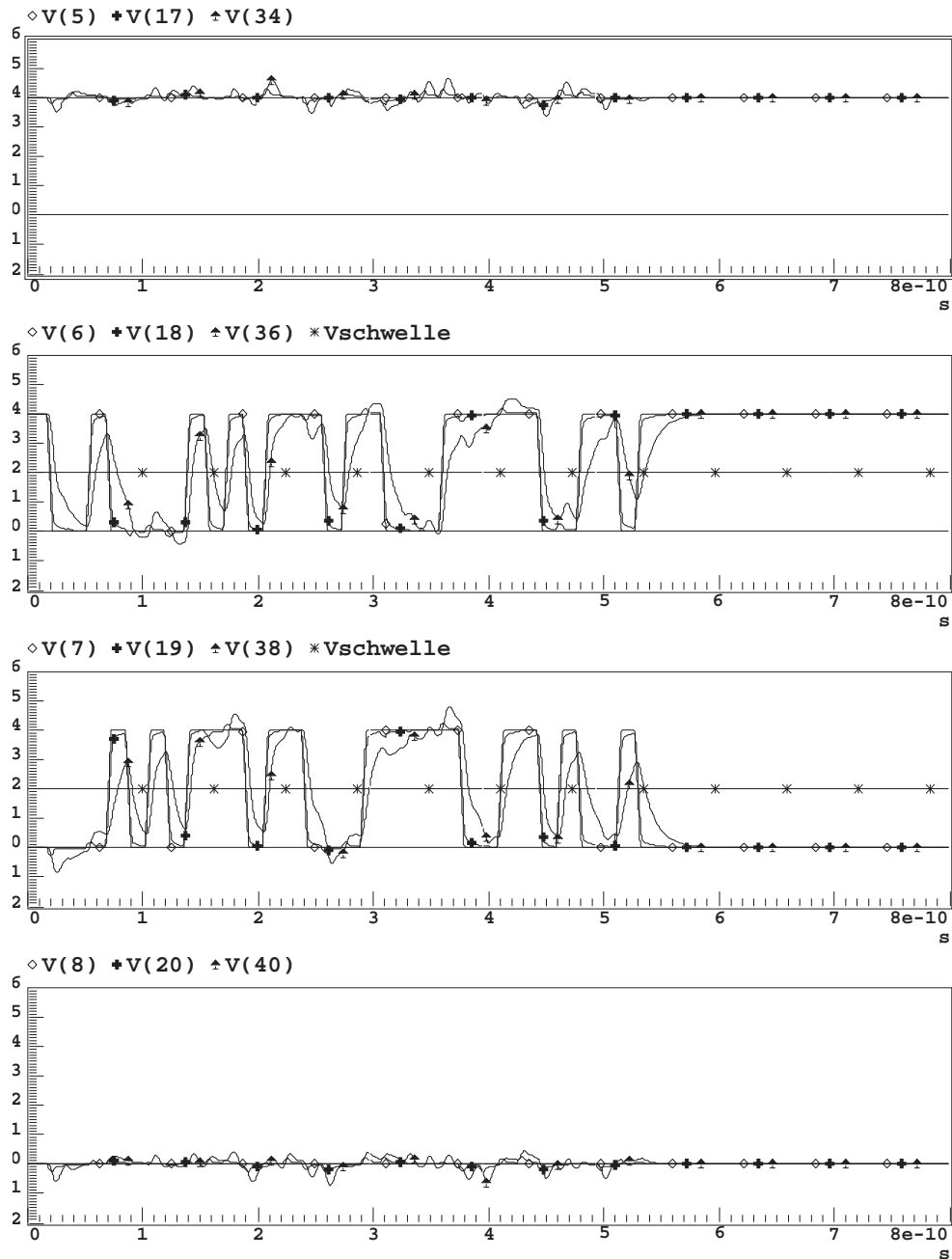


Bild 6.15: Einfluss eines Bussystems mit LFSR-Testmustern auf die Standardzellen-Spannungsversorgung auf Chips, 22nm Technologie, Leitungslänge 0,2mm

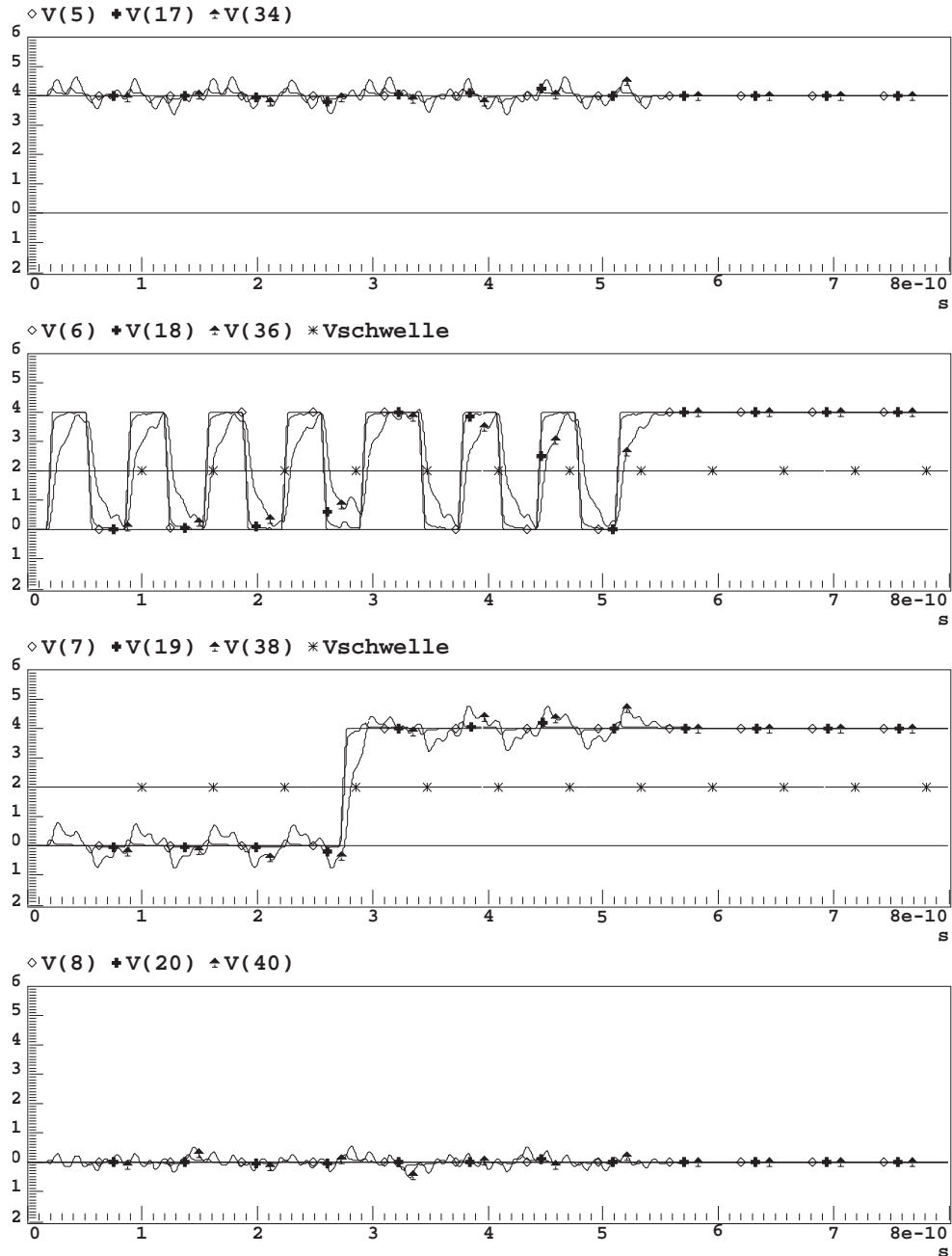


Bild 6.16: Einfluss eines Bussystems mit Gray-Counter-Testmustern auf die Standardzellen-Spannungsversorgung auf Chips, 22nm Technologie, Leitungslänge 0,2mm

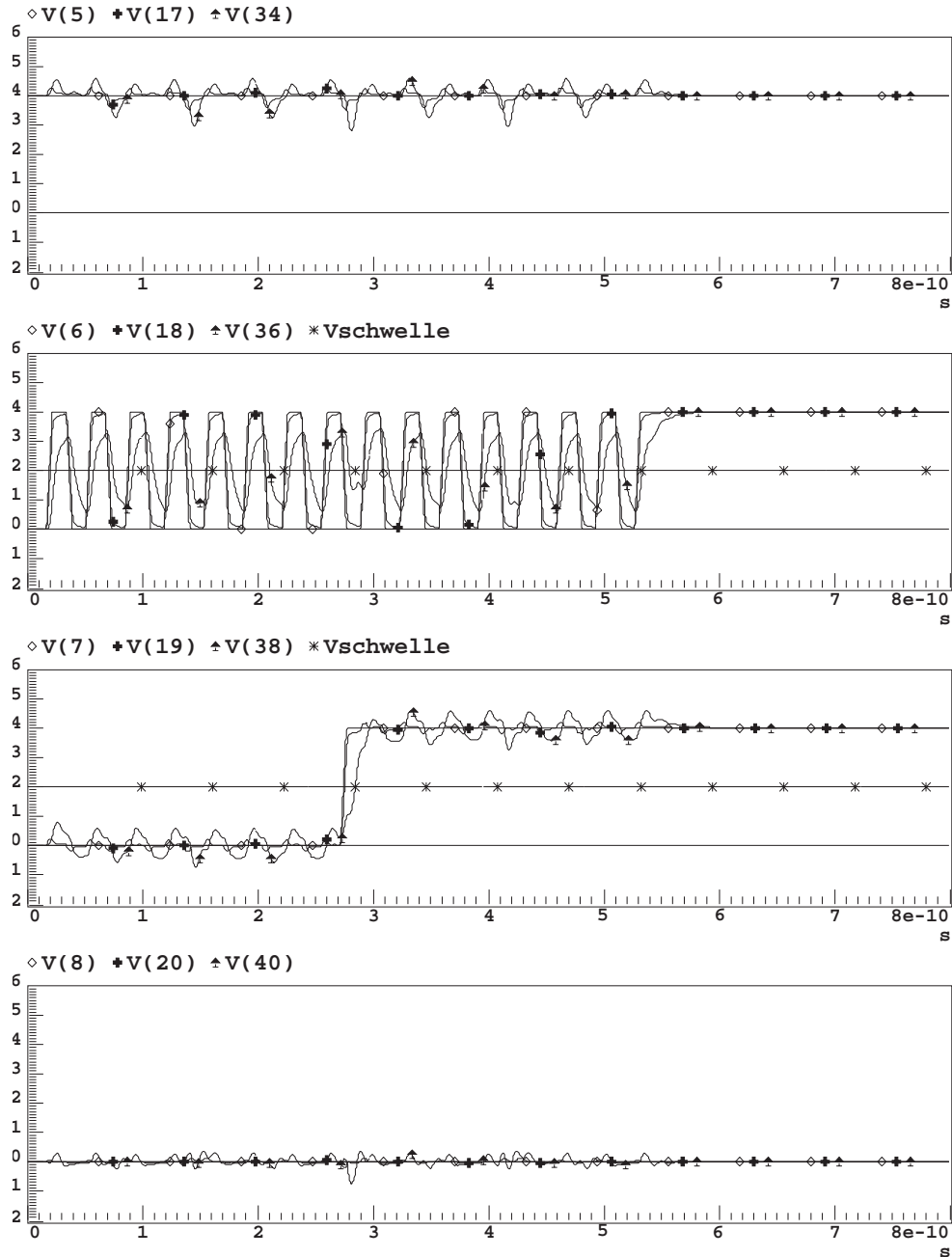


Bild 6.17: Einfluss eines Bussystems mit Standard-Zähler-Testmustern auf die Standardzellen-Spannungsversorgung auf Chips, 22nm Technologie, Leitungslänge 0,2mm

6.4.4 Zellularer Automat

Die grösste Störung auf den Versorgungsleitungen erfolgt erneut durch das Muster eines zellularen Automaten (Bild 6.18). Während die Spannungen auf den Signalleitungen zwar gestört sind, aber das digitale Testmuster nicht verfälschen, so bricht die Spannung auf der Versorgungsspannungsleitung teilweise um mehr als 40 % ein. Der Vergleich zeigt deutliche Unterschiede bei den Signalen der Versorgungsspannungen. Bei den Geometrien der Standardzellenanordnung wird die Versorgungsspannung deutlich stärker gestört als bei der Power Stripes Geometrie. Im Gegensatz dazu ist jedoch kein nennenswerter Unterschied beim Vergleich der Signale auf den Signalleitern erkennbar. Der verwendete zellulare Automat besitzt von allen untersuchten Testmustergeneratoren das überlegendste Signalübertragungsverhalten, im Gegensatz dazu aber auch eine größere Störung der Versorgungsspannung. Dies führt dazu, dass ein zellularer Automat für kurze lokale Leitungen, deren Signal nicht durch Leitungstreiber verstärkt werden muß, geeigneter ist als andere Testmustergeneratoren. Bei langen globalen Leitungssystemen mit Leitungstreibern, die an die gestörte Spannungsversorgung angeschlossen sind, ist er jedoch weniger geeignet.

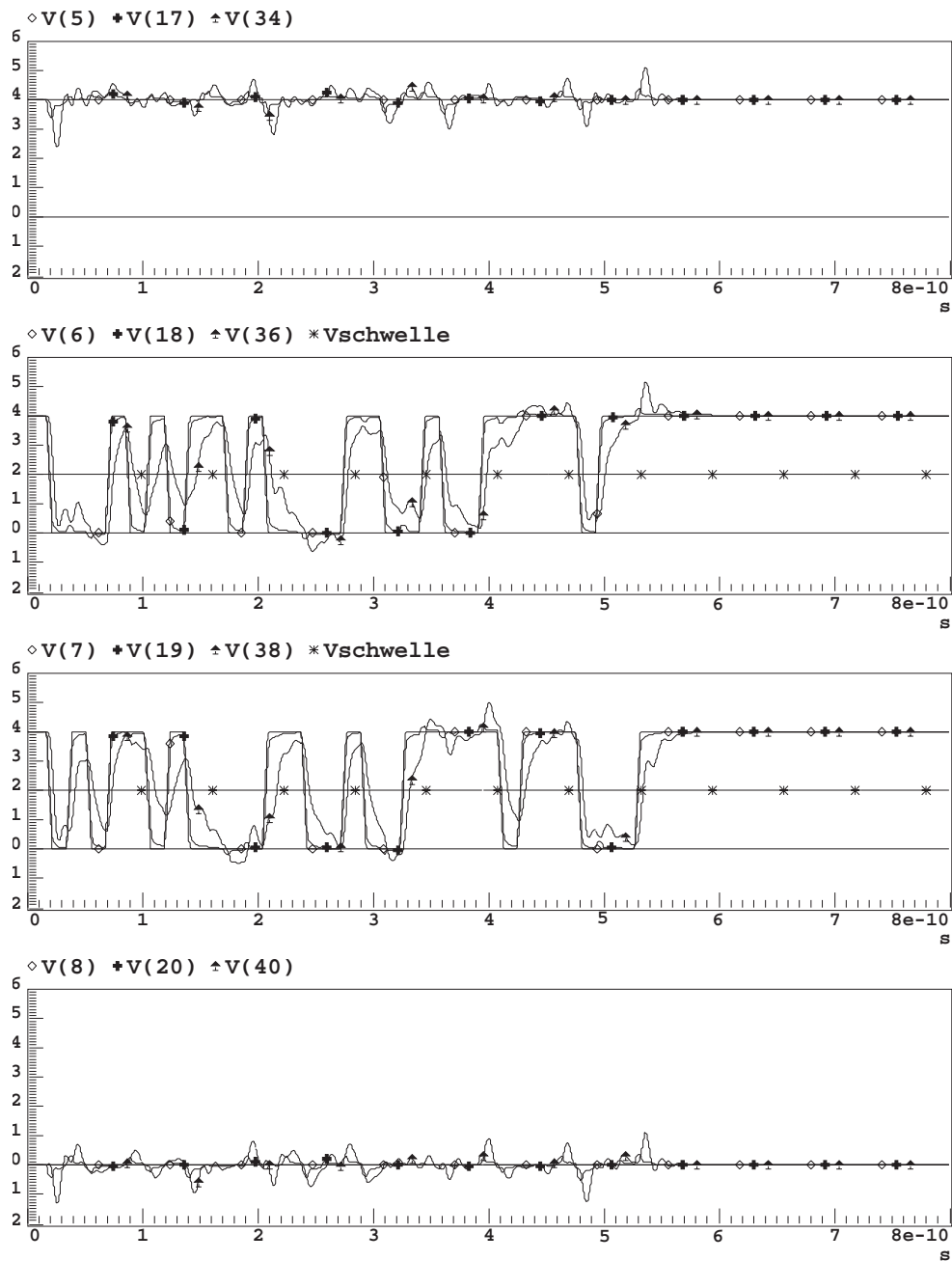


Bild 6.18: Einfluss eines Bussystems mit Zellularen-Automaten-Testmustern auf die Standardzellen-Spannungsversorgung auf Chips, 22nm Technologie, Leitungslänge 0,2mm

6.4.5 Zusammenfassung

Bei den hier verwendeten Geometrien läßt sich erkennen, dass bei der Power Stripes Geometrie der Zähler ein gutes Signalübetragungsverhalten zur Folge hat, bei der Standardzelligeometrie jedoch der zellulare Automat am Besten abschneidet. Dies liegt in den Signalwechseln der Nachbarleitungen der Spannungsversorgung begründet. Die Versorgungsspannungsleiter der Power Stripes Geometrie besitzt nur zwei direkte Nachbarn von Signalleitern. Die Versorgungsspannungsleiter der Standardzelligeometrie schließt zwei Signalleiter ein und hat außerdem noch zwei weitere Nachbarleitungen. Beim Zähler schaltet Bit 0 jeden Takt, Bit 4 jedoch nur alle 16 Takte. Das bedeutet, dass bei der Power Stripes Geometrie nur eine Nachbarleitung häufig schaltet (vgl. Bild 6.5). Das gleiche Muster stört jedoch bei der Standardzelligeometrie deutlich mehr, da nun zwei häufig schaltende Signale direkt Nachbarn der Versorgungsspannungsleitung sind (vgl. Bild 6.12). Beim Muster des zellularen Automaten hingegen schalten alle Leitungen nahezu gleich häufig, so dass die Störung bei den untersuchten Geometrien in etwa konstant bleibt. Bei der Power Stripes Geometrie ist diese Konstanz nachteilig im Vergleich zu anderen Testmustergeräten, bei der Standardzelligeometrie jedoch von Vorteil, zumal die Signalwechsel langsamer erfolgen als beim Zähler.

Um eine möglichst geringe Störung durch Testmuster auf Bussystemen zu verursachen, sollten daher (bei parallel geführten Signal- und Versorgungsspannungsleitungen) unterschiedliche Testmustergeräten verwendet werden: für den Test von Standardzellen und der Testmusterübertragung über kurze lokale Leitungen ein zellulärer Automat, für die Übertragung über globale lange Leitungssystemen ein Binärzähler. Das derzeit am Häufigsten eingesetzte LFSR hat bei allen untersuchten Geometrien seine Schwächen und ist gerade in den Nanometertechnologien trotz seines einfachen Aufbaus nicht immer die beste Lösung.

6.5 Fehlerübertragungsverstärkung durch Leitungstreiber

Wird die durch Übersprechen verfälschte Spannungsversorgung zur Ansteuerung eines nachgeschalteten Leitungstreivers (Buffer) verwendet, so wird die durch Verzögerung und Kopplung verursachte Störung des Testmustersignales zusätzlich verstärkt.

Zur Untersuchung wird das untersuchte Leitungssystem der Power Stripes Geometrie verwendet und das Ausgangssignal jeder Leitung durch einen Treiber geführt, der mit der gestörten Versorgungsspannung versorgt wird (Bild 6.19). Durch

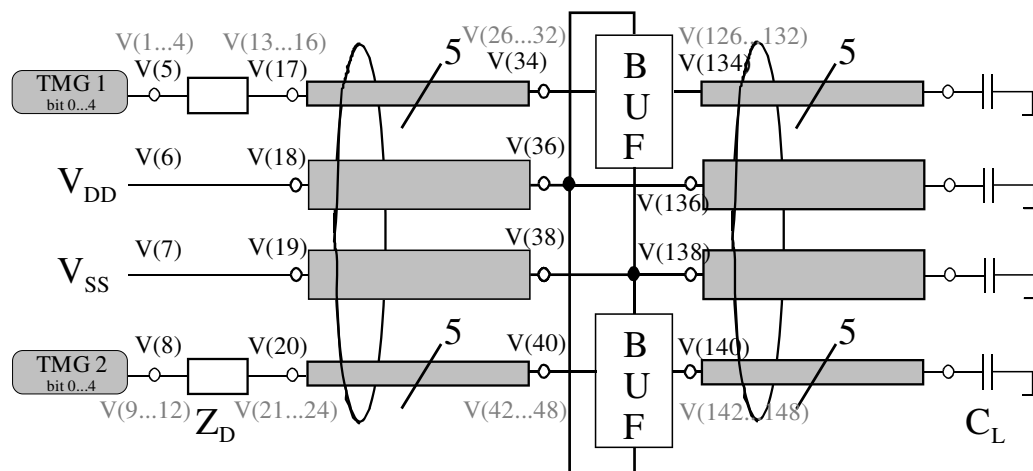


Bild 6.19: Skizze des 12 Leitersystems bei Power Stripes mit nachgeschaltetem Buffer

diese Störung schalten die CMOS-Transistoren asymmetrisch bzw. gar nicht, wenn die Versorgungsspannung V_{DD} geringer als die zum Schalten eines Transistors nötige Schwellspannung (Threshold Voltage) V_T ist.

$$V_{DD} \geq V_T \Rightarrow \textit{korrekt}$$

$$V_{DD} < V_T \Rightarrow \textit{Fehler}$$

Zusätzlich werden die Signalfanken verringert. Das Ausgangssignal, welches schon vor dem Treiber durch Übersprechen der Signalleiter untereinander gestört war, wird nun zusätzlich so stark verschlechtert, dass es unbrauchbar wird. Am Ausgang eines solchen gestörten Treivers sind mehr als 70% der Testmuster fehlerhaft übertragen worden.

Zur Simulation mit ELDO wurde das Modell eines CMOS Treibers durch zwei aus CMOS Transistoren aufgebauten Invertern verwendet [27]. Die Transistoren verwenden das Berkeley SPICE BSIM4 Modell Version 4.10, welches speziell für die Simulation von Transistoren in Sub μ -Technologien entwickelt wurde. Die wichtigsten Parameter des Modells wie z.B. Kanallänge, Kanalweite, Drain Fläche und ohmscher Widerstand, Source Fläche und ohmscher Widerstand, Schwellspannung und die Drain und Source Kapazitäten wurden für die in dieser Arbeit untersuchten Technologien der SIA Roadmap [7] entnommen und mit den Daten der Arbeit zur Auswirkung von nichtlinearen Treibereigenschaften [87] abgeglichen. Alle weiteren verwendeten mehr als 231 Parameter des BSIM4 Modells sind in [33] detailliert beschrieben.

Bild 6.20 zeigt, wie sich das Ausgangssignal und damit das digitale Testmuster durch das verzögerte Schalten der Leitungstreiber zusätzlich verschlechtert. Die oberen vier Graphen sind die bekannten Signalverläufe eines LFSR bei Power Stripes (vgl. Bilder 6.6 und 6.8). V_{dd} und V_{ss} verändern sich schon durch die zusätzliche kapazitive und ohmsche Last des nachgeschalteten Treibers. Die unteren vier Graphen zeigen die Signalverläufe am Ausgang des Treibers. Deutlich ist zu erkennen, dass die Testmustersignale V(134) und V(140) im Vergleich zu den Verläufen vor dem Treiber (V(34) und V(40)) durch das asymmetrische Schalten des Treibers zusätzlich verschliffen und als Testmuster unbrauchbar werden. Im Vergleich dazu zeigt Bild 6.21, wie die Ausgangssignale sich verhalten, wenn die Leitungstreiber mit einer idealen Spannungsquelle, also mit einer ungestörten Betriebsspannung, versorgt werden. Die Ausgangssignale am Ende des Treibers, also am Ende des vorgeschalteten Leitungssystems, sind als digitales Testmuster verwendbar, da die der Leitungstreiber durch die ideale Spannungsquelle das Signal wieder auffrischt und verbessert. Werden die schaltenden Transistoren mit einer ungestörten Betriebsspannung versorgt, so werden die Testmustersignale ungestört propagiert.

Die Untersuchungen für die Fehlerpropagierung von Leitungstreibern bei der Standardzelligeometrie sind im Anhang D zu finden.

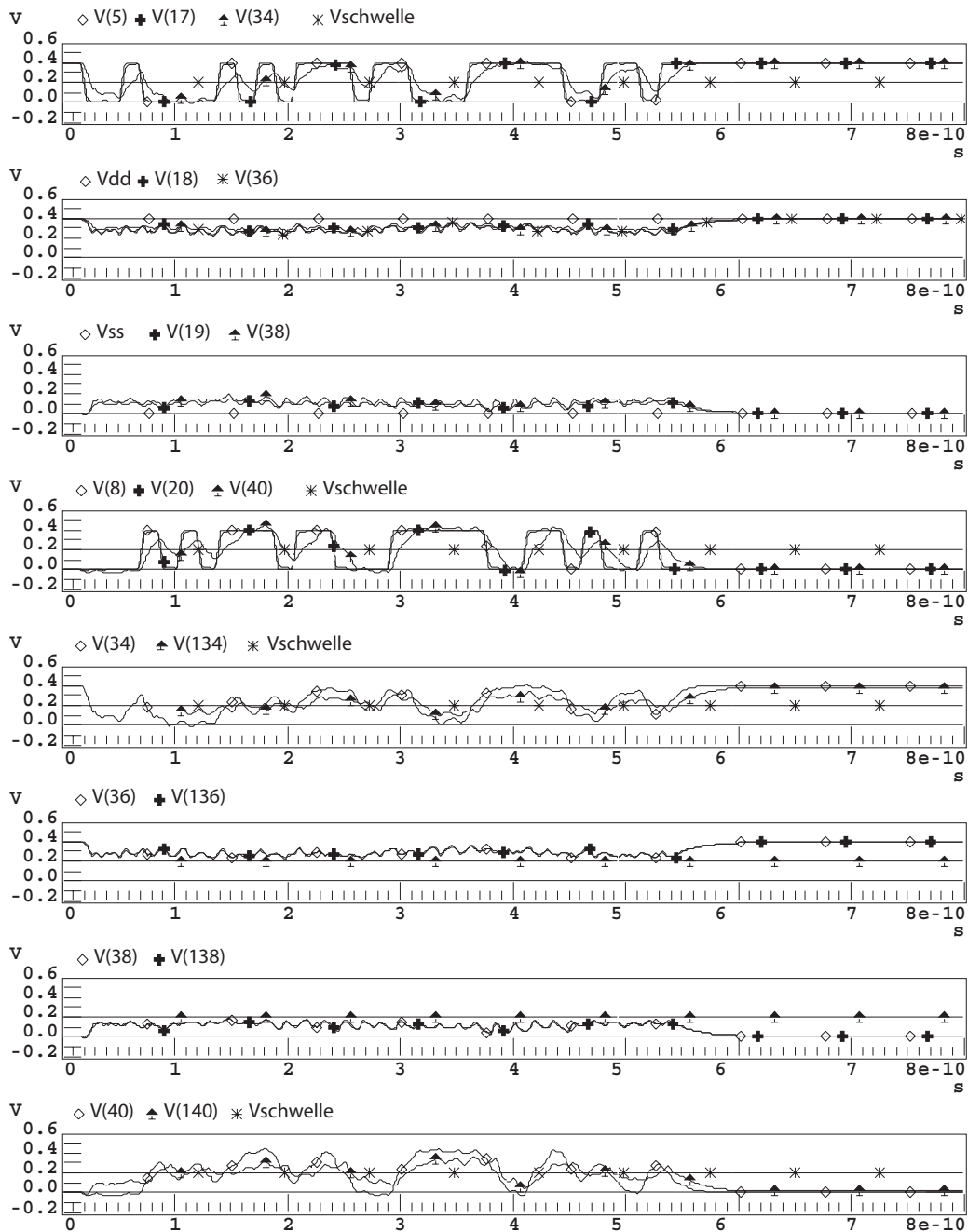


Bild 6.20: Testmuster eines LFSR bei Propagierung durch einen Treiber mit gestörter Versorgungsspannung, Power Stripes, 22nm Technologie, Leitungslänge 0,2mm

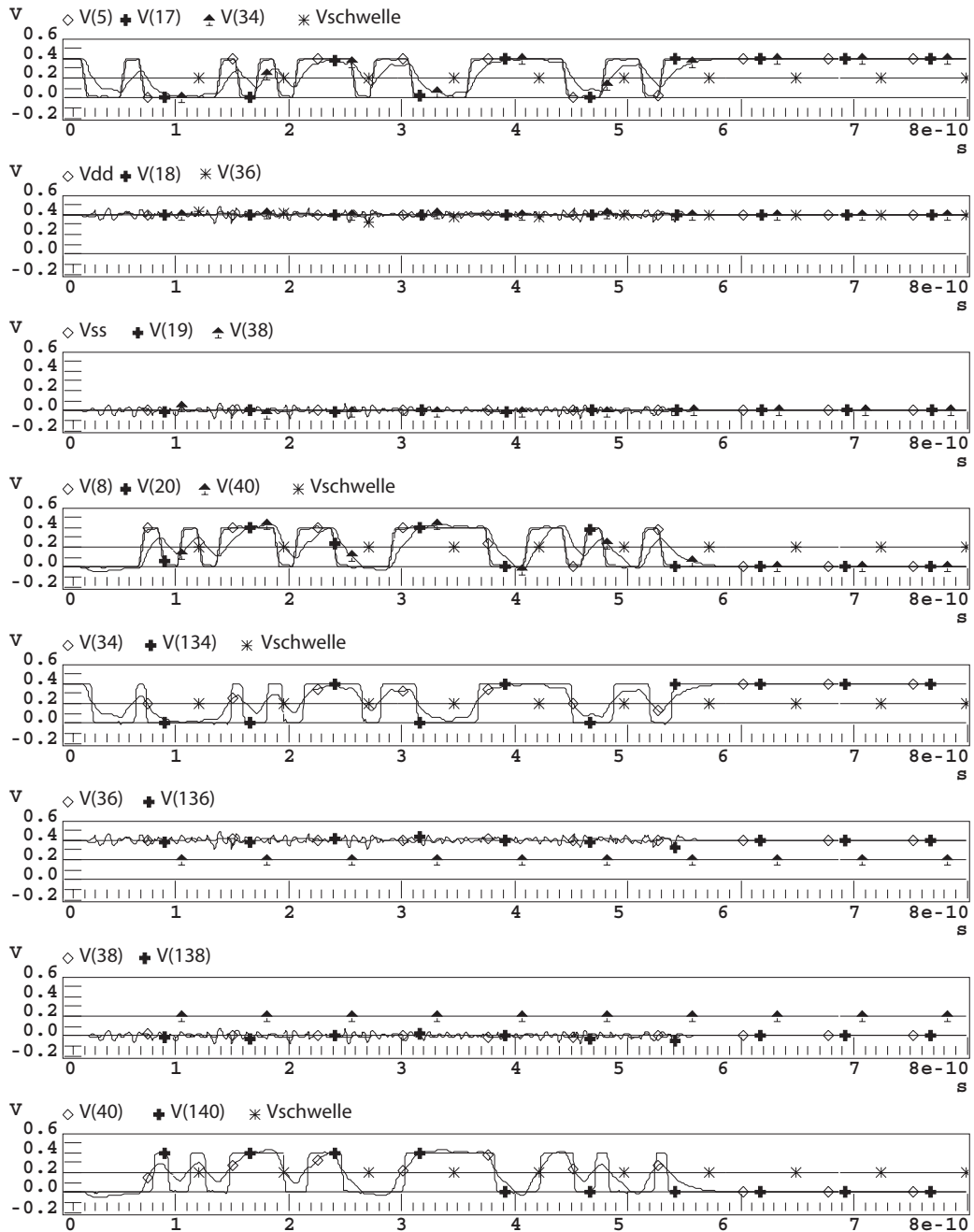


Bild 6.21: Testmuster eines LFSR bei Propagierung durch einen Treiber mit idealer Versorgungsspannung, Power Stripes, 22nm Technologie, Leitungslänge 0,2mm

6.6 Vergleich der Simulationen

Aufgrund der stark unterschiedlichen Leitergeometrie der untersuchten Power Line Strukturen sind die Simulationsergebnisse verschieden. Die sehr breiten Leitungen der Power Stripes führen dazu, dass die Versorgungsspannung nur sehr gering gestört wird. Das Über- und Unterschwingen erreicht hier eine maximale Grösse von ca. 20% von V_{DD} . Bei der Leitergeometrie der Versorgungsspannungsleitungen der Standardzellen, die weniger als ein Zehntel der Breite der Power Stripes besitzen, ist die Störung auf der Versorgungsspannungsleitung mit mehr als 40% mehr als doppelt so stark.

Die Einflüsse auf den Signalleitern sind dagegen weit weniger unterschiedlich, da hier die Leiterbreite der Signalleiter bei beiden geometrischen Anordnungen identisch ist und die Unterschiede lediglich von den Rückwirkungen der Power Lines abhängen.

Insgesamt betrachtet müssen Power Lines möglichst breit und damit verlustarm dimensioniert werden, um ein Übersprechen auf Signalleitern zu vermeiden oder zumindest möglichst gering zu halten.

Während Störungen auf Signalleitern teilweise noch in Kauf genommen werden können und durch geeignete Wahl der Strukturbreiten zwar nicht vollständig vermieden, aber dennoch reduziert werden können, so wirken sich Störungen auf Power Lines nicht nur für die Funktion sondern auch für das Testen einer mikroelektronischen Schaltungen äußerst negativ aus. Eine an einem Bussystem schon auf kurzem Weg dicht parallel geführte Power Line wird durch die Signalwechsel der Testmustergeneratoren so gestört, dass die Versorgung weiterer Gatter und Leitungstreiber nicht mehr gewährleistet ist. Dabei ist es unerheblich, ob die gestörte Spannungsversorgung die Leitungstreiber des störenden Leitungssystems oder ein anderes Bussystem versorgt. Verbessert wird dies, wenn die Power Lines sehr breit ausgelegt werden. Ganz vermieden wird dies allerdings nur, wenn diese Leitungen mindestens den 10fachen Minimalabstand nach der SIA Roadmap von den schaltenden Signalleitern besitzen. Da dies meist nicht bei der Entwicklung eines Chips berücksichtigt wird, wird allein aufgrund des Übersprechens das At-Speed Testen dieses Chips fehlerhaft sein. Ein Test von Strukturen der zukünftigen Technologien kann bei Frequenzen im Gigahertzbereich mit den herkömmlichen Test- und Designmethoden nicht mehr fehlerfrei durchgeführt werden. Dies ist nur möglich, wenn der Test lediglich bei geringeren Taktfrequenzen durchgeführt wird oder wenn Designregeln geändert werden. Dazu zählt das Vergrößern der Abstände zwischen Signal- und Power Leitungen, eine Verbreiterung der Power Leitungen oder eine Abschirmung der Power Leitungen gegenüber den Nachbarleitungen.

7 Zusammenfassung

In der vorliegenden Arbeit wurde die Störungsanfälligkeit der Signalübertragung von Testmustersignalen verschiedener Testmustergeneratoren bei den in den zukünftigen Technologien zu erwartenden minimalen Strukturbreiten und die damit verbundenen Einflüsse auf Bussystemen untersucht. Es zeigte sich, dass bekannte herkömmliche Testmustergeneratoren in den Technologien 45nm und kleiner schon bei Leitungslängen unterhalb von 1mm versagen werden, sofern an den bisherigen Designregeln festgehalten wird. Dies liegt daran, dass das Testmustersignal nicht mehr fehlerfrei über das Bussystem geführt werden kann. Es zeigte sich, dass je nach Aufbau des Bussystems der ein oder andere Testmuster-generator Vorteile, bei anderen Leitungssystemen jedoch eindeutige Nachteile gegenüber den anderen besitzt.

In erster Linie ist dafür der extrem stark ansteigende Widerstand der Leitungen verantwortlich, der dafür sorgt, dass die Verzögerung auf den Leitungen zum dominantesten Faktor der zukünftigen Leitungssysteme wird. Durch die Strukturänderungen erhöht sich der kapazitive Kopplungsfaktor $k = \frac{C_{koppel}}{C_{eigen}}$ je nach Metall-Lage um bis zu 100 Prozent, die Kopplung wird jedoch teilweise durch den hohen Leitungswiderstand überdeckt. Die induktive Kopplung spielt in Zukunft - immer unter der Voraussetzung langer Leitungssysteme mit Minimalabmessungen die stark verlustbehaftet sind - keine entscheidende Rolle mehr und kann in vielen Fällen vernachlässigt werden. Da die Extraktion von Leitungsparametern - insbesondere der Induktivitäten - sehr aufwendig sein kann, wird durch diese Vernachlässigung ein großer Zeitgewinn bei der Simulation bei gleichbleibender Genauigkeit erzielt.

In den zukünftigen Technologien muss davon ausgegangen werden, dass aufgrund von Kopplung und der hohen Leitungsverluste die kritische Leitungslänge bis unter 1mm schrumpfen wird. Dabei spielt es keine Rolle, ob es sich dabei um ein Bussystem oder eine Einzelleitung handelt, denn der entscheidende Faktor bei der Begrenzung der Leitungslänge wird die Signalverzögerung auf den Leitungen - nicht die Kopplung - sein. At-Speed Testmuster korrekt über globale Leitungen zu übertragen wird mit derzeitigen Verfahren unmöglich sein.

Jedoch nicht nur Kopplung auf Signalleitern ist ein Problem, auch die entstehende Kopplung auf Versorgungsleitungen wird in Zukunft problematisch sein. Die Testmuster bewirken eine Störung auf den Versorgungsleitungen. Auf integrierten Schaltungen sind dabei zwei Arten von Versorgungsspannungsleitungen relevant: die senkrechten Power Stripes und die senkrecht dazu angeordnete Spannungsversorgung für Standardzellen. Aufgrund der sehr viel breiteren Geometrie der Power Stripes sind diese weit weniger anfällig für Kopplung und Übersprechen durch Nachbarleitungen als die Versorgungsspannungsleitungen für Standardzellen. Das bedeutet, Leitungen zur Spannungsversorgung sollten, um den Einfluss von Signalkopplung zu vermeiden, die 10fache Breite der Minimalabmessungen nach der SIA Roadmap besitzen. Während der Einbau von Leitungstreibern (Buffer) in Leitungssysteme dafür sorgen soll, dass ein Signal mit einer geringen Störsicherheit wieder aufgefrischt wird, so wird aufgrund der gestörten Versorgungsspannung, die zum Betrieb der Leitungstreiber verwendet wird, die Störung auf den Signalleitern zusätzlich verstärkt und das Testsignal weiter verfälscht. Dabei spielt es zunächst keine Rolle von welchem Testmustergenerator das Testsignal erzeugt wurde - eine Störung tritt dabei immer auf. Allerdings ist bei Power Stripes Geometrien ein einfacher Binärzähler durchaus verwendbar, versagt jedoch bei der Spannungsversorgung für Standardzellen. Hier besitzt der zellulare Automat eindeutige Vorteile. Entscheidend ist dabei immer die Anordnung der Signalleitungsnachbarn und auf welchen dieser Leitungen das häufigste bzw. geringste Schalten auftritt.

In den nächsten Jahren gilt es neue Möglichkeiten zu finden, wie die fehlerfreie Übertragung von Testmustersignalen auf Chips in den Griff zu bekommen ist. Dazu müssen systematische Methoden entwickelt werden, die die Kopplung von Leitungssystemen nicht vermeiden, sondern vielmehr versuchen, diese zur Signalverbesserung auszunutzen. Denkbar sind redundante Leitungen, die parallel zu Signalleitungen geführt sind. Auf diesen werden passende Gegen- oder Gleichsignale erzeugt und koppeln zurück in die Signalleitung, um somit Kopplung oder Verzögerung zu verringern oder auszuschließen.

Ein komplettes System zu simulieren und somit auf Fehler zu untersuchen wird im Jahr 2016 definitiv nicht mehr möglich sein. Derzeit aktuelle Testverfahren müssen für die neuen Anforderungen angepasst werden, dazu ist unter Umständen die Entwicklung neuer Testmustergeneratoren und -verfahren erforderlich.

Um Simulationszeit zu sparen, werden viele Ansätze wie in [52] und [58] verfolgt, in denen Verfahren untersucht werden, mit deren Hilfe Kopplung und Verzögerung abgeschätzt werden können. Auf Chips ist auch die Integration eines elektrischen neuronalen Netzes denkbar. Für die Simulation von Leitungen werden

solche Netze schon zur Signalabschätzung untersucht, wie in Arbeit [32] gezeigt wird.

Natürlich ist es auch denkbar, den bisher verwendeten Testansatz auch in Zukunft weiterzuverfolgen. Testmustergeneratoren und Selbsttest werden auch in Zukunft weiterhin ihre Berechtigung besitzen - allerdings nur noch bei Schaltungen, die zeitunkritisch sind bzw. deren Taktfrequenz nur am Anfang des Gigahertzbereiches liegt. Externe Tests werden nur noch zum Prototypen Test oder zur Charakterisierung verwendet werden, da die Durchführung eines externen Tests in Zukunft aufgrund der großen Menge der auftretenden Testdaten zu aufwendig wird. Für Signalfrequenzen jenseits der 10 Gigahertz mit langen Leitungssystemen ist jedoch mit herkömmlichen Verfahren ein At-Speed-Test in Zukunft nicht mehr möglich. Dazu müssen Chip-Strukturen gefunden werden, die Topologien vermeiden, die anfällig gegenüber Kopplung bzw. unkritisch gegenüber langsamen Leitungen sind. Durch die Verwendung noch besser leitender Materialien für Leitbahnen könnte dieses Problem verbessert werden. Hier bedarf es aber noch intensiver Forschung, um solche Materialien für die Übertragung elektrischer Signale verwenden zu können.

Die in dieser Arbeit gezeigten Ergebnisse zeigen, dass ein herkömmliches Testverfahren mit Testmusterfolgen, die über lange¹ Leitungssysteme geführt werden müssen, in zukünftigen Technologien bei den prognostizierten Taktfrequenzen nicht mehr durchführbar ist. Wie anfangs begründet wurden in dieser Arbeit nur Leitungssysteme mit 5 parallelen Leitungen untersucht. Weiterführende Arbeiten zum Kopplungsverhalten z.B. mit einer deutlich höheren Anzahl von parallel schaltenden Flipflops könnten zeigen, ob sich Signalwechsel weit entfernter Leitungen doch auf das Signalverhalten auswirken.

Ist es weiterhin das Ziel At-Speed Tests durchzuführen, so ist es erforderlich in den nächsten Jahren neue Testverfahren zu entwickeln, die weniger oder nicht anfällig auf Kopplung und Verzögerung sind. Mit den bisher verwendeten Testmustergeneratoren wird dies in Zukunft nicht mehr möglich sein. Lediglich eine Verbesserung der Leitungseigenschaften wie z.B. Erhöhung der Leitfähigkeit des verwendeten Materials oder das Vermeiden von Minimalbreiten für Signalleiter, kann - zumindest vorübergehend - Abhilfe schaffen. In naher Zukunft muss jedoch in alternative Testverfahren oder -methodik massive Forschung investiert werden.

¹ Wobei *lang* schon Leitungen länger als 0,5mm Länge meint!

Formelverzeichnis

n	Anzahl der Eingänge
m	Anzahl der inneren Zustände
C_L	Lastkapazität
C'	Elektrisches Feld mit elektrischer Kopplung pro Längeneinheit
G'	Leitwerte pro Längeneinheit
I	elektrischer Strom
R'	ohmsche Verluste pro Längeneinheit
L'	Magnetfeld mit magnetischer Kopplung pro Längeneinheit
V	elektrische Spannung
V_{in}	Eingangsspannung
$V_{out-WIRE}$	Ausgangsspannung mit vollständigen Leitungsparametern
V_{out-RC}	Ausgangsspannung ohne L_{ik}
V_{out-R}	Ausgangsspannung ohne L_{ik} und ohne C_{ik}
$V_{schwelle}$	Schwellschpannung (Thresholdvoltage)
Z_D	Treiberimpedanz der Spannungsquelle

Abkürzungsverzeichnis

ATE	Automatic Test Equipment
ATPG	Automatic Test Pattern Generation
BIST	Built-In Self-Test
CA (ZA)	Cellular Automaton (zellulärer Automat)
DUT	Device Under Test (zu testende Schaltung)
EDA	Electronic Design Automation (elektronische Entwurfsautomatisierung)
IC	Integrated Chip (Integrierte Schaltung)
LFSR	Linear Feedback Shift Register (linear rückgekoppeltes Schieberegister)
LSB	Least Significant Bit (Bit mit der niedrigsten Wertigkeit in einem Binärwort)
MSB	Most Significant Bit (Bit mit der höchsten Wertigkeit in einem Binärwort)
ROM	Read Only Memory
TDA	Testdatenauswerter
TDI	Test Data Input
TDO	Test Data Output
TPG/TMG	Test Pattern Generator/Testmustergenerator

Abbildungsverzeichnis

1.1	Übersprechen bei gekoppelten Leitungen	3
1.2	Kritische Leitungslänge für sicheres Schalten	4
2.1	Vereinfachte Chip-Querschnitts-Geometrie	8
2.2	Graphische Darstellung der auftretenden Ausbreitungsmoden nach Hasegawa [43]	10
2.3	Schematische Struktur des verwendeten 5-Leiter-Systems	11
2.4	Signalverzögerung in Abhängigkeit der Leiteranzahl	12
2.5	Teilkapazitäten eines Zweileitersystems	14
2.6	Vergleich Leitergeometrie 350nm/22nm Technologie	15
2.7	Eigenkapazitätsbelag der mittleren Leitung eines 5-Leitersystems .	16
2.8	Koppelkapazitätsbelag der mittleren Leitung eines 5-Leitersystems	17
2.9	Selbstinduktivitätsbelag der mittleren Leitung eines 5-Leitersystems	20
2.10	Anordnung für Näherungsformel des Induktivitätsbelages	20
2.11	Gegeninduktivitätsbelag der mittleren Leitung eines 5-Leitersystems	22
2.12	Widerstandsbelag R' der mittleren Leitung eines 5-Leitersystems .	23
3.1	Leitungsmodell durch RLCG-Netzwerk	26
3.2	Leitungseffekte Laufzeit und Reflexion	26
3.3	Vergleich: Lossywire, RLC und RC Simulation bei 130nm Tech- nologie (Ausschnitt)	30
3.4	Vergleich: Lossywire, RLC und RC Simulation bei 70nm Tech- nologie (Ausschnitt)	31

3.5	Vergleich Lossywire Simulation mit allen Parametern, nur mit kapazitiver Kopplung und ohne Kopplung bei 130nm Technologie (Ausschnitt)	33
3.6	Vergleich Lossywiresimulation mit allen Parametern, nur mit kapazitiver Kopplung und ohne Kopplung bei 22nm Technologie (Ausschnitt)	34
4.1	Prinzipieller Aufbau eines Tests	37
4.2	Prinzipieller Aufbau einer Selbsttestschaltung	38
4.3	Testmustersignal eines Aufwärtzählers	40
4.4	Testmustersignal eines Gray Code Zählers	41
4.5	Aufbau eines linear Rückgekoppelten Schieberegisters (LFSR) . .	43
4.6	Testmustersignal eines Linear Rückgekoppelten Schieberegisters (LFSR)	44
4.7	Zellularer Automat (ZA) nach Regel 150	45
4.8	Testmustersignal eines Zellularen Automaten (150er Regel)	45
4.9	Vergleich der Bitmusterfolge eines LFSR mit einem ZA	46
5.1	Signalverzögerung von Verbindungsleitungen	49
5.2	Signalverzögerung in Abhängigkeit der Technologie und der Leitungslänge	50
5.3	Simuliertes 5-Leiter Bussystem	52
5.4	LFSR Testmuster auf Signalleitern, Länge 0,5mm, 22nm	54
5.5	Aufwärtzähler Testmuster auf Signalleitern, Länge 0,5mm, 22nm	55
5.6	Gray Code Testmuster auf Signalleitern, Länge 0,5mm, 22nm . .	56
5.7	ZA Testmuster auf Signalleitern, Länge 0,5mm, 22nm	57
5.8	Definition des Bit-Fehlers in dieser Arbeit	58
5.9	Vergleich der Bitfehler	58
5.10	LFSR und Signalleiter, Länge 0,2mm, 22nm	60
5.11	LFSR und Signalleiter, Länge 0,1mm, 22nm	61
5.12	LFSR und Signalleiter ohne L, 22nm	64

5.13	LFSR und Signalleiter ohne Kopplung, 22nm	65
5.14	LFSR und Signalleiter, 32nm	67
5.15	LFSR und Signalleiter, 45nm	68
6.1	Vergleich Gegentakt - Gleichaktansteuerung	70
6.2	Kopplung von Signalleitungen, 250nm	72
6.3	Kopplung von Signalleitungen, 22nm	73
6.4	HiPAR-DSP: Power Stripes und Standardzellen- Spannungsversorgung	75
6.5	Geometrische Anordnung von Power Stripes	77
6.6	Skizze des 12 Leitersystems bei Power Stripes	78
6.7	LFSR-Einfluss auf Power Stripes, 250nm	79
6.8	LFSR-Einfluss auf Power Stripes, 22nm	80
6.9	Gray-Counter-Einfluss auf Power Stripes, 22nm	82
6.10	Zähler-Einfluss auf Power Stripes, 22nm	83
6.11	ZA-Einfluss auf Power Stripes, 22nm	85
6.12	Geometrische Anordnung bei Standardzellen	86
6.13	Skizze des 12 Leitersystems bei Standardzellen	87
6.14	LFSR-Einfluss auf Standardzellen-Spannungsversorgung, 250nm .	89
6.15	LFSR-Einfluss auf Standardzellen-Spannungsversorgung, 22nm .	90
6.16	Gray-Counter-Einfluss auf Standardzellen-Spannungsversorgung, 22nm	91
6.17	Zähler-Einfluss auf Standardzellen-Spannungsversorgung, 22nm .	92
6.18	ZA-Einfluss auf Standardzellen-Spannungsversorgung, 22nm . . .	94
6.19	Skizze des 12 Leitersystems bei Power Stripes mit nachgeschalte- tem Buffer	96
6.20	Propagierung bei Treiber mit gestörter Versorgungsspannung, Power Stripes, LFSR	98
6.21	Propagierung bei Treiber mit idealer Versorgungsspannung, Power Stripes, LFSR	99

A.1	Vergleich Lossywire, RLC und RC Simulation bei 130nm Technologie (Ausschnitt)	127
A.2	Vergleich Lossywire, RLC und RC Simulation bei 45nm Technologie (Ausschnitt)	128
A.3	Vergleich Lossywire, RLC und RC Simulation bei 22nm Technologie (Ausschnitt)	129
B.1	Bitfehler beim LFSR	131
B.2	Bitfehler beim Aufwärtszähler	132
B.3	Bitfehler beim Gray Code Zähler	133
B.4	Bitfehler beim zellularen Automaten	134
C.1	LFSR-Einfluss auf Power Stripes, 22nm	135
D.1	Skizze des 12 Leitersystems bei Standardzellen mit nachgeschaltetem Buffer	137
D.2	Propagierung bei Treiber mit gestörter Versorgungsspannung, Standardzellen, LFSR	138
D.3	Propagierung bei Treiber mit idealer Versorgungsspannung, Standardzellen, LFSR	139

Tabellenverzeichnis

2.1	Geometrische Daten von Leitungen	9
2.2	Kapazitiver Kopplungsfaktor in Abhängigkeit von Technologie und Metall-Lage	18
4.1	Testmusterfolgen Gray-Code und Aufwärtszähler	42
6.1	Geometrien von Versorgungsspannungsleitungen auf Chips	76

Literaturverzeichnis

- [1] Miron Abramovici, Melvin A. Breuer, and Arthur D. Friedman. *Digital Systems Testing and Testable Design*. IEEE Press, New York, 1990.
- [2] R. Anglada and Antonio Rubio. A logic fault model for crosstalk interferences in digital circuits. *International Journal on Electronics*, 1989.
- [3] Xavier Aragonés, Miquel Roca, and Antonio Rubio. Analysis of Scaling Down Crosstalk Coupling in IC's. In *3rd workshop on Power and Timing Modeling and Simulation*, 1993.
- [4] Uwe Arz. *Breitbandige On-Wafer-Meßverfahren zur Bestimmung des elektrodynamischen Verhaltens planarer Leitungssysteme in der Mikroelektronik*. PhD thesis, Fakultät für Maschinenwesen der Universität Hannover, 2001.
- [5] Uwe Arz, Dylan F. Williams, David K. Walker, Janet E. Rogers, Markus Rudack, Dieter Treytnar, and Hartmut Grabinski. Characterization of Asymmetric Coupled CMOS Lines. In *IEEE MTT-S International Microwave Symposium Digest, Boston*, pages 609–612, June 11–16, 2000.
- [6] Uwe Arz, Dylan F. Williams, David K. Walker, Janet E. Rogers, Markus Rudack, Dieter Treytnar, and Hartmut Grabinski. Broadband Measurement of Asymmetric Coupled Lines Built in a 0.25 μm CMOS Process. In *4th IEEE Workshop on Signal Propagation on Interconnects, Magdeburg*, May 16–19, 2000.
- [7] Semiconductor Industry Association. *The International Technology Roadmap for Semiconductors*, 2001.
- [8] Amir Attarha and Mehrdad Nourani. Testing Interconnects for Noise and Skew in Gigahertz SoCs. In *Proceedings of IEEE Test Conference*, pages 305–314, 2001.

- [9] Xiaoliang Bai and Sujit Dey. High-level crosstalk defect simulation for system-on-chip interconnects. In *Proceedings IEEE of the VLSI Test Symposium*, pages 169–175, 2001.
- [10] Paul H. Bardell. Analysis of Cellular Automata Used as Pseudorandom Pattern Generators. In *Proceedings IEEE International Test Conference*, pages 762–768, 1990.
- [11] Paul H. Bardell, W. H. McAnney, and J. Savir. *Built-In Test for VLSI: Pseudorandom Techniques*. John Wiley and Sons, 1988.
- [12] Srinivas Bodapati and Farid Najm. Pre-layout Estimation of Individual Wire Lengths. In *Proceedings SLIP Workshop on System-Level Interconnect Prediction 2000*, pages 91–107, April 8–9, 2000.
- [13] Henning Braunisch and H. Grabinski. Time-Domain Simulation of Large Lossy Interconnect Systems on Conducting Substrates. *IEEE Trans. on Circuits and Systems*, 45(9):909–918, 1998.
- [14] Melvin A. Breuer and Sandeep K. Gupta. New Validation and Test Problems for High Performance Deep Sub-micron VLSI Circuits. In *Proceedings International Test Conference*, pages 191–200, 1999.
- [15] Bundesministerium für Bildung und Forschung. Förderprogramm Nanobiotechnologie, 2002-2008. <http://www.nanobio.de/foerderung.html>.
- [16] Michael J. Bushnell and Vishwani D. Agrawal. *Essentials of Electronic Testing for Digital, Memory, and Mixed-Signal VLSI Circuits*. Kluwer Academic Publishers, 2000.
- [17] F. Caignet, S. Delmas-Bendhia, and E. Sicard. The Challenge of Signal Integrity in Deep-Submicrometer CMOS Technology. *Proceedings of the IEEE*, 89(4):556–573, 2001.
- [18] C. L. Chen and Brian W. Curran. Switching codes for ΔI noise reduction. *IEEE Trans. on Computers*, 45(9):1017–1021, 1996.
- [19] H.H. Chen and J.S. Neely. Interconnect and circuit modeling techniques for full-chip power supply noise analysis. *IEEE Trans. on Components, Packaging, and Manufacturing Technology*, 21(3):209–215, 1998.
- [20] Li Chen and Xiaoliang Bai and S. Dey. Testing for interconnect crosstalk defects using on-chip embedded processor cores. In *Proceedings of Design Automation Conference*, pages 317–320, 2001.

-
- [21] Wei-Yu Chen, Melvin A. Breuer, and Sandeep K. Gupta. Test generation for crosstalk-induced delay in integrated circuits. In *13th International Conference on VLSI Design*, pages 8–8, 1999.
- [22] Wei-Yu Chen, Sandeep K. Gupta, and Melvin A. Breuer. Test generation in VLSI circuits for crosstalk noise. In *Proceedings International Test Conference*, pages 641–650, 1998.
- [23] Wei-Yu Chen, Sandeep K. Gupta, and Melvin A. Breuer. Test generation for crosstalk-induced faults: framework and computational results. In *Proceedings of the 9th Asian Test Symposium*, pages 305–310, 2000.
- [24] Kwang-Ting Cheng and Angela Krstic. Current directions in automatic test-pattern generation. *IEEE Computer*, 32(11):58–64, 1999.
- [25] Jue-Hsien Chern, Jean Huang, Lawrence Arledge, Ping-Chung Li, and Ping Yang. Multilevel Metal Capacitance Models for CAD Design Synthesis Systems. *IEEE Electron Device Letters*, 13(1):32–35, 1992.
- [26] J. Cong. An Interconnect-Centric Design Flow for Nanometer Technologies. *Proceedings of the IEEE*, 89(4):505–528, 2001.
- [27] J. Alvin Connelly and Pyung Choi. *Macromodeling with SPICE*. Prentice Hall, New Jersey, 1992.
- [28] Wilfried Daehn. *Testverfahren in der Mikroelektronik*. Springer-Verlag Berlin, 1997.
- [29] A. Deutsch, G.V. Kopcsay, P. Restle, G. Katopis, W.D. Becker, P.W. Smith, H.; Coteus, C.W. Surovic, B.J. Rubin, R.P. Dunne, T. Gallo, K.A. Jenkins, L.M. Terman, R.H. Dennard, G.A. Sai-Halasz, and D.R. Knebel. When are transmission-line effects important for on-chip interconnections. In *Proceedings IEEE Electronic Components and Technology Conference*, pages 704–712, 1997.
- [30] A. Deutsch, H. Smith, G.V. Kopcsay, D.C. Edelstein, and P.W. Coteus. On-chip wiring design challenges for GHz operation. *Electrical Performance of Electronic Packaging*, pages 45–48, 1999.
- [31] Lohit Dutta. *Zur quasi-analytischen Approximation des Signalverhaltens gekoppelter Leitersysteme in integrierten Schaltungen*. PhD thesis, Fakultät für Maschinenwesen der Universität Hannover, 1996.

- [32] Klaus-Peter Dyck. *Zur Multi-Level-Simulation von verlustbehafteten gekoppelten Leitungssystemen im Zeitbereich*. PhD thesis, Fakultät für Maschinenwesen der Universität Hannover, 1994.
- [33] *ELDO Users Manual*, version 11.0 for eldo v4.3.3 edition.
- [34] L. Geppert. The 100-million Transistor IC. *IEEE Spectrum*, 7:23–60, 1999.
- [35] Hartmut Grabinski. *Theorie und Simulation von Leitbahnen*. Springer-Verlag, 1991.
- [36] Hartmut Grabinski, Petra Nordholz, Dirk Niggemeyer, Jan Otterstedt, Dieter Treytnar, Uwe Arz, and Tom W. Williams. Deep Submicron Signal Integrity and Testing. In *IEEE European Test Workshop, Cagliari*, May 28–30, 1997.
- [37] Hartmut Grabinski, Dieter Treytnar, Uwe Arz, Faïez Ktata, and Petra Nordholz. Influence of Frequency-Dependent Characteristics on Deep Submicron Crosstalk Simulations. In *Proceedings European Conference on Circuit Theory and Design, Stresa*, pages 543–546, august, 29 – september, 2, 1999.
- [38] Lynne Greene. Understanding the importance of signal integrity. *IEEE Circuits and Devices Magazine*, 15(6):7–10, 1999.
- [39] G. Gronau. *Höchstfrequenztechnik*. Springer-Verlag, 2001.
- [40] E. Grotelüschen, H. Grabinski, S. Rochel, and T. M. Winkel. LOSSYWIRE – A Model Implementation for Transient and AC Analysis of Lossy Coupled Transmission Lines in the Circuit Simulator Eldo. *Archiv für Elektronik und Übertragungstechnik*, 49(1):37–43, 1995.
- [41] Enno Grotelüschen. *Quasi-analytische Untersuchung der Breitband-Übertragungseigenschaften gekoppelter Leitungssysteme in integrierten Schaltungen*. PhD thesis, Fakultät für Maschinenwesen der Universität Hannover, 1997.
- [42] MEDEA+ Applications Steering Group. The MEDEA+ DESIGN AUTOMATION ROADMAP, 3rd release, 2002.
- [43] H. Hasegawa, M. Furukawa, and H. Janai. Properties of Microstrip Line on Si - SiO₂ system. *IEEE Trans. Microwave Theory and Tech.*, 15:869–881, 1971.

- [44] Axel Hess and Gerhard Zimmermann. Interconnection length estimation during hierarchical VLSI design. In *Proceedings SLIP Workshop on System-Level Interconnect Prediction 1999*, pages 68–73, April 10–11, 1999.
- [45] Willm Hinrichs, Jens-Peter Wittenburg, Martin Ohmacht, Johannes Kneip, and Peter Pirsch. HiPAR-DSP: Ein paralleler VLIW RISC-Prozessor für die Echtzeitbildverarbeitung. *ITG-Fachberichte*, pages 257–262, 1998.
- [46] Kei Hirose and Hiroto Yasuura. A Bus Delay Reduction Technique Considering Crosstalk. In *Proceedings IEEE Design, Automation and Test in Europe Conference 2000*, pages 441–445, 2000.
- [47] E.E.E. Hoefler and H. Nielinger. *SPICE - Analyseprogramm für elektronische Schaltungen*. Springer-Verlag, Berlin, 1985.
- [48] P.D. Hortensius, R.D. McLeod, and B.W. Podaima. Cellular Automata Circuits for Built-in Self Test. *IBM Journal on Research and Development*, 34(2):389–399, 1990.
- [49] Sung-Woo Hur and John Lillis. Mongrel - Hybrid Techniques for Standard Cell Placement. In *Proceedings International Conference on Computer-Aided Design 2000*, pages 165–170, November 5–9, 2000.
- [50] Hiroshi Iwai. CMOS technology-year 2010 and beyond. *IEEE Journal of Solid-State Circuits*, 34(3):357–366, 1999.
- [51] Yi-Min Jiang and Kwang-Ting Cheng. Analysis of performance impact caused by power supply noise in deep submicron devices. In *Proceedings Design Automation Conference*, pages 760–765, 1999.
- [52] Yi-Min Jiang, Kwang-Ting Cheng, and An-Chang Deng. Estimation of maximum power supply noise for deep sub-micron designs. In *Proceedings International Symposium Low Power Electronics and Design*, pages 233–238, 1998.
- [53] Udo Jorczyk. *Built-In Self-Test für Digitalschaltungen im GHz-Bereich*. PhD thesis, Fakultät für Maschinenwesen der Universität Hannover, 1997.
- [54] Andrew B. Kahng, Sudhakar Muddu, Eginio Sarto, and Rahul Sharma. Interconnect tuning strategies for high-performance ICs. In *Proceedings of Design, Automation and Test in Europe Conference*, pages 471–478, 1998.
- [55] R. W. Keyes. Fundamental Limits of Silicon Technology. *Proceedings of the IEEE*, 89(3):227–239, 2001.

- [56] Angela Krstic, Yi-Min Jiang, and Kwang-Ting Cheng. Delay Testing Considering Power Supply Noise Effects. In *Proceedings IEEE Int. Test Conference*, pages 181–190, 1999.
- [57] Angela Krstic, Yi-Min Jiang, and Kwang-Ting Cheng. Pattern generation for delay testing and dynamic timing analysis considering power-supply noise effects. *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, 20(3):416–425, 2001.
- [58] M. Kuhlmann and S. S. Sapatnekar. Exact and Efficient Crosstalk Estimation. *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, 20(7):858–866, 2001.
- [59] Karl Küpfmüller. *Einführung in die Theoretische Elektrotechnik*. Springer Verlag Berlin, 1973.
- [60] Wei-Cheng Lai, Jing-Reng Huang, and Kwang-Ting Cheng. Embedded-software-based approach to testing crosstalk-induced faults at on-chip buses. In *Proceedings of IEEE VLSI Test Symposium*, pages 204–209, 2001.
- [61] Rong Li. Integration und Untersuchung unterschiedlicher Leitungsmodelle zur effizienten Simulation des Signalverhaltens im Sub μ -Bereich. Master's thesis, Laboratorium für Informationstechnologie, Universität Hannover, 1998.
- [62] A. Liaud, J.Y. Fourniols, and E. Sicard. On crosstalk fault detection in hierarchical VLSI logic circuits. In *Proceedings of the Third Asian Test Symposium*, pages 182–187, 1994.
- [63] *Anleitung zu LIPACIFIC*, laboratorium für informationstechnologie, version 1.1 edition.
- [64] *LOSSYWIRE Program Documentation*, laboratorium für informationstechnologie, version 1.0 edition.
- [65] *LOSSYWIRE Users Guide*, laboratorium für informationstechnologie, version 1.0 for eldo v4.3.3 edition.
- [66] Colin M. Maunder and Rodham E. Tulloss. *The Test Access Port and Boundary Scan Architecture*. IEEE Computer Society Press, 1990.
- [67] James D. Meindl. XXI century gigascale integration (GSI): the interconnect problem. In *Proceedings SLIP Workshop on System-Level Interconnect Prediction 1999*, page 93, April 10–11, 1999.

- [68] Ole Mende, Michael Redeker, Markus Rudack, and Dieter Treytnar. A Multifunctional Laser Linking and Cutting Structure for Standard 0.25 μm CMOS-Technology. In *Proceedings IEEE Intl. Symposium on Defect and Fault Tolerance in VLSI Systems*, pages 114–122, 2000.
- [69] D.A.B. Miller. Optical interconnects to silicon. *IEEE Journal on Selected Topics in Quantum Electronics*, 6(6):1312–1317, 2000.
- [70] Francesc Moll, Miquel Roca, and Antonio Rubio. Inductance in VLSI interconnection modelling. *IEE Proceedings Circuits, Devices, Systems*, 145(3):175–179, 1998.
- [71] Edward F. Moore. *Gedanken-Experiments on Sequential Machines*. Shannon C. and McCarthy J.M. (eds), Automata Studies, 1956.
- [72] Will Moore, Guido Gronthoud, Keith Baker, and Maurice Lousberg. Delay-Fault Testing and Defects in Deep Sub-Micron ICs. In *Proceedings IEEE International Test Conference*, pages 95–104, October 3–5, 2000.
- [73] Wayne M. Needham. Nanometer technology challenges for test and test equipment. *IEEE Computer*, 32(11):52–57, 1999.
- [74] Petra Nordholz. *Modellierung und Simulation felderregter verlustbehafteter Leitungssysteme im Zeitbereich*. PhD thesis, Fakultät für Maschinenwesen der Universität Hannover, 2000.
- [75] Petra Nordholz, Dieter Treytnar, H. Grabinski, Jan Otterstedt, Dirk Niggemeyer, Uwe Arz, and T. W. Williams. Core Interconnect Testing Hazards. In *Proceedings Design, Automation and Test in Europe, Paris*, pages 953–954, February 23–26, 1998.
- [76] Petra Nordholz, Dieter Treytnar, Jan Otterstedt, Hartmut Grabinski, Dirk Niggemeyer, Uwe Arz, and T.W.Williams. Deep Submicron Interconnect Coupling with Cores. In *1st IEEE International Workshop on Testing Embedded Core-based Systems*, November 5–6, 1997.
- [77] Petra Nordholz, Dieter Treytnar, Jan Otterstedt, Hartmut Grabinski, Dirk Niggemeyer, and T. W. Williams. Signal Integrity Problems in Deep Submicron arising from Interconnects between Cores. In *Proceedings VLSI Test Symposium, Monterey*, April 26–30, 1998.
- [78] Zorica Pantic-Tanner, Edwin Salgado, and Franz Gisin. Cross coupling between power and signal traces on printed circuit boards. In *Proceedings IEEE International Symposium on Electromagnetic Compatibility*, pages 624–628, 1998.

- [79] Clayton R. Paul. *Analysis of Multiconductor Transmission Lines*. John Wiley and Sons, 1987.
- [80] Rice University, Houston, Texas. Self-Assembled Nanocells function as Non-Volatile Memory, October, 2003. <http://www.rice.edu/projects/reno>.
- [81] Miquel Roca, Francesc Moll, and Antonio Rubio. Crosstalk Effects between Metal and Polysilicon Lines in CMOS Integrated Circuits. *IEEE Trans. on Electromagnetic Compatibility*, 36(3):250–253, 1994.
- [82] Miquel Roca, Francesc Moll, and Antonio Rubio. Electric Design Rules for Avoiding Crosstalk in Microelectronic Circuits. In *4th workshop on Power and Timing Modeling and Simulation*, 1994.
- [83] Mike Rodgers. Defect Screening Challenges in the Gigahertz/Nanometer Age. In *Proceedings IEEE International Test Conference*, pages 464–467, October 3–5, 2000.
- [84] Antonio Rubio and A. Sainz. Test pattern generation for logic crosstalk faults in VLSI circuits. *IEE Proceedings on Circuits, Devices and Systems*, 1991.
- [85] M. Rudack, M. Redeker, J. Hilgenstock, S. Moch, and J. Castagne. A Large-Area Integrated Multiprocessor System for Video Applications. *IEEE Design and Test of Computers*, 19(1):6–17, 2002.
- [86] Markus Rudack, Michael Redeker, Dieter Treytnar, Ole Mende, and Klaus Herrmann. Self-Configuration of a Large Area Integrated Multiprocessor System for Video Applications. In *Proceedings IEEE Intl. Symposium on Defect and Fault Tolerance in VLSI Systems*, pages 78–86, 2000.
- [87] Martin Klaus Ruhwandl. *Simulation von Verbindungsleitungsnetzen in integrierten Schaltungen mit Berücksichtigung der nichtlinearen Eigenschaften des Treibers*. PhD thesis, Fakultät für Elektrotechnik und Informationstechnik der Universität München, 1998.
- [88] T. Sakurai and K. Tamaru. Simple Formulas for Two- and Three-Dimensional Capacitances. *IEEE Trans. on Electron Devices*, 30(2):183–185, 1983.
- [89] *Spectrum - Technology 2000 - Analysis and Forecast*. IEEE, Jan 2000.
- [90] *Spectrum - Technology 2001 - Analysis and Forecast*. IEEE, Jan 2001.

-
- [91] *1st Workshop on Signal Propagation on Interconnects, Travemünde*. IEEE Computer Society, May 14–16 1997.
- [92] *2nd Workshop on Signal Propagation on Interconnects, Travemünde*. IEEE Computer Society, May 13–15 1998.
- [93] *3rd Workshop on Signal Propagation on Interconnects, Titisee-Neustadt*. IEEE Computer Society, May 19–21 1999.
- [94] *4th Workshop on Signal Propagation on Interconnects, Magdeburg*. IEEE Computer Society, May 17–19 2000.
- [95] *5th Workshop on Signal Propagation on Interconnects, Venedig*. IEEE Computer Society, May 13–16 2001.
- [96] *6th Workshop on Signal Propagation on Interconnects, Pisa*. IEEE Computer Society, May 12–15 2002.
- [97] Dirk Stroobandt. Recent Advances in System-Level Interconnect Prediction. *IEEE spectrum*, 11(4):4–20, 2000.
- [98] D. Sylvester. Rethinking Deep-Submicron Circuit Design. *IEEE Computer Magazine*, 32(11):25–33, 1999.
- [99] D. Sylvester and K. Keutzer. Impact of Small Process Geometries on Microarchitectures in Systems on a Chip. *Proceedings of the IEEE*, 89(4):467–489, 2001.
- [100] Kevin T. Tang and Eby G. Friedmann. On-Chip ΔI noise in the power distribution networks of high speed CMOS integrated circuits. In *Proceedings IEEE Int. ASIC/SOC Conference*, pages 53–57, 2000.
- [101] U. Tietze and Ch. Schenk. *Halbleiterschaltungstechnik*. Springer Verlag Berlin, 1986.
- [102] Dieter Treytnar, Michael Redeker, Hartmut Grabinski, and Faiez Ktata. LFSR Test Pattern Crosstalk in Nanometer Technologies. In *6th IEEE Workshop on Signal Propagation on Interconnects, Pisa*, pages 115–118, 2002.
- [103] Martin G. Walker. Modeling the wiring of deep submicron ICs. *IEEE spectrum*, 3:65–71, 2000.
- [104] C. Werner, R. Götttsche, A. Wörner, and U. Ramacher. Crosstalk Noise in Future Digital CMOS Circuits. In *Proceedings IEEE Automation and Test in Europe*, pages 331–335, 2001.

-
- [105] Thomas-Michael Winkel. *Untersuchung der Kopplung zwischen Leitungen auf Silizium-Substraten unterschiedlicher Leitfähigkeit unter Verwendung breitbandiger Messungen*. PhD thesis, Fachbereich Elektrotechnik und Informationstechnik der Universität Hannover, 1997.
- [106] Hans-Joachim Wunderlich. *Hochintegrierte Schaltungen: Prüfgerechter Entwurf und Test*. Springer-Verlag Berlin, 1991.
- [107] Frank Y. Yuan. Signal integrity analysis of simultaneous switching noises and decoupling capacitors in digital packages and PCB systems. In *Proceedings IEEE 5th Topical Meeting Electrical Performance of Electronic Packaging*, pages 132–134, 1996.
- [108] Yi Zhao and Sujit Dey. Analysis of Interconnect Crosstalk Defect Coverage of Test Sets. In *Proceedings IEEE International Test Conference*, pages 492–501, October 3–5, 2000.
- [109] Yervant Zorian. Testing the monster chip. *IEEE Spectrum*, 36(7):54–60, 1999.

Anhang

A Vergleich Simulationen Lossywire, RLC und RC

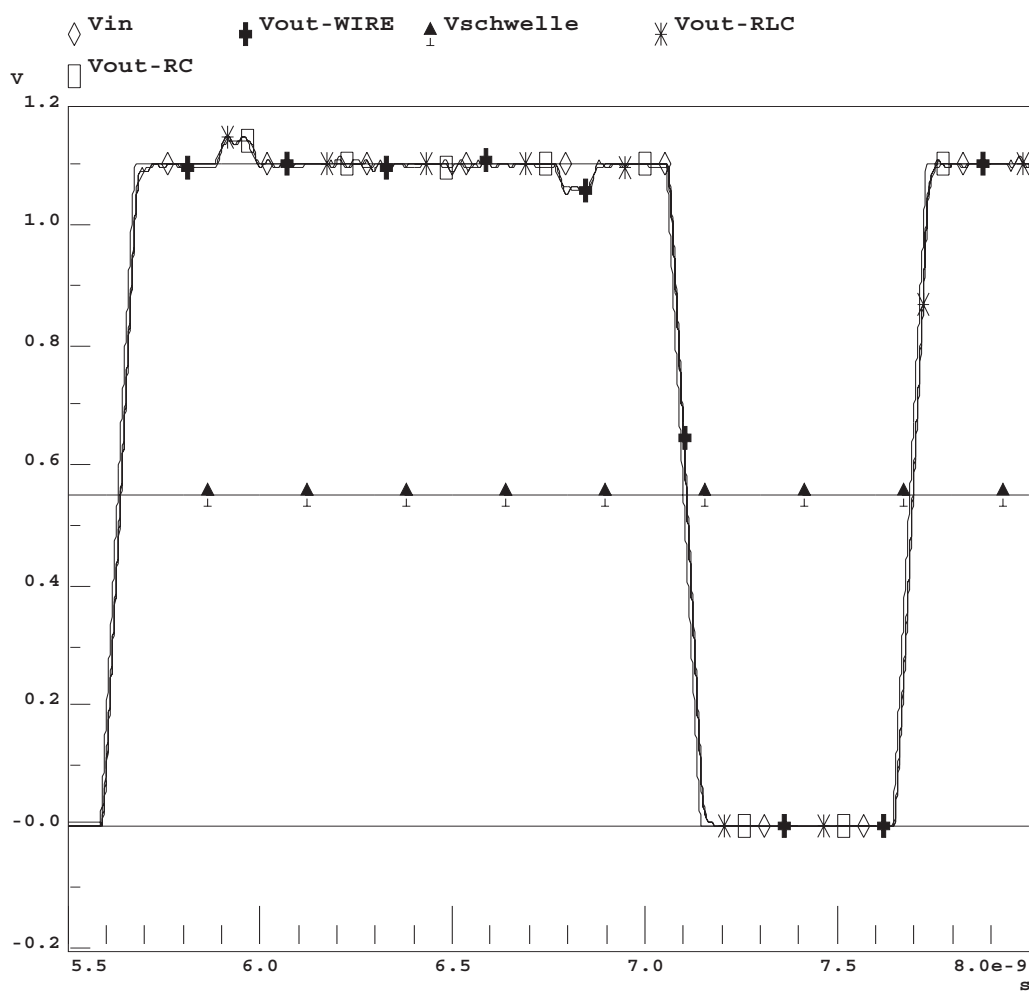


Bild A.1: Vergleich Lossywire, RLC und RC Simulation bei 130nm Technologie (Ausschnitt)

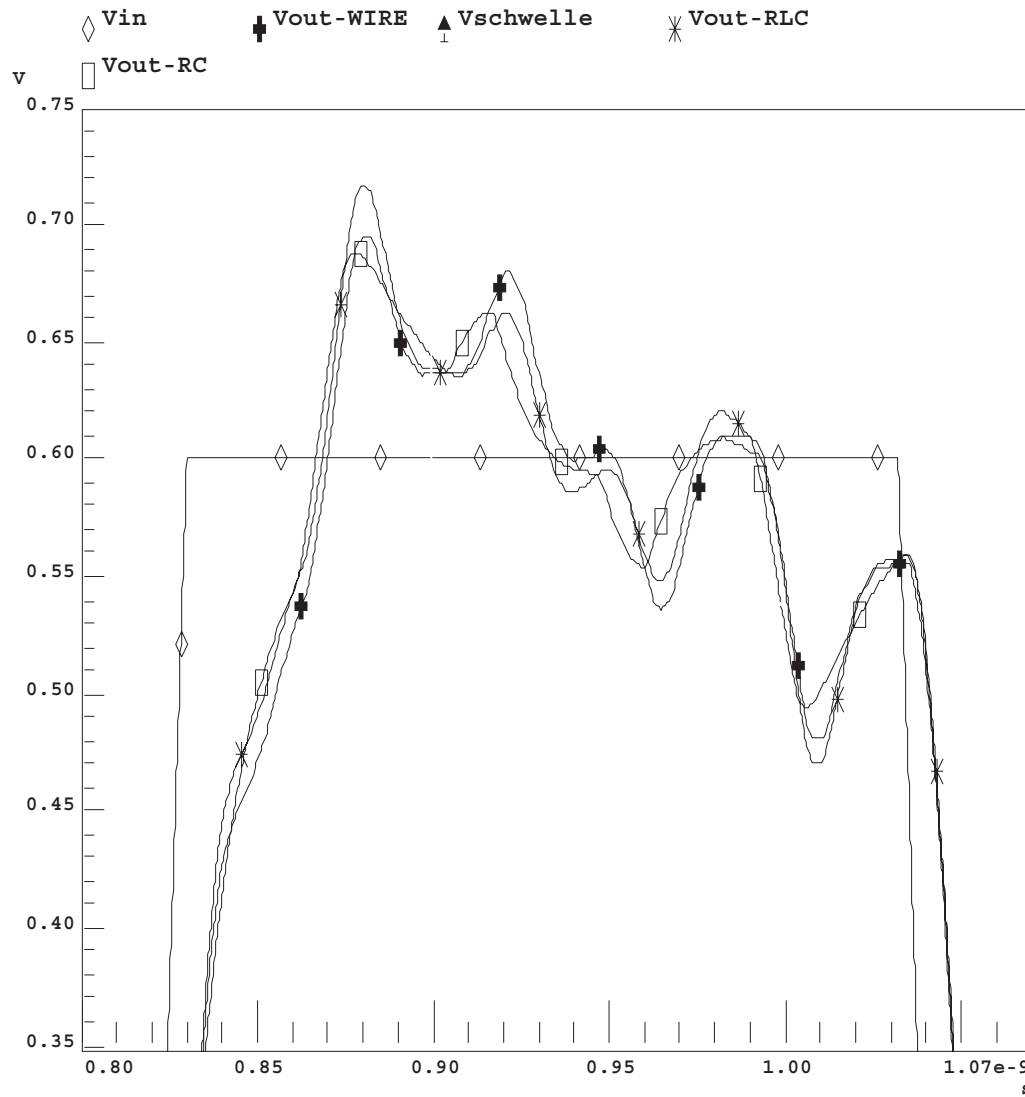


Bild A.2: Vergleich Lossywire, RLC und RC Simulation bei 45nm Technologie (Ausschnitt)

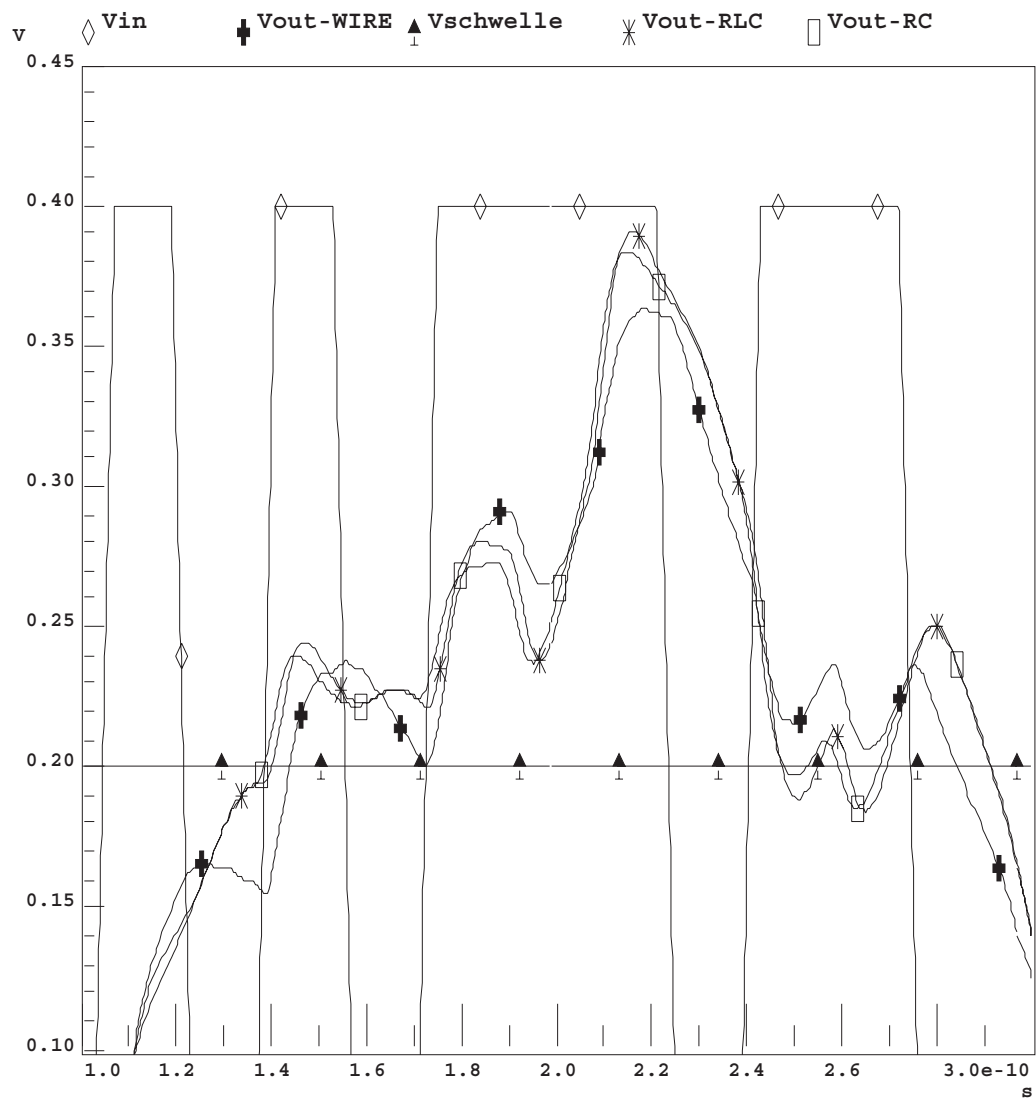


Bild A.3: Vergleich Lossywire, RLC und RC Simulation bei 22nm Technologie (Ausschnitt)

B Bitfehlervergleiche der Testmustergeneratoren

Takt	korrektes Signal	Ausgangssignal	Bit-Fehler
1	01001	01001	✓
2	00100	0100 <u>1</u>	1
3	00010	0 <u>1001</u>	3
4	00001	00001	✓
5	10000	<u>0</u> 0000	1
6	01000	0 <u>0</u> 000	1
7	10100	<u>1</u> 000	2
8	01010	010 <u>0</u> 0	1
9	10101	<u>1</u> 1111	2
10	11010	11 <u>1</u> 10	1
11	11101	111 <u>1</u> 1	1
12	01110	<u>1</u> 1110	1
13	10111	<u>1</u> 1111	1
14	11011	11 <u>1</u> 11	1
15	01101	<u>1</u> 1 <u>0</u> 11	3
16	00110	001 <u>1</u> 1	1
17	00011	00011	✓
18	10001	<u>0</u> 0001	1
19	11000	11000	✓
20	11100	11 <u>0</u> 00	1
21	11110	11110	✓
22	11111	11111	✓
23	01111	<u>1</u> 1111	1
24	00111	00111	✓
25	10011	<u>0</u> 0111	2
26	11001	<u>1</u> 0111	3
27	01100	<u>1</u> 0000	3
28	10110	<u>1</u> 1 <u>0</u> 0	2
29	01011	01 <u>1</u> 11	1
30	00101	00 <u>1</u> 11	1
31	10010	<u>0</u> 00 <u>1</u> 1	2
32	01001	<u>0</u> 0001	1
		Bitfehler:	37

Bild B.1: Bitfehler beim LFSR

Takt	korrektes Signal	Ausgangssignal	Bit-Fehler
1	00000	00000	✓
2	00001	0000 <u>0</u>	1
3	00010	0001 <u>1</u>	1
4	00011	000 <u>0</u> 1	1
5	00100	00 <u>00</u> 1	2
6	00101	00 <u>0</u> 01	1
7	00110	0011 <u>1</u>	1
8	00111	00111	✓
9	01000	<u>00</u> 100	2
10	01001	<u>00</u> 1 <u>00</u>	3
11	01010	<u>0000</u> 0	2
12	01011	01011	✓
13	01100	01 <u>00</u> 0	1
14	01101	01101	✓
15	01110	0111 <u>1</u>	1
16	01111	01111	✓
17	10000	<u>01</u> 000	2
18	10001	<u>01000</u>	3
19	10010	100 <u>00</u>	1
20	10011	10011	✓
21	10100	10 <u>00</u> 0	1
22	10101	101 <u>1</u> 1	1
23	10110	1011 <u>1</u>	1
24	10111	10111	✓
25	11000	<u>10</u> 100	2
26	11001	<u>10100</u>	3
27	11010	110 <u>00</u>	1
28	11011	11 <u>1</u> 11	1
29	11100	11 <u>00</u> 0	1
30	11101	111 <u>1</u> 1	1
31	11110	1111 <u>1</u>	1
32	11111	11111	✓
		Bitfehler:	34

Bild B.2: Bitfehler beim Aufwärtszähler

Takt	korrektes Signal	Ausgangssignal	Bit-Fehler
1	00000	00000	✓
2	00001	0000 <u>0</u>	1
3	00011	00011	✓
4	00010	0001 <u>1</u>	1
5	00110	00 <u>0</u> 11	2
6	00111	00 <u>0</u> 11	1
7	00101	001 <u>1</u> 1	1
8	00100	001 <u>1</u> 0	1
9	01100	<u>0</u> 1100	1
10	01101	0110 <u>0</u>	1
11	01111	01111	✓
12	01110	0111 <u>1</u>	1
13	01010	01 <u>1</u> 00	2
14	01011	01 <u>1</u> 11	1
15	01001	010 <u>1</u> 1	1
16	01000	01000	✓
17	11000	<u>0</u> 1000	1
18	11001	1100 <u>0</u>	1
19	11011	11011	✓
20	10011	1 <u>1</u> 011	1
21	10010	1 <u>1</u> 01 <u>1</u>	2
22	10110	1 <u>1</u> 0 <u>1</u> 1	3
23	10111	1 <u>1</u> 111	1
24	10101	10 <u>0</u> 11	2
25	10100	10 <u>0</u> 00	1
26	11100	1 <u>0</u> 100	1
27	11101	1110 <u>0</u>	1
28	11111	11111	✓
29	11110	1111 <u>1</u>	1
30	11010	11 <u>1</u> 00	2
31	11011	11 <u>1</u> 11	1
32	11001	110 <u>1</u> 1	1
		Bitfehler:	32

Bild B.3: Bitfehler beim Gray Code Zähler

Takt	korrektes Signal	Ausgangssignal	Bit-Fehler
1	11111	11111	✓
2	01000	01000	✓
3	11100	11100	✓
4	01110	11110	✓
5	10011	011 11	3
6	11110	11110	✓
7	01011	01 1 11	1
8	11010	11010	✓
9	00001	0000 0	1
10	00011	00011	✓
11	00110	00 0 1 1	2
12	01111	01111	✓
13	10000	0 0000	1
14	11000	11000	✓
15	00100	00 0 00	1
16	01010	010 00	1
17	11001	110 10	2
18	00111	0 10 11	2
19	01100	01100	✓
20	10110	1 1 110	1
21	10111	1 1 111	1
22	10100	10100	✓
23	10010	10 100	2
24	11101	111 1 1	1
25	01101	10 1 1 1	3
26	10101	10101	✓
27	10001	10001	✓
28	11011	11 1 11	1
29	00010	000 0 1	2
30	00101	00 0 11	2
31	01001	10 001	2
32	11111	11111	✓
		Bitfehler:	29

Bild B.4: Bitfehler beim zellularen Automaten

C Testmuster und Spannungsversorgung

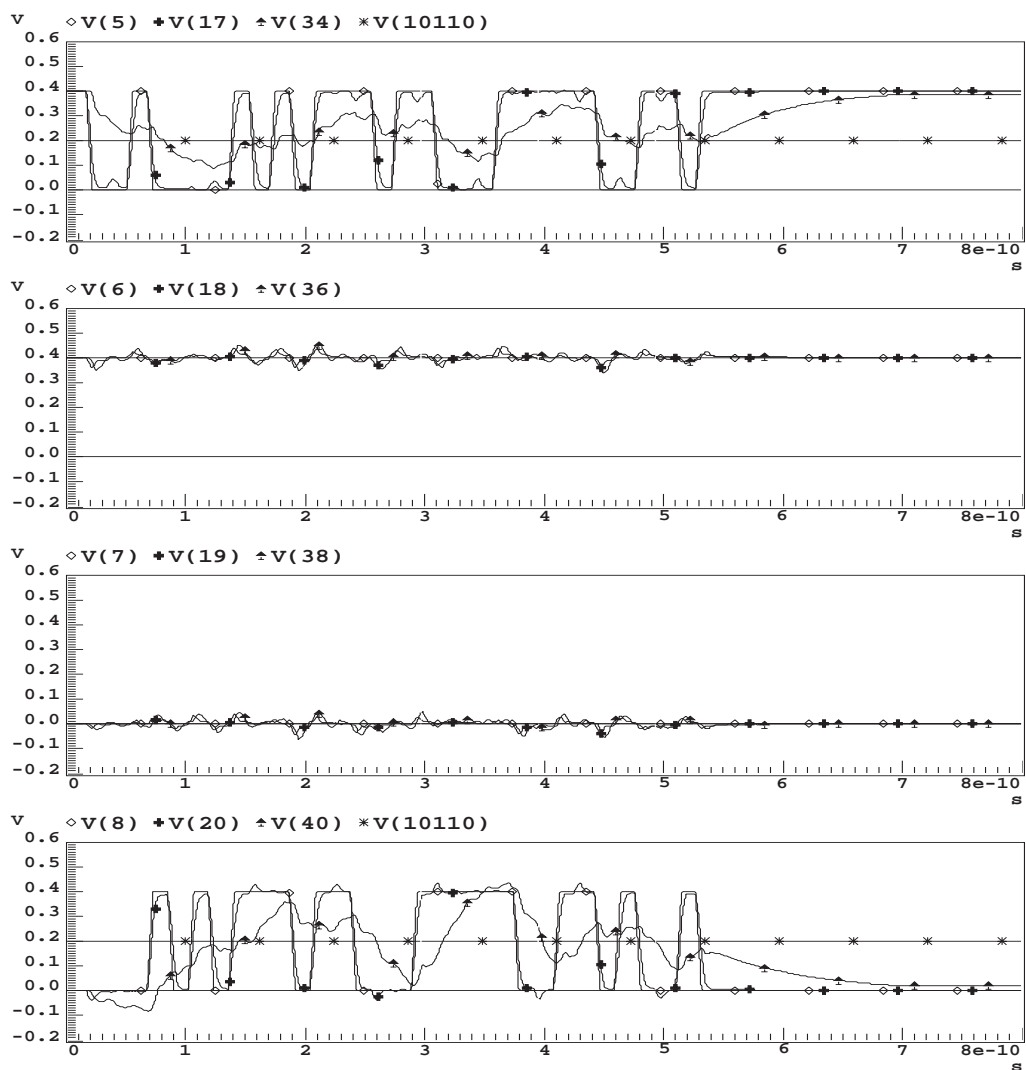


Bild C.1: Einfluss eines LFSR-Testmusters auf Power Stripes auf Chips, 22nm Technologie, Leitungslänge 0,5mm

D Fehlerübertragung durch Leitungstreiber

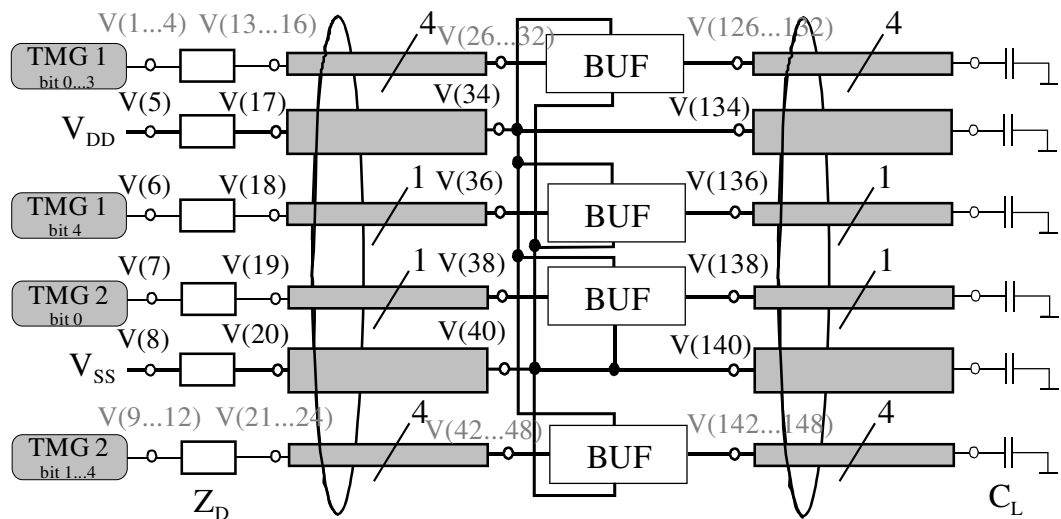


Bild D.1: Skizze des 12 Leitersystems bei Standardzellen mit nachgeschaltetem Buffer

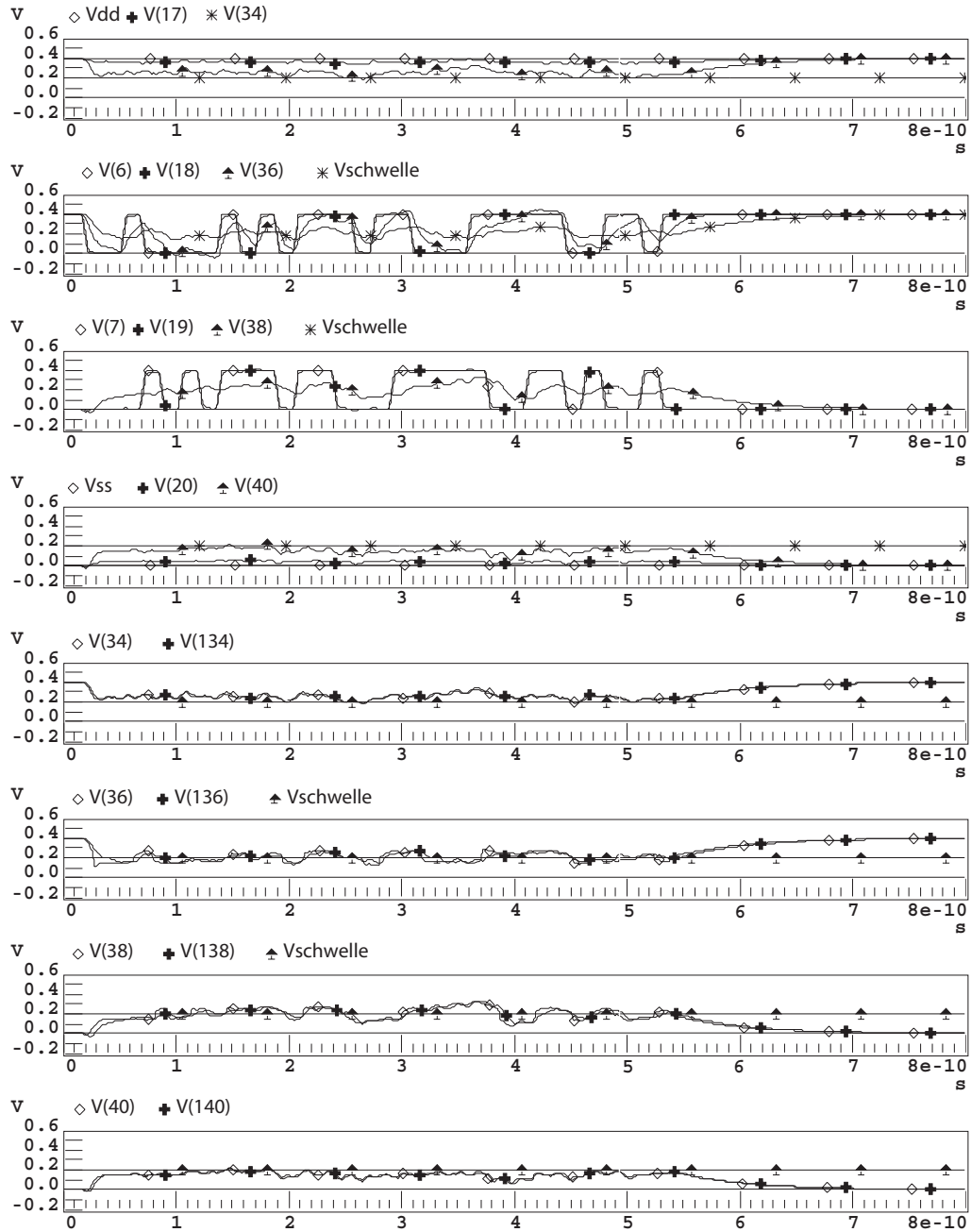


Bild D.2: Testmuster eines LFSR bei Propagierung durch einen Treiber mit gestörter Versorgungsspannung, Standardzellenspannungsvorsorgung, 22nm Technologie, Leitungslänge 0,2mm

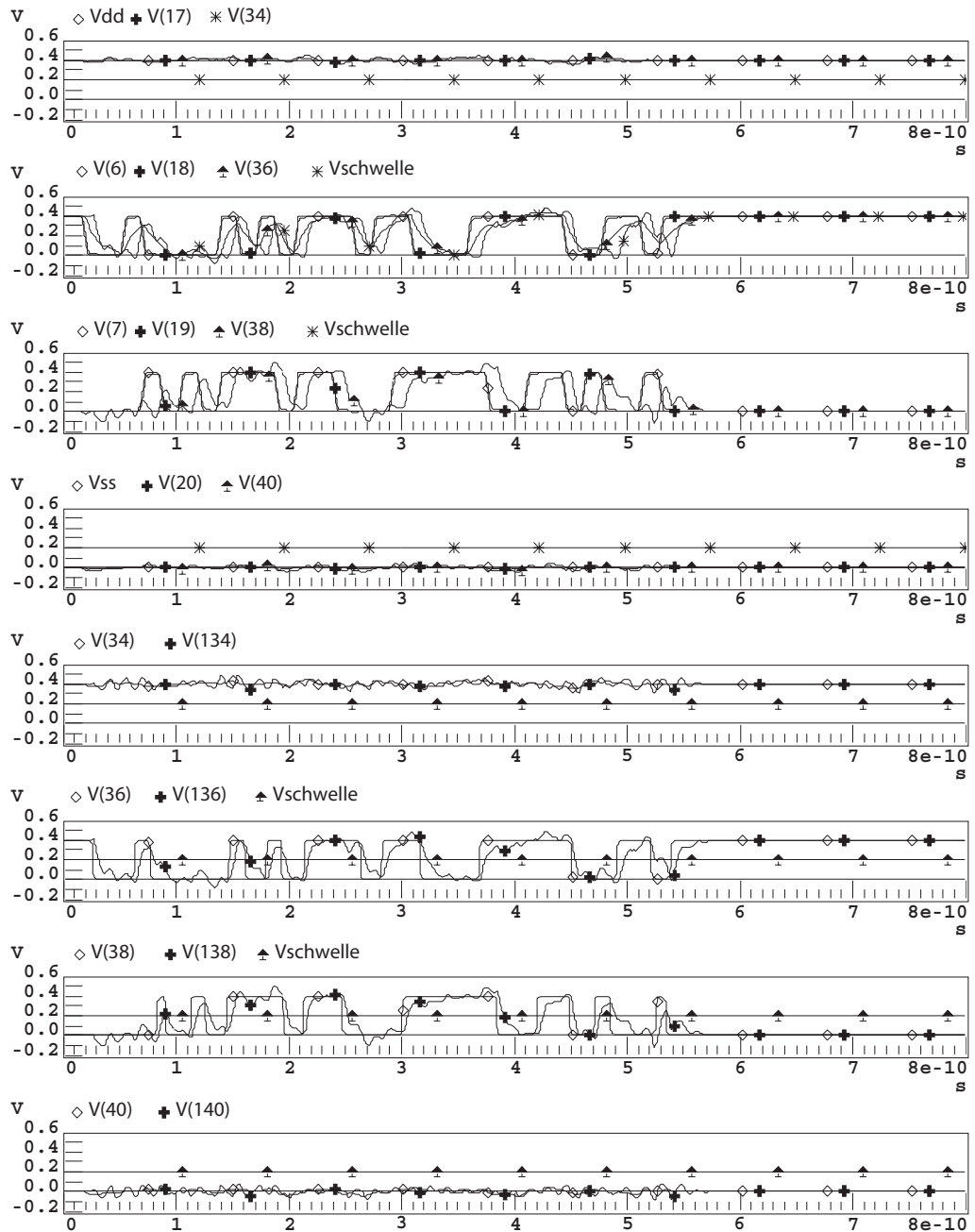


Bild D.3: Testmuster eines LFSR bei Propagierung durch einen Treiber mit idealer Versorgungsspannung, Standardzellenspannungsversorgung, 22nm Technologie, Leitungslänge 0,2mm

Lebenslauf

Persönliche Daten

Dieter Treytnar
Yvonne-Georgi-Weg 11
30855 Langenhagen
E-Mail: dtre@gmx.de
Geb. am 29.01.1967 in Hamm
Verheiratet, 2 Kinder

Bildungsweg

1974–1977	Grundschule
1977–1986	Gymnasium Lutherschule Hannover
1986–1989	Ausbildung zum Energieanlagenelektroniker/Elektroanlageninstallateur (Deutsche Bahn)
1989–1990	Zivildienst (Robert-Koch-Krankenhaus Gehrden)
1990–1996	Studium der Elektrotechnik Fachrichtung Mikroelektronik an der Universität Hannover Abschluß: Diplom-Ingenieur Elektrotechnik

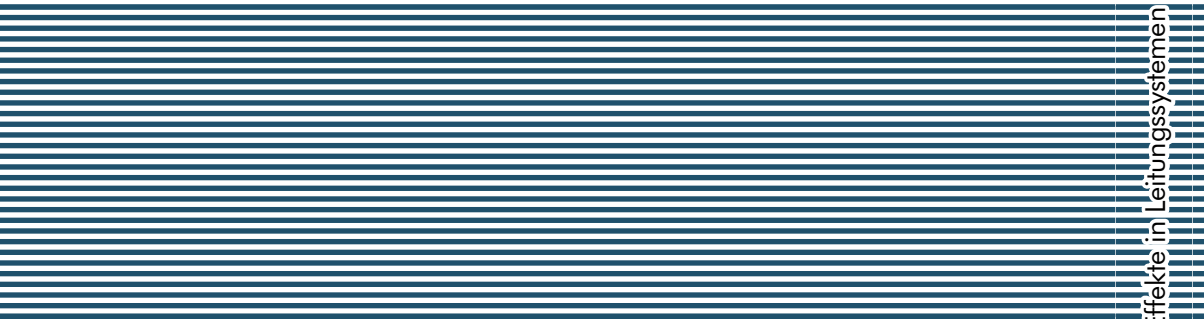
Berufliche Tätigkeit

11/1996–01/2002	Wissenschaftlicher Mitarbeiter am Institut für Theoretische Elektrotechnik, Laboratorium für Informationstechnologie in Hannover
seit 02/2002	Mitarbeiter Öffentlichkeitsarbeit im edacentrum

Arbeitsgebiete

Signalausbreitung in dichtgepackter Logik
Redundante Strukturen für objektorientierte Bildverarbeitungsrechner im Gebiet Chip-Design und -Test
Öffentlichkeitsarbeit und Projektmanagement

Hannover, September 2005



ISBN 3-89963-278-8

Treytnar Der Einfluss parasitärer Effekte in Leitungssystemen der Nanoelektronik

