



BMBF-Verbundprojekt: NEEDS
Förderkennzeichen: 16M3090
Projektlaufzeit: 01.12.2010 bis 30.11.2013

Schlussbericht

Nanoelektronik-Entwurf für 3D-Systeme (NEEDS)

Version: 1.00
Erstelldatum: 27.5.2014
Autoren: Armin Grünwald (Universität Siegen)
Kai Hahn (Universität Siegen)
Andy Heinig (Fraunhofer IIS/EAS)
Uwe Knöchel (Fraunhofer IIS/EAS)
Malte Metzdorf (OFFIS)
Felix Miller (TU München)
Markus Olbrich (Leibniz Universität Hannover)
Artur Quiring (Leibniz Universität Hannover)
Sebastian Sattler (Universität Erlangen-Nürnberg)
Dieter Treytnar (edacentrum)
Thomas Wild (TU München)

Zuwendungsempfänger: Fraunhofer Institut für Integrierte Schaltungen (EAS)
OFFIS e.V. - Institut für Informatik (OFFIS)
Technische Universität München (LIS)
Universität Erlangen-Nürnberg (LZS)
Leibniz Universität Hannover (IMS)
Universität Siegen (USI)

Ansprechpartner: Jürgen Haase (edacentrum)
Tel. +49 511 762-19698
Fax +49 511 762-19695
haase@edacentrum.de

Das diesem Bericht zugrundeliegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter dem Förderkennzeichen 16M3090 gefördert. Die Verantwortung für den Inhalt dieser Veröffentlichung liegt bei den Autoren.

© Copyright 2010-2013 by Fraunhofer Institut für Integrierte Schaltungen, OFFIS e.V. - Institut für Informatik, Technische Universität München, Universität Erlangen-Nürnberg, Leibniz Universität Hannover und Universität Siegen.

Kurzfassung

NEEDS wurde für 3 Jahre unter dem Förderkennzeichen 16M3090 im Förderprogramm IKT 2020 durch das BMBF gefördert. An dem Projekt beteiligten sich nachfolgend genannte Forschungseinrichtungen.



Fraunhofer Institut für Integrierte Schaltungen (EAS)



Universität Hannover
Institut für Mikroelektronische Systeme (IMS)



OFFIS e.V. - Institut für Informatik (OFFIS)



Technische Universität München
Lehrstuhl für Integrierte Systeme (LIS)



Universität Siegen
Institut für Mikrosystemtechnik (USI)



Universität Erlangen-Nürnberg
Lehrstuhl Zuverlässige Schaltungen und Systeme (LZS)

Hochintegrierte Elektroniksysteme mit heterogenen Komponenten ermöglichen in vielen Anwendungsfeldern die Einsparung von Ressourcen und Kosten. Um das Potenzial der Elektronik noch vielfältiger zu nutzen, erforschte NEEDS den Entwurf einer neuen Klasse von Elektroniksystemen, welche die Stapelung von ungehäuteten Chips mit vielfältigen Funktionen ermöglicht. Dazu wurden Forschungen im Bereich der Entwurfsmethodik und der Schaltungsgenerierung, aber auch auf dem Gebiet der applikationsspezifischen Technologieplanung, der Analyse und des Testens dreidimensionaler Schaltungen durch- und zusammengeführt. Ziel des Projekts war es – in Abhängigkeit der verwendeten Integrationstechnologien –, geeignete Analyse-, Explorations- und Synthesemethoden für einen optimierten 3D-Entwurf zu ermitteln und zu erforschen. Die Optimierung eines 3D-Chips sollte dabei ganzheitlich, d.h. fachübergreifend über die einzelnen Teilaufgaben und unabhängig vom Anwendungsgebiet ermöglicht werden. Ein besonderer Fokus wurde im Projekt auf die Optimierung der Kosten und somit auch auf eine Rentabilitätsbewertung der 3D-Integration gelegt. Als Ergebnisse wurden Verfahren für die 3D-Integration entwickelt und eine Entwurfsplattform demonstriert. Somit wird die Entwurfskompetenz in Deutschland für diese neue Klasse von heterogenen, hochintegrierten, elektronischen dreidimensionalen Systemen gestärkt.

Inhalt

Kurzfassung	3
1 Ziele und Aufgaben	5
1.1 Ausgangssituation, unter denen das Vorhaben durchgeführt wurde	5
1.2 Wissenschaftliche und technische Ziele des Vorhabens	6
1.3 Planung und Ablauf des Vorhabens	7
1.4 Wissenschaftlicher und technischer Stand, an den angeknüpft wurde	12
1.5 Partnerprofile	14
1.6 Bezug zu weiteren Projekten	16
2 Technische Ergebnisse	19
2.1 Aufgabe 1: 3D-Entwurfsmethodik und Demonstration	20
2.2 Aufgabe 2: Technologieplanung	26
2.3 Aufgabe 3: 3D-Schaltungsgenerierung	33
2.4 Aufgabe 4: 3D-Schaltungsanalyse	42
3 Verwertung	50
3.1 OFFIS	52
3.2 Universität Siegen	54
3.3 Leibniz Universität Hannover	55
3.4 Technische Universität München	56
3.5 Fraunhofer Institut für Integrierte Schaltungen (EAS)	58
3.6 Universität Erlangen-Nürnberg	59
3.7 Gemeinsamer NEEDS-Design-Flow	50
4 Zusammenfassung und Ausblick	61
5 Veröffentlichungen und Patente	62
6 Quellenverzeichnis	65
7 Tabellenverzeichnis	67
8 Abbildungsverzeichnis	68

1 Ziele und Aufgaben

1.1 Ausgangssituation, unter denen das Vorhaben durchgeführt wurde

Die Anforderungen an die Elektronik, wie ein geringer Energieverbrauch, kompakte Größe und geringe Stückkosten, stellen den Entwurf vor gewaltige Herausforderungen. Dadurch stehen leistungsfähige Optimierungsstrategien für den Entwurf zunehmend im Vordergrund, um scheinbar auch gegensätzliche Anforderungen erfüllen zu können: Sie sollen hochkomplex, miniaturisiert, energiesparend und zudem noch extrem kostengünstig sein. Auch müssen sie in hohen Stückzahlen an verschiedenen Standorten weltweit produzierbar sein, neueste Komponenten einsetzen aber auch altbewährte Module enthalten.

Dreidimensional integrierte Systeme, die mit Hilfe von ungehäuteten Chips geschichtet werden, ermöglichen eine neue Klasse von Elektroniksystemen, um hierfür Lösungen anzubieten. Ein großer Vorteil von 3D-Elektroniksystemen ist, dass die Gehäuse der Chips und Leiterplatten zur Verbindung der Chips nicht mehr benötigt werden. Somit entfallen viele Signalverzögerungen und Energieverluste. Damit können neuartige IKT-Systeme entworfen werden, die neben klassischen Elektronikkomponenten (Prozessoren, Speicher, Peripherie-Schnittstellen) auch Sensoren, Aktoren, Komponenten aus unterschiedlichen Technologie-Prozessen, Hard-IP oder auch Mikromechanik auf kleinsten Raum enthalten. Hier stößt der klassische 2D-Entwurf von Systemen auf einem Chip (SoC) zunehmend an Grenzen. Diese neuartigen 3D-Systeme bieten eine Alternative für die Industrie, um beispielsweise komplexe, dezentrale Steuerungsaufgaben zu lösen.

Das Clusterforschungsprojekt NEEDS hatte sich deshalb das Ziel gesetzt, eine Entwurfsgrundlage für diese neue Klasse von gestapelter komplexer Elektronik zu legen und Forschungsergebnisse für die industrielle Anforderungen zu erproben. Damit wurden Grundlagen für den Entwurf gestapelter Elektroniksysteme für die deutsche Industrie vorbereitet. NEEDS erprobte Innovationen aus der Forschung, um die extrem hohen und neuartigen Entwurfsanforderungen an 3D-Systeme unter industriellen Randbedingungen zu erreichen, beispielsweise:

- Explorationstechniken für die Auswahl geeigneter miniaturisierter Komponenten,
- Optimierungsstrategien für 3D-Systeme zur Einhaltung von thermischen Randbedingungen und zur Reduktion des Energieverbrauchs,
- Verfahren zum Vergleich unterschiedlicher technologischer Lösungen und der wechselseitigen Einflussnahme von Entwurf und Fertigung mit Hilfe einer gemeinsamen Technologiedatenbank,
- Optimierungsmethoden zur Beherrschung der Systemkosten zur Produktion und Prüfung für den Nachweis der Kosteneffizienz gegenüber 2D-Lösungen.

Die Verfügbarkeit von Energie für eine breite Bevölkerungsschicht – verbunden mit geringen Kosten – hat zu einem nie gekannten Wohlstand in unserer Gesellschaft geführt. Mittlerweile sind allerdings die Energiekosten dramatisch gestiegen und stellen zunehmend ein finanzielles Problem für viele Bürger dar. Weitaus problematischer ist jedoch die Tatsache, dass die Gesellschaft zurzeit einen großen Teil der Energie nicht effizient nutzt und die damit einhergehenden Emissionen das Weltklima bedrohen. Deshalb wird weltweit diskutiert, wie man diesen Problemen begegnen kann und hat sich Ziele zur Reduzierung der Emissionen gesetzt [Kyoto].

Für eine umfangreiche Erfassung und Steuerung des dezentralen Energieverbrauchs, der Erzeugung und der Speicherung bieten sich 3D-Systeme für leistungsfähige, miniaturisierte und dabei trotzdem kostengünstige Elektronik an. Aber auch andere Anwendungsdomänen – wie Automobiltechnik, Medizintechnik oder Industrieautomatisierung – benötigen leistungsfähige IKT Systeme, die mit Hilfe von 3D-Systemen ermöglicht werden. NEEDS bereitete daher mit diesem Projekt eine neue Entwurfstechnik für 3D-Elektroniksysteme für die deutsche Industrie vor, um Maßnahmen wie beispielsweise den Schutz des Weltklimas zu unterstützen.

1.2 Wissenschaftliche und technische Ziele des Vorhabens

Zukünftige IKT-Systeme stellen höchste Entwurfsanforderungen und damit die Industrie vor völlig neue Herausforderungen.

- Eine Vielzahl von IKT-Systemen messen, steuern, kommunizieren und handeln zunehmend autonom. Dazu benötigt man eine ständig wechselnde Kombination von Modulen (Prozessoren, Funkchnittstellen, Antennen, Sensoren, Aktoren, MEMS etc.), um ein Gesamtsystem zu erstellen.
- Der Energieverbrauch muss extrem gering sein, um sie vielfältig und dezentral einsetzen zu können.
- Sicherheit und Zuverlässigkeit ist durch die vielen dezentralen und autonom arbeitenden Steuerelemente zu gewährleisten.
- Die Kosten für diese Instrumente, die sich auf verschiedene Bereiche aufteilen, (u.a. Entwurf, Masken, Chips (Bare Dice), Herstellung und Prüfung der Gehäuse) müssen gering sein.

Der klassische 2D-Entwurf stößt dabei an seine Grenzen. Bisher verfügbare Entwurfs- und Produktionsprozesse sind nicht in der Lage, die heterogenen Anforderungen in einer Technologie zu realisieren. Deshalb werden für Komponenten individuelle Technologien genutzt, um die Anforderungen des Marktes zu erreichen. Um die verschiedenen Technologien in einem System integrieren zu können, ist eine neue Klasse von Elektroniksystemen erforderlich. Die Herausforderung für den Entwurf ist, dass verschiedene heterogene Komponenten miteinander kombiniert und die Systemeigenschaften optimiert werden müssen, beispielsweise:

- Einsatz von Aktoren sowie Sensoren für nichtelektrische Signale
- Analoge Komponenten zur Messung der Stromaufnahme
- Elektrische oder drahtlose Kommunikationseinheiten zur zentralen Steuerung
- Lokale Analyse durch digitale Signalverarbeitung
- Autonome Anwendung durch Batterien oder lokale Energieerzeuger
- Sicherheits- und Zuverlässigkeitsinstrumente zum Schutz vor Missbrauch
- Energieverbrauch im Milliwattbereich
- Systemgröße von wenigen Kubikmillimetern
- Produktions- und Testkosten zwischen 30 Cent und 2 Euro

Die Stapelung von Chips – auch 3D-Chips genannt – bietet das Potenzial, um die Anforderungen mit diesen heterogenen Eigenschaften in einem System in naher Zukunft zu vereinen. Hiermit ist es möglich, verschiedene Halbleitertechnologien miteinander zu verbinden und hohe Stückzahlen zu geringen Kosten bei stark reduziertem Energieverbrauch zu erreichen. Mit der Fähigkeit, Chips ohne Gehäuse zu stapeln, kann weiteres Kostensparpotenzial in den nächsten 10 Jahren genutzt werden. Den Chancen der 3D-Technik steht die unzureichende Entwurfstechnik für gestapelte Chipsysteme gegenüber, die noch Gegenstand der Forschung ist.

Das Projekt NEEDS hatte zum Ziel, Entwurfsverfahren für gestapelte Systeme mit Silizium-Komponenten zu erforschen, um 3D-Chips mit ihren heterogenen Komponenten analysieren und optimieren zu können. Das Projekt erforschte in einem engen Verbund neue Verfahren und Methoden und bereitete damit eine gemeinsame Entwurfsmethodik für kostengünstige 3D-Systeme in Deutschland vor, die im Einklang mit industriellen Anforderungen steht. Dazu zählen beispielsweise folgende Teilziele:

- Ein „Proof of Concept“ für eine Entwurfsplattform für den 3D-Entwurf
- Explorationsverfahren zur Optimierung von 3D-Architekturen
- Analyse und Reduktion des Energieverbrauchs bei gestapelten Chips
- Applikationsspezifische Auswahl kostengünstiger Technologievarianten für die Exploration
- Identifikation und Konfiguration leistungsfähiger Netzwerk-on-Chip-Architekturen

- Hohe Zuverlässigkeit und Qualität des Systems
- Vermeidung von unnötigen Iterationsphasen während des Entwurfs zur Reduktion von Kosten und Entwurfszeit.

Das Projekt wurde von führenden deutschen Herstellern und Anwendern der Elektronik unterstützt. Dabei wurde eine ganzheitliche Entwurfsplattform angestrebt, die beispielsweise auch Kosten für unterschiedliche Technologien, Verbindungstechniken oder den Test vergleichen und optimieren kann. Die in NEEDS erforschten Entwurfsmethoden unterscheiden sich vom Stand der Technik deutlich und markieren den Übergang von flächigen Anordnungen, den sogenannten Chips, hin zu dreidimensionaler Elektronik, wie in Tabelle 1 dargestellt wird.

Stand der Technik	Neu in NEEDS
Verwenden von Standard-2D-Tools für jede Ebene	Übergang zur durchgängigen 3D-Betrachtung
Konzentration auf einzelne Komponenten	Optimierung – der Kosten und des Energieverbrauchs - ausgehend von Gesamtsystemsicht
Ad-hoc-Aufteilung ohne Kontrolle von Rückwirkungen	Systematische Untersuchung der hierarchischen Optimierung
Keine 3D-Methodik zur (Test-) Kostenkontrolle	Berücksichtigung von Kosten für Herstellung und Test während des Entwurfs
Technologieinformationen werden ausschließlich lokal (als Design Rules) verwendet	Übergreifende Systematik zur Bereitstellung von bzw. zum Zugriff auf Technologieinformationen für die Systemoptimierung
Designentscheidungen beeinflussen nicht die Prozesskonfiguration	Mechanismen zur wechselseitigen Beeinflussung von (Integrations-)Technologie und 3D-Design
Thermische Informationen werden lediglich für kleine Teile des Systems und auf sehr niedriger Abstraktionsebene ermittelt	Die thermische Simulation erfolgt systemweit und mit variabler Granularität

Tabelle 1: Vergleich: Stand der Technik und NEEDS

1.3 Planung und Ablauf des Vorhabens

Für das Projekt NEEDS wurde eine Laufzeit von drei Jahren geplant. Der Start erfolgte im Dezember 2010.

Aus den zuvor beschriebenen Zielen ergaben sich besondere Aspekte, die das Projekt beim Arbeitsplan berücksichtigt hatte.

Das Projekt gliederte sich in vier Aufgaben, die jeweils von einem Forschungspartner koordiniert wurden, wie auch in Abbildung 1 zu sehen ist.

- Aufgabe 1 (A-1): „3D-Entwurfsmethodik und Demonstration“ zur Erforschung der Methodik, Anwendung auf den Demonstrator und zum Technologie-Transfer in die Industrie
- Aufgabe 2 (A-2): „Technologieplanung“ zur Erforschung der Technologieplanung für 3D-Stapels
- Aufgabe 3 (A-3): „Schaltungsgenerierung“ zur Erforschung der Strategie zur Optimierung von 3D-Stapel.
- Aufgabe 4 (A-4): „3D-Schaltungsanalyse“ zur Simulation von 3D-Stapel.

A-1.1 nimmt durch seinen Schwerpunkt auf Methodik und Demonstration eine besondere Stellung ein, da es ein verbindendes Glied zwischen den Aufgaben darstellt sowie den Know-how Transfer zu den Industriepartnern unterstützt.

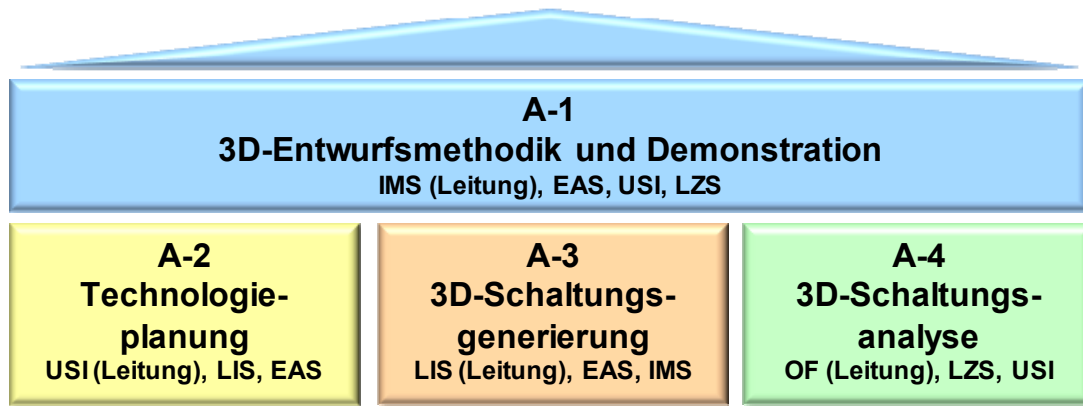


Abbildung 1: Aufgaben im Arbeitspaket von NEEDS

Aufgabe 1: 3D-Entwurfsmethodik und Demonstration

Ziel dieser Aufgabe war es, erstmalig eine zusammenhängende Methodik für den kostengünstigen 3D-Entwurf zu erforschen und sie für die spätere industrielle Verwertung bereitzustellen. Über bisherige Ansätze hinausgehend berücksichtigt die neue Optimierungsmethodik dabei zusätzlich auch finanzielle Kosten für den Test sowie die Herstellung und wägt sie gegen andere Eigenschaften, wie die Energieeffizienz, die Verlustleistung, Störungen zwischen Komponenten und die Performance des Produkts ab. Zur Abschätzung der Testkosten, die im 3D-Entwurf und Test anfallen, wurden zunächst Flow-geeignete Modelle erforscht (Partner LZS). Um die notwendigen Technologie-Informationen zur richtigen Zeit in geeigneter Form in die Optimierung einfließen zu lassen, mussten zusätzlich entsprechende Methoden zur Integration in den Flow untersucht werden (Partner USI). Parallel dazu wurden grundlegende Mechanismen im Steuerfluss eines hierarchischen Optimierungssystems erforscht, welche die Konvergenz von Iterationen sicherstellen (Partner IMS).

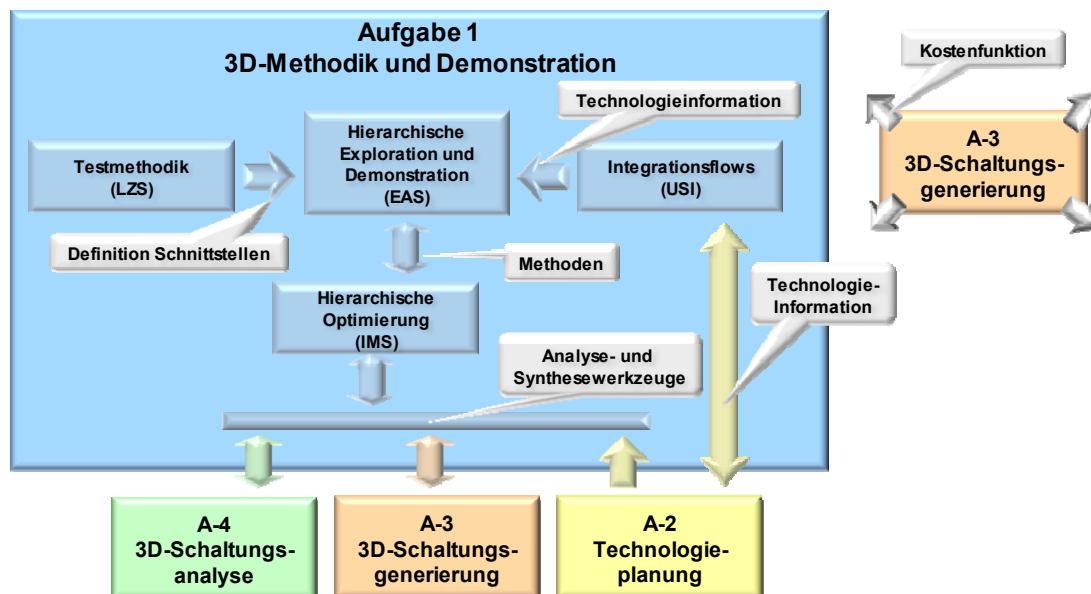


Abbildung 2: Überblick über die Zusammenarbeit in Aufgabe 1

Diese Ergebnisse dienen als Grundlage für einen übergeordneten Algorithmus zur hierarchischen Exploration (Partner EAS). Schnittstellen zu Testbarkeitsmodellen, Technologiedaten und zum Datenaustausch zwischen den Entwurfswerkzeugen wurden von den jeweils zuständigen Partnern gemeinsam definiert. Dies geschah in enger Zusammenarbeit mit den Aufgaben 3 und 4, in denen diese im Entwurfsprozess verwendeten Analyse- und Erzeugungswerkzeuge erforscht wurden. Das Ergebnis von Aufgabe 1 ist ein hierarchieübergreifender Optimierungsflow für 3D-Systeme mit

Steuerfluss und Schnittstellen, der prototypisch erprobt und der Industrie demonstriert wurde (Partner EAS).

Aufgabe 2: Technologieplanung

Ziel dieser Aufgabe war die Erforschung von Methoden und Werkzeugen zur Handhabung der wechselseitigen Einflüsse von 3D-Entwurf und Integrationstechnologien. Applikationsspezifische Technologieplanung und die Bereitstellung werkzeugspezifischer Technologiedaten standen dabei im Vordergrund. Dazu mussten zunächst mögliche 3D-Technologien erfasst und charakterisiert werden (Partner EAS). Die applikationsspezifische Auswahl und Zusammenstellung von Integrationsflows erfolgte in Abhängigkeit von Schaltungsconstraints (u.a. Leistung, Geschwindigkeit, Kosten, Protokolle (Partner LIS) etc.) teilautomatisch (Partner USI). Die, von konkreten Fertigungs-Flows abhängigen, entwurfsrelevanten Technologie-Constraints der 3D-Integrationstechnologien mussten erforscht und formalisiert z.B. als Design Rules in entsprechenden Integrations-Process-Design-Kits (PDKs) den Entwurfswerkzeugen zur Verfügung gestellt werden (Partner USI, LIS).

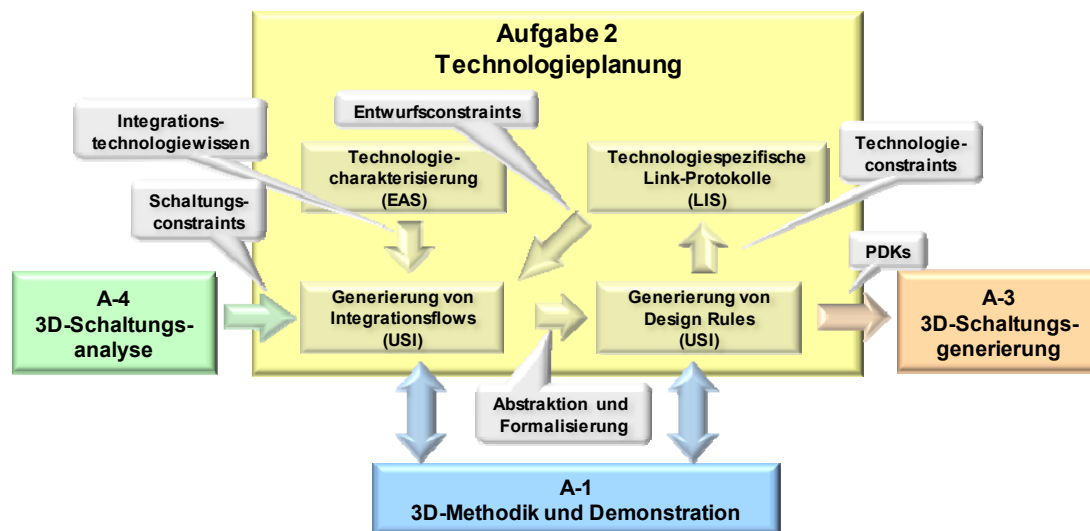


Abbildung 3: Überblick über die Zusammenarbeit in Aufgabe 2

Aufgabe 3: 3D-Schaltungsgenerierung

In dieser Aufgabe wurden Methoden und Algorithmen zur Erzeugung von 3D-SoC-Architekturen untersucht und prototypisch implementiert. Die Methoden dienen zur Festlegung der Anzahl von 3D gestapelten Ebenen, die jeweils darin allokierten Ressourcen sowie die Abbildung der einzelnen Teilfunktionen und der zugehörigen Datenstrukturen auf die in einer Architektur enthaltenen Verarbeitungseinheiten und Speicherblöcke. Iterativ mit der Partitionierung werden auch 3D-Verbindungsnetzwerk und Floorplan optimiert. Ein weiterer Schwerpunkt der Arbeiten lag in der Festlegung einer geeigneten Kostenfunktion, die zur Optimierung von Ergebnissen der einzelnen Methoden aus den Teilaufgaben von A-3 verwendet wird. Die Optimierungsziele, unter denen vor allem Energieeffizienz und elektronische Störsicherheit besonders hervorzuheben sind, flossen in diese Kostenfunktion mit ein.

Ergebnis der Schaltungsgenerierung ist eine Methode zur Definition von 3D-Schaltungsarchitekturen. Eine so definierte Architektur kann mit den Methoden aus Aufgabe A-4 hinsichtlich ihrer thermischen Eigenschaften und ihrer Testbarkeit analysiert werden. Die Methoden aus Aufgabe A-4 liefern Aussagen zur Güte der optimierten Schaltungen zurück, die zur besseren Kalibrierung der bei der Optimierung eingesetzten Kostenfunktion und – in Zusammenarbeit mit A-1 – zur Verbesserung des Optimierungsalgorithmus dienen. Als weiterer Input für die hier entwickelten Werkzeugen dienen die aus A-2 gelieferten technologischen Randbedingungen hinsichtlich Aufbau und Herstellbarkeit der 3D-Strukturen insgesamt, sowie die Eigenschaften vertikaler Inter-Layer-Verbindungen für die Erstellung von 3D-Interconnects.

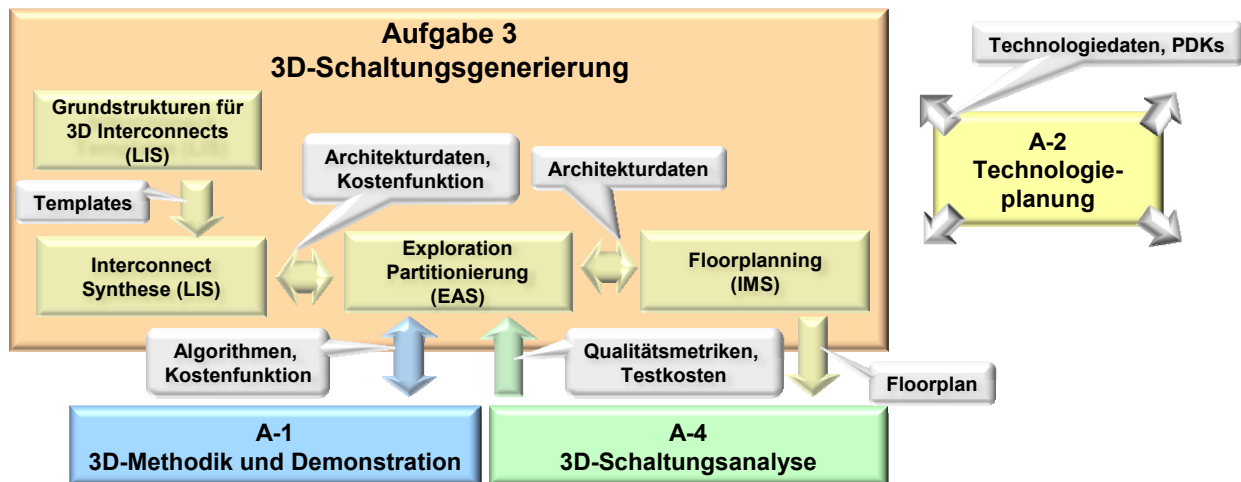


Abbildung 4: Überblick über die Zusammenarbeit in Aufgabe 3

Aufgabe 4: 3D-Schaltungsanalyse

Ein mit den Methoden aus Aufgabe 3 erzeugtes 3D-System kann mit den in Aufgabe 4 entwickelten Werkzeugen in seiner Gesamtheit funktional-thermisch analysiert werden. Hierzu wurde zunächst ein thermisches Modell entworfen, welches die Abschätzung der thermischen Entwicklung eines Systems über die Simulation hinweg erlaubt (Partner OF). Grundlage für die thermische Simulation ist die Leistungsaufnahme der einzelnen Komponenten eines Systems. Der aus Aufgabe 3 stammende Floorplan liefert Auskunft über die Lage der verschiedenen Komponenten eines Gesamtsystems sowie die Lage der Verbindungen zwischen den Dies. Betrachtet wurden ebenfalls Leiterbahnen, welche nicht direkt der Funktionalität eines Systems dienen, sondern ausschließlich für das Testen gedacht sind (Partner LZS). Verschiedene Simulatorschnittstellen und -kopplungen wurden entworfen und implementiert (Partner OF, EAS), so dass eine einheitliche Simulation aller Systemkomponenten, d.h. Software (SW) sowie digitale und analoge Hardware (HW), möglich wird. Der realisierte, einheitliche Simulator ermöglicht dann eine gemeinsame funktional-thermische Simulation eines Systems unter Berücksichtigung aller zuvor genannten Informationen. Die Ergebnisse der gesamten Simulation (z.B. thermische Karten) liefern Aussagen über die Güte eines Systems in Hinblick auf die verschiedenen geforderten Eigenschaften. Insbesondere können Komponenten mit erhöhtem Energiebedarf, welche zu sog. *Hot-Spots* führen, identifiziert werden. Die Ergebnisse der thermischen Analyse sowie der Testmodellierung wurden von der Floorplanninganalyse (Partner IMS) so aufbereitet, dass die entstehenden Qualitätsmetriken im nächsten Iterationsschritt für die Optimierung eines Systems – insbesondere des Floorplans (Partner IMS) – genutzt werden können. Für eine problemlose Kooperation der verschiedenen Analyse- und Simulationswerkzeuge wurden verschiedene Technologieschnittstellen entworfen (Partner USI), welche der gegenüber dem 2D-Entwurf deutlich größeren Komplexität der Interaktion gerecht werden. Eine Übersicht über alle Unteraufgaben, den Schnittstellen untereinander sowie den Schnittstellen zu anderen Aufgaben stellt Abbildung 5 dar.

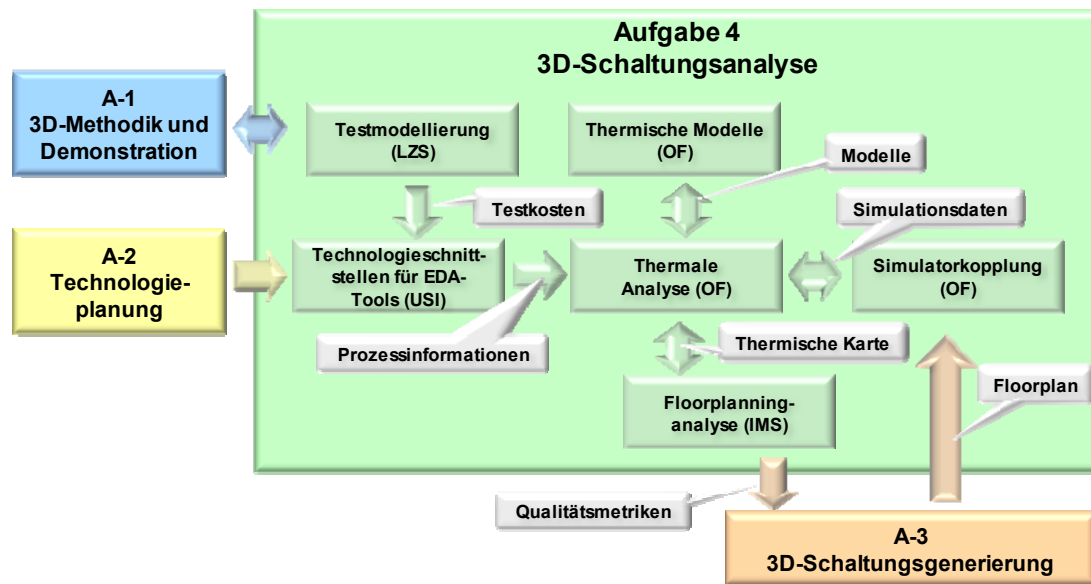


Abbildung 5: Überblick über die Zusammenarbeit in Aufgabe 4

Die Kompetenzbereiche der einzelnen Partner mit ihren Schnittstellen im Entwurfsprozess sind in Abbildung 6 dargestellt. Entsprechend diesen Kompetenzbereichen erfolgte auch die Arbeitsteilung im Projekt.

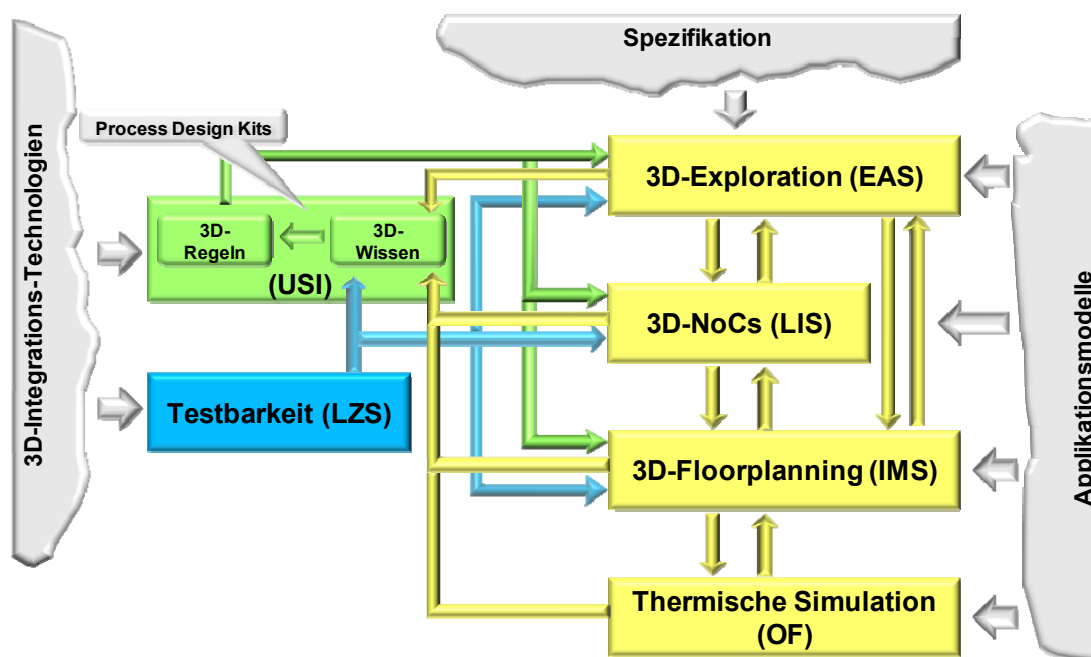


Abbildung 6: Arbeitsgebiete und Schnittstellen im Projekt

Ausgewählte Schwerpunktthemen im Projekt

Kostenfunktion (Ansprechpartner EAS)

Da die Auswahl der Fertigungstechnologie der einzelnen Chips, die Verbindungs- und Aufbautechnik sowie den sich daraus ergebenden Entwurf so zu konstruieren ist, dass minimale Stückkosten entstehen, war die Kostenfunktion ein zentraler Bestandteil des Clusterforschungsprojekts, an dessen Erstellung alle Projektpartner beteiligt waren. Es wurden Kosten berücksichtigt, die sowohl direkt anfallen, z.B. in Form von Testkosten, als auch indirekte Kosten z.B. in Form von Flächenangaben, Verlustleistung, Technologieverträglichkeit oder Störungen zwischen Komponenten, die zu

bestimmten Produktionskosten führen. Die Aufgabe des Partners EAS war es, diese individuellen Kostenanforderungen den Entwurfsdomänen zu einer gesamtheitlichen Kostenfunktion zu verbinden.

Technologiedatenbank (Ansprechpartner USI)

Die enge Verzahnung und die gegenseitige Abhängigkeit von Entwurf und Fertigung erfordert eine entwurfsebenen-übergreifende, dynamische Schnittstelle zwischen Technologie und Entwurf. Die Vielzahl an entwurfsrelevanten Technologieparametern legt ein datenbankbasiertes Integrationstechnologie-Managementsystem nahe. Mittels des in der Datenbank vorgehaltenen Wissens können entwurfsspezifische Integrationsflows generiert werden und die passende Technologieinformation mittels spezifischer PDKs ausgetauscht werden.

Neben der softwaretechnischen Realisierung einer Technologiedatenbank standen vor allen die Definition und der Umfang der von den Entwurfswerkzeugen benötigten Technologiedaten im Mittelpunkt. Zudem können Entwurfsentscheidungen auch die Technologiekonfiguration beeinflussen. Auch in diesem Fall mussten von den Projektpartnern entsprechende Schnittstellen zur Technologiedatenbank definiert werden.

Hierarchische 3D-Optimierungsverfahren (Ansprechpartner IMS)

Um die gemeinsam erarbeitete Kostenfunktion für das 3D-System minimieren zu können, wurde gemeinsam ein Optimierungsflow erarbeitet, an dem alle Partner beteiligt waren. Die zur Konvergenz erforderlichen übergeordneten Mechanismen im Optimierungsflow erforschten EAS und IMS in enger Abstimmung auf der Explorations- und Floorplanning-Ebene. Zur Berücksichtigung von Technologie- und Testaspekten kooperierten die beiden genannten Forschungseinrichtungen mit der USI und dem LZS. Zur Berücksichtigung thermischer Aspekte und der Netzwerkstruktur im Floorplanning kooperierten OF und LIS mit dem IMS. In Verbindung mit der Kostenfunktion ermöglichen die Optimierungsverfahren eine Reduktion der Verlustleistung und Erhöhung der Energieeffizienz.

Kooperation im Bereich SystemC/SystemC-AMS (Ansprechpartner OF)

Es erfolgte eine Kooperation mit dem Partner EAS, welche zum Ziel hatte, die Kopplung zwischen der funktionalen Simulation und der thermischen Simulation sowohl für SystemC als auch für SystemC-AMS zu ermöglichen. Im Rahmen der Kooperation wurde eine von OFFIS bereitgestellte Schnittstelle um thermische Aspekte erweitert. Hier floss das Know-how von EAS im Bereich der Simulation analoger Teile des Systems ein. Gemeinsam wurde eine Schnittstelle zum Austausch für die thermische Simulation relevanter Informationen entworfen.

Demonstrator (Ansprechpartner EAS)

Eine weiteres Ziel war es, einen Demonstrator einzusetzen, um die neuen Methoden exemplarisch in Form eines „Proof of Concept“ darzustellen. Problematisch ist, dass ein 3D-Entwurf mit enormen Kosten und Aufwänden verbunden ist, die den Projektrahmen sprengen würden. Daher verfolgte das Projekt den Ansatz, durch Kooperationen mit der Industrie und Förderprojekten bereits erzielte und verfügbare Modelle aus anderen Förderprojekten exemplarisch zusammenzuführen und die Methodik punktuell darzustellen. Der Demonstrator sollte folgende Eigenschaften aufweisen:

- Frei verfügbare Systemmodelle können über Simulationstechniken miteinander kommunizieren
- Es existiert ein Architekturmodell auf der Systemebene
- Im Gesamtsystem sind mehrere Prozessorcores enthalten
- Heterogene Module ermöglichen die sinnvolle Nutzung und Vergleich verschiedener Technologien
- Verschiedene Systemaufbauten werden bzgl. ihres Leistungsverbrauchs miteinander verglichen

1.4 Wissenschaftlicher und technischer Stand, an den angeknüpft wurde

Untersuchungen zur 3D-Integration im Bereich von Speichern wurden in den letzten zehn Jahren intensiv betrieben, siehe dazu z.B. [Ily03] und [Kri04], indem ein solcher Aufbau dargestellt ist. Beim Entwurf derartiger 3D- Speicher-Aufbauten ist auf Grund der geringeren Entwurfskomplexität (Stapelung gleichartiger IC) die Nutzung von Tools für den 2D-Entwurf möglich. Im Gegensatz dazu vergrößert sich bei 3D-Systemen mit analogen, digitalen und nichtelektrischen Komponenten und der damit verbundenen Heterogenität und Komplexität der Entwurfsraum sehr stark. Die vielfältigen

Randbedingungen wie sie durch thermische Belastung, Restriktionen bei der Anordnung der Teilkomponenten im Stapel, Platzierung der Vias, Testbarkeit, Testkosten und Verdrahtung entstehen, stellen eine neue und noch ungelöste Dimension beim Entwurf dar.

In [Lim09] wird gezeigt, dass die Nutzung von Tools für den 2D-Entwurf bei Mixed-Signal-Systemen schon bei sehr kleinen Aufbauten an ihre Grenzen stößt. Erste Versuche werden z.B. im Projekt 3Dim3v unternommen, bestehende 2D-Werkzeuge um Fähigkeiten für den 3D-Entwurf zu erweitern. Allerdings wird dort nur das Ziel verfolgt, EDA-Werkzeuge um einzelne Aspekte der 3D-Integration zu ergänzen, z.B. einen Platzierungsalgorithmus für Durchkontaktierungen durch das Chipsubstrat für Through Silicon Vias (TSV) zu erweitern. Die Aufgabe, unterschiedliche Entwurfsziele gleichwertig und gleichzeitig zu analysieren und damit einer Optimierung des Gesamtsystems zugänglich machen, ist mit angepassten 2D-Werkzeugen nicht möglich. Vorteile der Stapelung von Chips können für heterogene und komplexe Elektroniksysteme aufgrund fehlender Grundlagen im Entwurf nicht genutzt werden. Zu den Vorteilen der 3D-Integration zählen beispielsweise:

- Verringerung der Leitungslänge der Verbindungsstrukturen und die damit einhergehende Erhöhung der Performance bei sinkendem Energieverbrauch [Fee09, Mur09]
- kompakte Abmessungen des Gesamtsystems durch direkte Kontaktierung von ungehäuteten Chips, deren Substrate auf ein Minimum gedünnt sind,
- Integration mehrerer – vor allem energiesparender - Chiptechnologien, Sensoren und mechanischer Komponenten in einem Gehäuse

Das entscheidende Hindernis bei der Nutzung von 2D-Werkzeugen ist die fehlende gesamtheitliche Betrachtung der durch die Komposition der 3D-Systeme auftauchenden zusätzlichen Abhängigkeiten und Beeinflussungen neben individuellen neuen 3D-Lösungsstrategien. Die Herausforderung besteht darin, dass diese zum Teil sich widersprechenden Lösungsansätze beim 3D-Entwurf gleichzeitig und gleichwertig betrachtet und abgewogen werden müssen. Einige dieser Teilprobleme und deren Lösungsansätze sind zum Beispiel:

- Einfluss auf die Ausbeute und die Fertigungskosten [Mur09] einer Reduktion der Leitungslänge und damit einhergehend des Energieverbrauchs in den Verbindungsstrukturen nach [Fuj06]; Optimierung der Verbindungstechniken nach [Hun06]; Einfluss der Temperatur in Form steigender Leckströme und damit erhöhtem Energieverbrauch, beschrieben in [Che00]
- Einfluss der thermischen Vias auf die Temperaturableitung nach [Won06, LiZ06] und deren Nutzung bei Platzierung und Floorplanning nach [Kay04b]
- Einfluss der Einzelkosten und der Technologieplanung der Fertigungstechnologien auf die Gesamtkosten wie z.B. in [Mcl09], [Wee09]
- Analysen der Temperaturverteilung im System, auch in frühen Entwurfsphasen [Hel08b] und deren Auswirkung auf den Energieverbrauch
- Einfluss von eingebauten Testmitteln - wie z.B. die erweiterten Schaltungs- und Systemoptionen für Selbsttest, Selbstreparatur oder auch Selbstkalibrierung – auf Kosten und Material beim Wafer- und Produktionstest [Alt09]
- Einfluss der Technologie auf das Design-Kit; Zusammenstellung der Prozessschritte im Design-Kit (in Anlehnung zu Verfahren aus dem Bereich MEMS, siehe dazu [Gar08], [Tri04] und [Zha03]).

Eine separate Optimierung nur eines oder weniger Ziele, beispielsweise ein Entwurf ohne Berücksichtigung der Testkosten oder des Energieverbrauchs, führt dazu, dass die Wirtschaftlichkeit des Endprodukts nicht gewährleistet oder während des Entwurfs nicht bekannt ist [Cha09]. Darüber hinaus kann ein klassischer Entwurfsansatz mit voneinander getrennt ablaufenden Optimierungsschritten mit zum Teil widersprüchlichen Optimierungszielen [Els09] nicht zum Ziel führen.

NEEDS verfolgte deshalb den Ansatz, ein ganzheitliches Verfahren zu erforschen, das alle wichtigen Kosten- und Performanzfaktoren (IC- und Verbindungstechnologie, thermische Probleme, Testkosten etc.) gleichberechtigt in die Optimierung eines Systemkonzepts einbezieht und Grundlagen für ein 3D-Designkit legt.

1.5 Partnerprofile

Forschungspartner Fraunhofer Institut für Integrierte Schaltungen (EAS)

Das Fraunhofer-Institut für Integrierte Schaltungen IIS ist eine der wichtigsten deutschen Forschungseinrichtungen für die Entwicklung von mikroelektronischen Systemen.

Die Wissenschaftler im Institutsteil Entwurfsautomatisierung EAS in Dresden entwickeln Methoden und Werkzeuge für den zuverlässigen Entwurf von immer komplexeren elektronischen und mechatronischen Systemen. Dadurch optimiert und beschleunigt sich die Umsetzung von Produktanforderungen in Schaltkreise, Geräte oder komplexe Sensorsysteme. Einen weiteren Schwerpunkt der Arbeiten bilden innovative Eigenentwicklungen, zum Beispiel in der Bildsensorik oder im Energiemanagement für Gebäude. Eine wesentliche Aufgabe bei allen Aktivitäten ist es, die Lücke zwischen neuartigen Herstellungstechnologien und dem Systementwurf zu schließen.

National und international ist die Einrichtung mit anderen Forschungsstätten vernetzt und in zahlreiche Standardisierungsaktivitäten eingebunden. Ihre Arbeitsergebnisse werden zum Beispiel in der Kommunikationstechnik, der Fahrzeugtechnik oder der Automatisierungstechnik eingesetzt.

Die Gruppe Advanced und 3D-Systemintegration beschäftigt sich mit neuartigen Aufbau- und Verbindungstechniken für mikroelektronische Systeme. Das umfasst auch neueste Aufbauvarianten wie die 2.5D oder 3D Integration von Baugruppen, welche eine extreme Miniaturisierung dieser Komponenten ermöglicht.

Forschungspartner Technische Universität München (LIS)

Der Lehrstuhl für Integrierte Systeme (LIS) der Technischen Universität München beschäftigt sich mit dem Entwurf von Multiprozessor System-on-a-Chip (MPSoC) Architekturen, deren Machbarkeit und Performanz durch prototypische Realisierungen auf der Basis von FPGAs nachgewiesen wird. Zielanwendungsgebiete sind Automobilelektronik, Netzwerkprozessoren und Videoverarbeitung. Besondere Schwerpunkte liegen auf heterogenen Architekturen mit generischen und applikationsspezifischen HW Beschleunigern, on-Chip Kommunikationsstrukturen zur Verbindung von Verarbeitungsressourcen, Speichern und externer Schnittstellen sowie die hardware-unterstützte Virtualisierung eingebetteter Systeme. Zur Erhöhung der Fehlertoleranz von Mehrkernarchitekturen wird an bio-inspirierten Ansätzen der Selbstorganisation und HW-basiertem Maschinelernen geforscht. Ein weiterer methodischer Schwerpunkt liegt im Konzept des invasiven Rechnens zu optimierter Nutzung der nominellen Rechenkapazität von Vielkernarchitekturen. Werkzeuge zur Bewertung von Architekturen in Bezug auf Verarbeitungsperformance und Energieeffizienz runden das Portfolio ab.

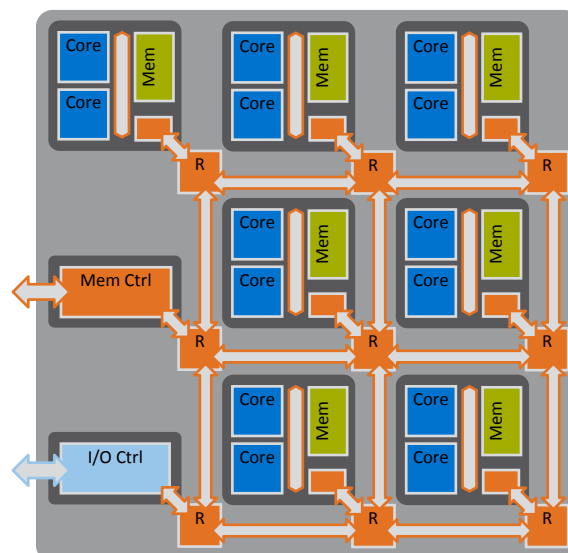


Abbildung 7: Gekachelte Multicore Prozessor Architektur

Forschungspartner OFFIS (OF)

OFFIS (OF) fokussiert sich in seinem Kompetenz-Center „Design Automation“ auf aktuelle Forschungen im gesamten Bereich der Entwurfsautomatisierung. Ein besonderer Themenschwerpunkt liegt hierbei auf der Berücksichtigung nichtfunktionaler Eigenschaften wie den klassischen Eigenschaften Fläche und Zeitverhalten. Letzteres wird in verschiedenen Gruppen des OFFIS von der Vorhersage eines Gatter Delays über die Verzögerungen aufgrund von Bus- oder Speicher-Konflikten, bis hin zur Sicherung der Echtzeitfähigkeit verteilter eingebetteter Systeme erforscht. Neben diesen klassischen Eigenschaften kommen mit jeder weiteren Technologiegeneration zusätzliche nichtfunktionale Eigenschaften hinzu, deren Berücksichtigung der zweite große Schwerpunkt im Kompetenz-Center ist: In aktuellen Technologien sollten der Energiebedarf der Rechenoperationen (dynamische Verlustleistung), die Verlustleistung aufgrund von Leckströmen (statische Verlustleistung), der Einfluss von Prozess-, Temperatur- und Spannungsvariationen auf Energie- und Zeitverhalten (PTV Variationen), die Auswirkung von Alterungseffekten auf Energie und Zeitverhalten (aging), die Selbsterwärmung der Systeme, sowie die Auswirkung von Alterung und Fehlern auf die Zuverlässigkeit (reliability) und Robustheit der Systeme beim Entwurfsprozess mit berücksichtigt werden.

OFFIS forscht und forschte in zahlreichen BMBF und, Clusterforschungs-Projekten; in den CATRENE, ENIAC und ARTEMIS Programmen der EU und in Projekten des sechsten und siebten Rahmenprogrammes der EU (ICT) an EDA Methoden zur Berücksichtigung der oben genannten Effekte und insbesondere auch den gegenseitigen Auswirkungen zwischen den Effekten (z.B.: bewirkt eine Erhöhung der Temperatur eine Erhöhung der Leckströme, aber auch eine Beschleunigung der Alterung, was dann zum einen zu einer zusätzlichen Selbsterwärmung und zum anderen einer deutlichen Reduktion der Lebenserwartung führt).

Forschungspartner Leibniz Universität Hannover (IMS)

Das Institut für Mikroelektronische Systeme (IMS) der Leibniz Universität Hannover wurde 1992 gegründet. Das Fachgebiet Entwurfsautomatisierung hat seinen Schwerpunkt in Forschung und Lehre auf dem Gebiet der computergestützten Entwurfsverfahren für Schaltungen und Systeme. Das Institut kooperiert innerhalb einer Vielzahl von Forschungsvorhaben mit verschiedenen großen deutschen Halbleiter- und EDA-Firmen. Die fokussierten Themenbereiche des Fachgebietes sind „Verfahren für den physikalischen Entwurf“ und „Entwurf analoger integrierter Schaltungen“. Im Bereich der Entwurfsverfahren für dreidimensional integrierte Schaltungen besitzt das IMS langjährige Erfahrungen: In den BMBF-geförderten Projekten VSI (BMBF 01M2999), LEONIDAS (BMBF 01M3060) und LEONIDAS+ (01M3074) wurden am IMS bereits ein 3D-Floorplanner und ein 3D-Platzierer für dreidimensional angeordnete digitale Standardzellen erforscht (Abbildung 8). Dabei sind zwei Promotionen entstanden [Sal05, Kay04b]. Die Arbeiten zur 3D-Platzierung wurden seitdem am IMS fortgesetzt [Ohl07].

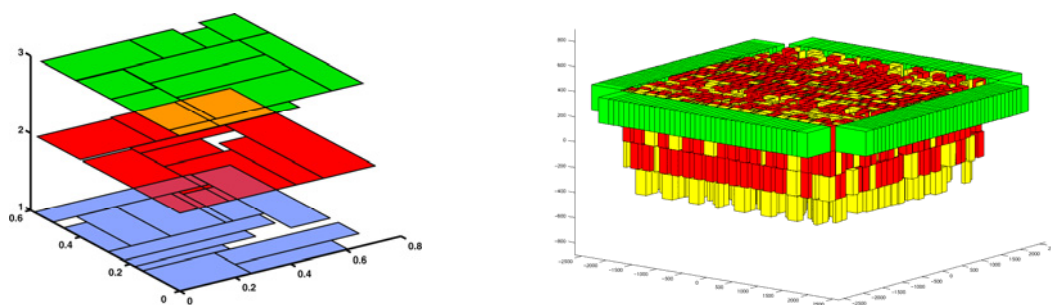


Abbildung 8: 3D-Floorplanning und 3D-Platzierung

Forschungspartner Universität Siegen (USI)

Das Institut für Mikrosystemtechnik der Universität Siegen (USI) bündelt Kompetenzen im Bereich der Forschungen zu den Fertigungsverfahren, der Schaltungstechnik und des Entwurfs von Mikrosystemen mit (nano-)elektrischen und nicht-elektrischen Komponenten. Ausgehend von Forschungsarbeiten im Bereich der Werkzeuge für den Layoutentwurf analoger Schaltungen wurden zunehmend fertigungsbezogene Aspekte des Schaltungs- und Systementwurfs in den Fokus des Interesses gerückt. Der Lehrstuhl Mikrosystementwurf (MSE, Prof. Dr. Rainer Brück) beschäftigt sich

seit ca. fünfzehn Jahren mit Methodik und Werkzeugentwurf für die Mikro- und Elektroniksystemtechnik. Im Mittelpunkt der Forschungen steht dabei die Schnittstelle zwischen den Fertigungsprozessen und dem Systementwurf. In bilateralen Industrieprojekten (u.a. mit Robert Bosch GmbH, Corporate Research 2002-2004) und EU-Projekten (PROMENADE 2004-2007) wurde ein Prozessdesignsystem erforscht, das eine Grundlage der Arbeiten zur Technologieplanung in NEEDS (2010- 2013) war. Im IKT 2020 Projekt Leonidas+ wurde die Verifikation von Technologie- und Schaltungsconstraints erforscht. Im einem weiteren vom Lehrstuhl MSE initiierten EU-Projekt (CORONA 2008-2011) stand zudem das komplette Product Engineering von Mikrosystemen im Vordergrund. Auch hier zielten die Beiträge der Uni Siegen auf die Schnittstelle zwischen Design und Fertigung. In einem kürzlich beendeten KMU-innovativ-Projekt (MiDes 2010-2013) wurde eine Entwurfsablaufsteuerung speziell für den MST-Entwurf bei kleinen und mittleren Unternehmen vorgestellt.

Forschungspartner Universität Erlangen-Nürnberg (LZS)

Das Arbeitsgebiet des neuen Lehrstuhls Zuverlässige Schaltungen und Systeme (LZS) an der Friedrich Alexander Universität Erlangen-Nürnberg ist seit April 2009 auf dem Gebiet der Methoden und Verfahren für Entwurf, Verifikation, Test und Diagnose von zuverlässigen Schaltungen und Systemen der Elektrotechnik, Elektronik und Informationstechnik. Schwerpunkte in der Lehre, Ausbildung und Forschung sind bei den Themen Hardware-Unterstützte Schaltungs- und Systemdiagnose, Methoden des Integrierten Schaltungsentwurfs, Hardware-Beschreibungssprachen und Anwendung, Mathematische Methoden der Zuverlässigkeit, und Modellierung, Standardisierung und Produktionstest. Der neue Lehrstuhlinhaber Professor Dr.-Ing. Sebastian M. Sattler hat im Rahmen seiner 14-jährigen Industrietätigkeit profunde Erfahrungen und Expertise auf dem Gebiet des Produktionstestens sammeln können (über 70 Veröffentlichungen und 36 Patente/Offenlegungen, insbesondere im Bereich Analog, Mixed-Signal und RF Testen). Er hat die vier öffentlich geförderte Projektkonsortien SADE, VIRTUS, AZTEKE und MAYA durchgeführt und in 2005 den EDA Achievement Award für besondere Forschungs- und Entwicklungsleistungen im Produktionstest von integrierten Schaltungen mit Mixed-Signal Anteil erhalten. Der Lehrstuhl verfügt über ein Testlabor (130m² Reinraum).

1.6 Bezug zu weiteren Projekten

Im Projekt **KASS** (01M3163) wurde unter anderem die in Abbildung 9 dargestellte 3D-Lösung für eine Kamera, verbunden mit einem Mikroprozessor, entwickelt. Forschungsschwerpunkt in KASS war die Technologieentwicklung, wobei auch thermische und elektrische Modelle für Vias und Balls durch EAS entwickelt wurden. Außerdem fanden die Layoutarbeiten für das System bei EAS statt. Diese konnten zum großen Teil nur mit 2-D Werkzeugen und mit vielen Iterationen durchgeführt werden. Daraus ergaben sich die Grenzen dieses Vorgehens und die sich daraus für NEEDS abzuleitenden Aufgaben einen einheitlichen Optimierungsansatz – von der RT-Ebene bis zum Layout – für 3D-Systeme zu entwickeln.

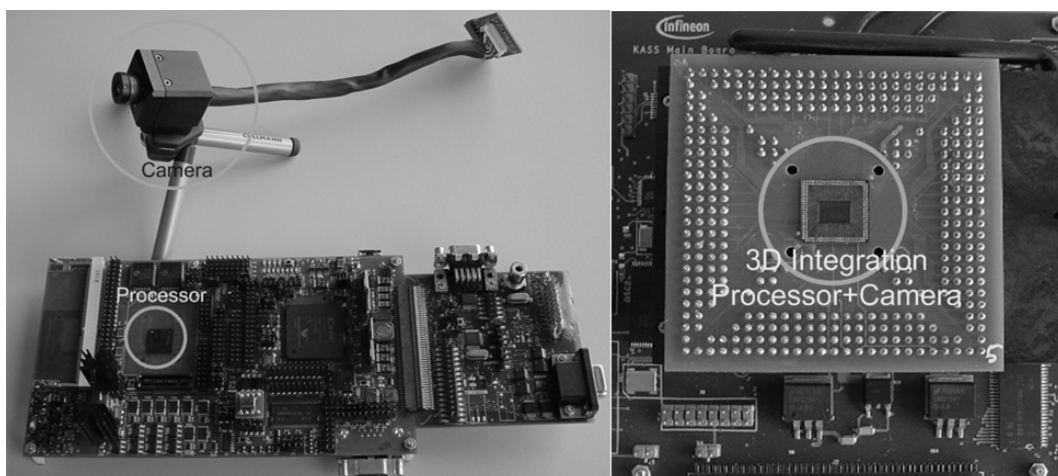


Abbildung 9: Demonstrator im KASS-Projekt

Im Projekt **eCubes** (IST-026461) wurde der in Abbildung 10 dargestellte Reifendrucksensor, Tire Pressure Monitoring System (TPMS), durch EAS mitentwickelt. Dabei fanden ebenfalls thermische und elektrische Simulationen der Vias, Balls und Bumps statt. Auch wurden thermische Simulationen eines ganzen Stapels durchgeführt, wobei die Energie erzeugenden Bauteile und deren Verlustleistung manuell ermittelt wurden. Diesen Nachteil wollte NEEDS mit seinem ganzheitlichen Ansatz beheben.

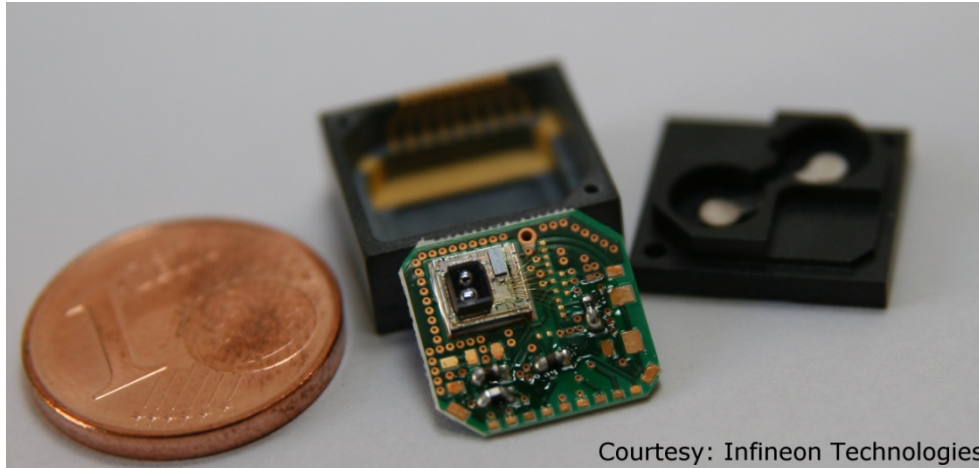


Abbildung 10: Miniaturisierter Reifendrucksensor aus dem Projekt eCUBES

Im Projekt **Dionysys** (BMBF 01M3084) wird die Integration unterschiedlicher ungehäuseter Chips auf einem Modulsubstrat als System-In-Package untersucht. Da das Projekt auf Hochfrequenzsysteme fokussiert ist, steht die Modellierung parasitärer Effekte mit Methoden der EM- und Schaltungssimulation im Mittelpunkt. Dabei wird die Entwurfssicherheit eines konkreten SiP-Designs durch bessere Modellierungsmethoden und einer Sprache für 3D-Designregeln verbessert. Dionysys ermöglicht es jedoch nicht, die enorme Vielfalt verschiedener Realisierungskonzepte eines Systems zu vergleichen. NEEDS entwickelte Methoden zur Design-Space-Exploration und zum Floorplanning, die es gestatten, ein kosten- und performanceoptimales Systemkonzept zu identifizieren, das dann unter Verwendung von Methoden aus Dionysys implementiert werden kann.

Im Projekt **CoSIP** soll ein SIP-Datenmodell und dessen Schnittstellen zu bekannten Entwurfstools definiert werden. Diese Schnittstellen können von NEEDS genutzt werden. Allerdings werden in CoSIP keine Entwurfsmethoden entwickelt, so dass bestimmte, sich durch die 3D-Integration ergebende Vorteile über diese Schnittstelle nicht weitergereicht werden können. Dazu zählt z.B., dass die Durchkontaktierungen bei CoSIP weiterhin nicht global betrachtet und optimiert werden. Diese Optimierung bietet erst NEEDS.

Im Projekt **3DIM3v** sollen 3D-Systemaufbauten unter Benutzung von "Through Silicon Via (TSV)" und "Through Mold Via (TMV)" erarbeitet werden. Schwerpunkt ist die Entwicklung und Bereitstellung der nötigen Grundlagen zur designtechnischen Erfassung der vertikalen 3D-Kontakte für das vertikale Stapeln von Siliziumbauelementen. Besonderer Fokus ist im deutschen Antrag die Berücksichtigung von Anwendungen im mm-Wellenbereich, da dieses Gebiet designtechnisch noch völlig unerforscht ist und sich hier interessante Anwendungsfelder mit hohem Produktpotential ergeben. Die Ergebnisse aus den weiteren Projekten eCubes (FW7), KASS (BMBF) und CoSIP (BMBF/MEDEA+) werden hinsichtlich der speziellen Anforderungen für 3D-Aufbauten für mm-Wellenapplikationen berücksichtigt und hinsichtlich der konkreten Gegebenheiten bei der 3D-Integration ergänzt und weiterentwickelt. Hohe Integrationsdichte im 3D-Stack und die hohen Frequenzen sind dabei neue Herausforderungen, die durch adäquate Methodiken, Teilflows und angepasste Modelle unteretzt werden müssen. Im Projekt 3DIM3v wurde versucht, bestehende 2D-Werkzeuge um einzelne Anforderungen des 3D-Entwurfs zu erweitern. NEEDS verwirklichte dagegen die durch den 3D-Entwurf entstehende Anforderung, die Optimierung sehr unterschiedlicher Ziele in einem gemeinsamen Prozess zu verwirklichen.

Das BMBF-Verbundprojekt **VSI** (Vertical System Integration, BMBF 01M2999) erforschte Technologien und Entwurfsmethoden von 3D-Systemen. Die in VSI entwickelten Floorplanning-Algorithmen für dreidimensionale Module bieten grundlegende Erfahrungen, auf denen NEEDS

aufbauen wird. Industrielle Anforderungen zur dreidimensionalen Platzierung können aus **LEODINAS+** (BMBF 01M3074) in NEEDS genutzt werden. Das Projekt **CLEAN** (ICT FP6 2005-2008) legte Grundlagen zur abstrakten Vorhersage der Verlustleistung großer Systemkomponenten in 65nm- und 45nm-Technologien unter Berücksichtigung von Prozessvariation. Das Clusterforschungsprojekt **ROBUST** (BMBF 01M3087) erweiterte sowohl das Komponenten-, als auch das Systemmodell um den Aspekt der Zuverlässigkeit ohne die Berücksichtigung von 3D-Effekten.

2 Technische Ergebnisse

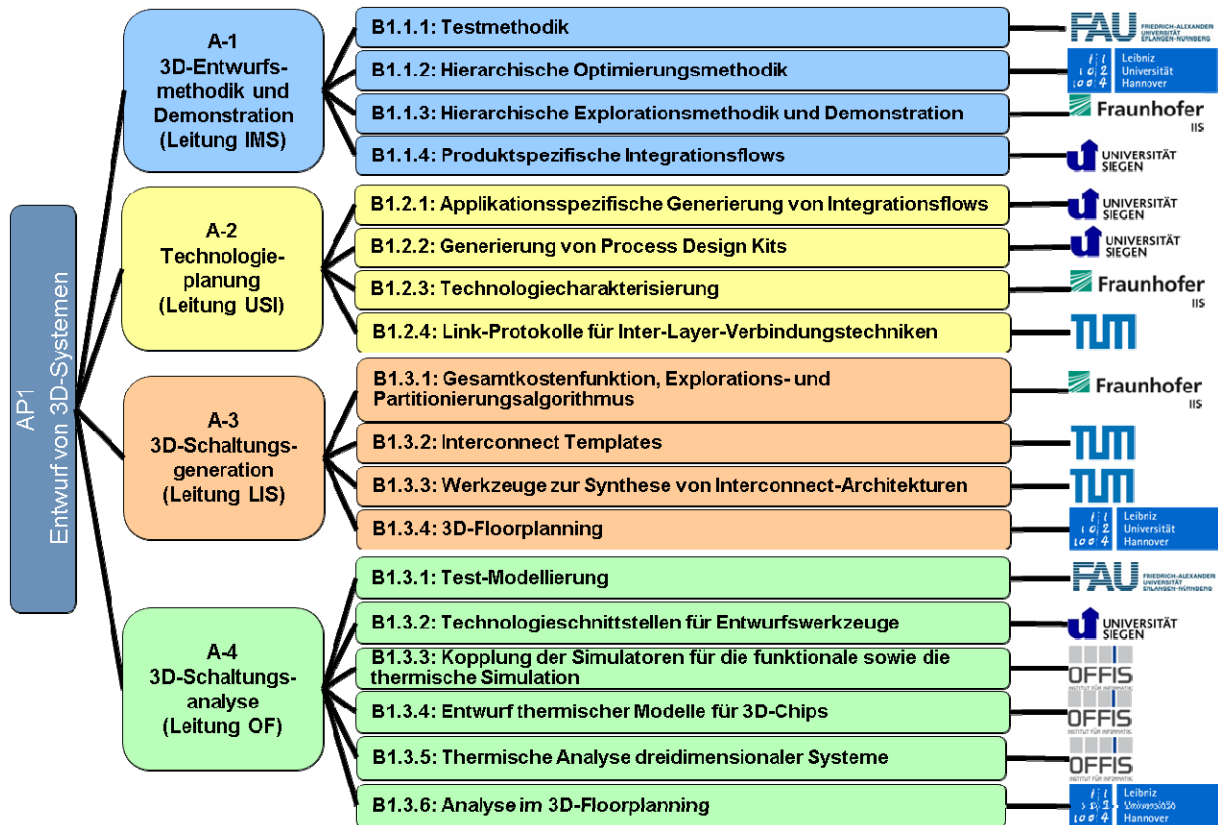


Abbildung 11: Beiträge im Überblick

Abbildung 11 zeigt die vier Arbeitspakete und die Zuordnung der Partner und Abbildung 12 die Einordnung der einzelnen Arbeiten.

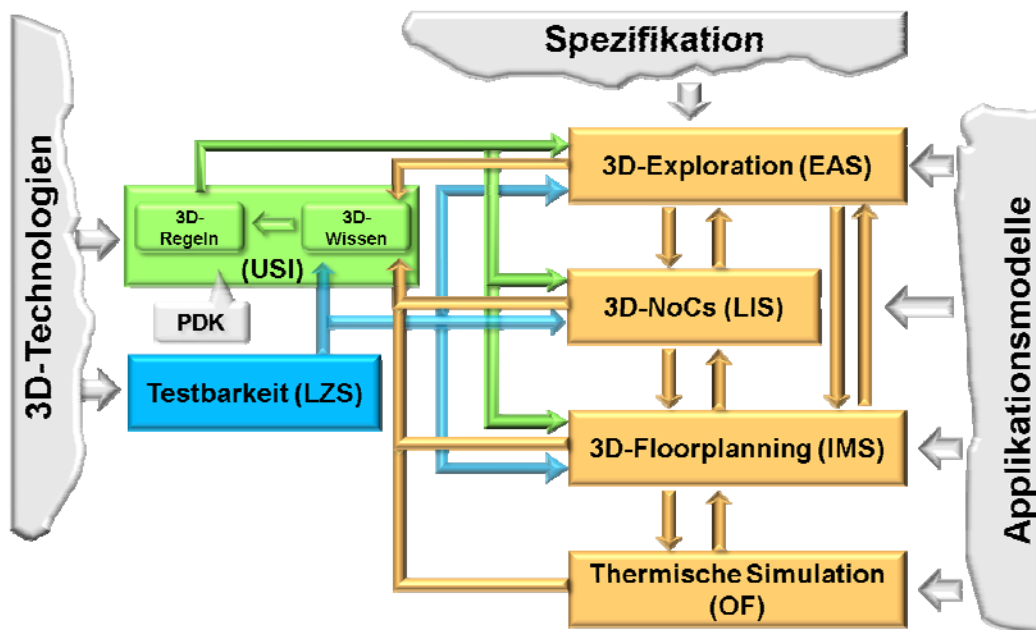


Abbildung 12: Einordnung der Arbeiten der Partner in NEEDS

2.1 Aufgabe 1: 3D-Entwurfsmethodik und Demonstration

Die Aufgabe 1 umfasst die Testmethodik (Beitrag 1.1), sowie die hierarchische Optimierungsmethodik (Beitrag 1.2) für den 3D-Entwurf. Der Beitrag 1.3 befasst sich mit der hierarchischen Explorationsmethodik und Demonstration und abschließend wird auf produktspezifische Integrationsflows (Beitrag 1.4) eingegangen.

Beitrag 1.1: Testmethodik (LZS)

Problemstellung

Wesentliches, neues Merkmal des „Integrierten 3D-Testentwurfs“ wird seine Fähigkeit sein, kostenrelevante und kostenbestimmende Vorhersagen zu verwendeten on-Chip und off-Chip Testmitteln zu treffen, noch bevor explizite Messwerte aus der Massenfertigung vorliegen. Dazu müssen Methoden und Werkzeuge vorhanden sein, welche die Modellierung und statistische Auswertung von analogen und digital analog gemischten Schaltungskonfigurationen in Hinblick auf ihre 3D-Systemintegration und Testabdeckung im Wafer- und Produktionstest erlauben; noch bevor statistische Auswertungen aus der Hochvolumenfertigung vorliegen.

Ergebnisse

Es wurde eine Methodik für die Klassifizierung von on-Chip und off-Chip Testmitteln vorgestellt, welche für analoge und digital analog gemischte Schaltungen und Systeme alle geforderten und aktuell bekannten Testmittel und deren Einsatz geeignet erfasst. Die durch das jeweilige Testmittel vorgegebenen Randbedingungen und die dabei zu modellierenden Datenmengen wurden auf ihre charakteristischen Eigenschaften reduziert. Das Verfahren ist geeignet, aus statistischen Datensätzen Fehlverhalten mit Hilfe der Trennung mit Hyperebenen zu extrahieren. Die im 3D-Entwurf anfallenden Testkosten können damit konsistent modelliert werden. Jede Teilkomponente wird dabei mit einer Testabdeckung (Test Coverage) ausgestattet.

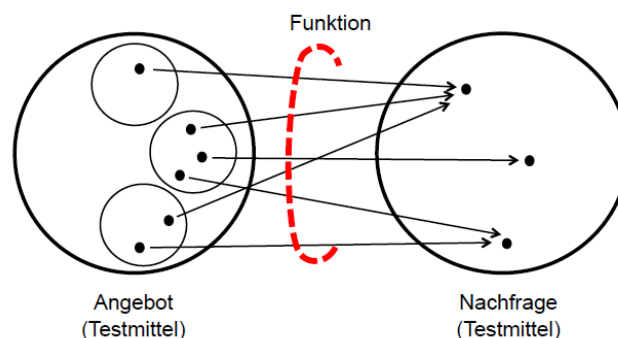


Abbildung 13: Klassifizierung mit Hilfe der Kombinatorik

Auch wurde ein Katalog definiert, welcher die vorhandenen Messmittel und Testmethoden nach Eignung und Verfügbarkeit, Messaufgabe und Messgrößen unterscheidet (Abbildung 13). Möglichkeiten der Implementierung wurden dazu hinsichtlich ihres Aufwandes bzgl. Programmierung und Ressourcenbindung erfasst. Der Umfang entspricht der Implementierung an einem SOC und 3D-Objekt und beinhaltet den Stand der Technik und Freiheitsgrade in aktueller und vorausschaubarer Zukunft. Die Einflüsse des Loadboards können damit ebenfalls berücksichtigt werden inkl. Kostenabschätzungen aus Zeitaufwand und Genauigkeitsabschätzungen.

Beitrag 1.2: Hierarchische Optimierungsmethodik (IMS)

Problemstellung

Der Entwurf von Systemen stellt grundsätzlich ein Optimierungsproblem dar. Bereits die Komplexität eines 2D-Systems allerdings ist mit aktuellen Optimierungsverfahren nicht in einem Schritt beherrschbar, was die Aufteilung nach dem Teile-und-Herrsche-Prinzip erzwingt. Dabei werden sowohl Top-Down- als auch Bottom-Up-Entwurfsschritte gemischt verwendet. Es ist allerdings kein allgemeines Verfahren bekannt, welches in einem solchen hierarchischen Optimierungsflow die Frage

beantwortet, wie die Konvergenz sichergestellt werden kann und in welcher Reihenfolge welche lokalen Optimierungsschritte zu wählen sind, um ein möglichst gutes Resultat bezüglich der Kostenfunktion zu finden. Bei der Komplexität und Inhomogenität von 3D-Systemen ist eine solche neue Methode zwingend erforderlich.

Ergebnisse

In einem ersten Schritt wurde ein theoretisches Modell zur hierarchischen Optimierung aufgestellt und anschließend untersucht, wie die verschiedenen Optimierungsschritte sich gegenseitig beeinflussen können und welche Möglichkeiten es gibt, das gesamte Optimierungsverfahren konvergieren zu lassen. Das Modell ist in Abbildung 14 dargestellt. Es ist aufgeteilt in einen Globaloptimierer, der für die Optimierung des Gesamtproblems P verantwortlich ist und dementsprechend eine Kostenfunktion $f(P,x)$ minimiert und die Lösung x berechnet. Aufgrund der Komplexität von P findet eine Aufteilung in die Teilprobleme P_1 und P_2 statt, die jeweils von Teiloptimierern gelöst werden. Der Prozess aus Aufteilen von P in P_1 und P_2 , Lösen von P_1 und P_2 und Zusammenführen der Teillösungen zu der Gesamtlösung für P wird mehrmals wiederholt, um eine möglichst dem Optimum nahe Lösung x für P zu finden. Die Steuerung der Teiloptimierer ist ausschließlich über die Definition von P_1 und P_2 möglich, so dass diese sorgfältig gewählt werden müssen, damit der beschriebene iterative Prozess konvergiert. Da dies vor allem an der zu lösenden Problemklasse liegt, wurde in einem zweiten Schritt das theoretische Modell auf die in NEEDS zu bearbeitenden Problemklassen und verwendeten Optimierern angewendet.

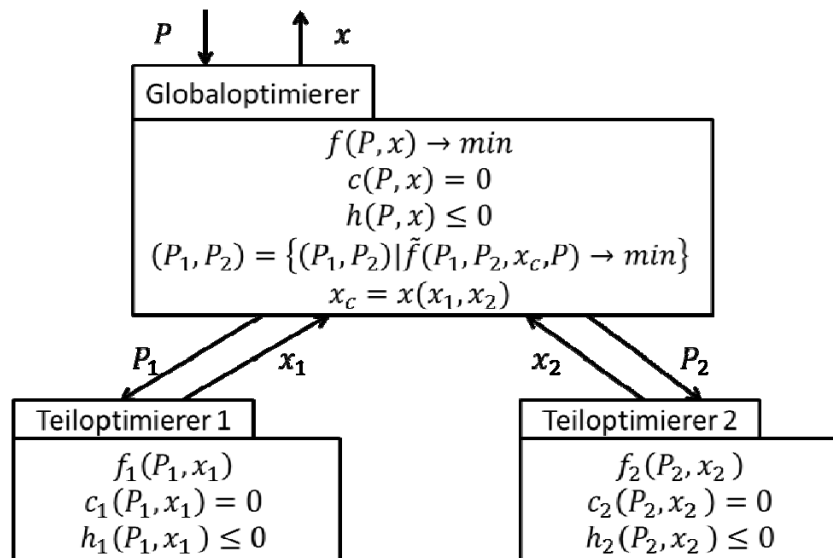


Abbildung 14: Hierarchische Optimierung

Auf Basis des theoretischen Modells wurde mit allen Projektpartnern gemeinsam ein hierarchischer Optimierungsflow definiert, aus dem ein Ausschnitt in Abbildung 15 zu sehen ist. Die globale Optimierung wird durch die Exploration (EAS) durchgeführt. Teiloptimierer sind der NoC-Planer (LIS), der für die Kommunikationsverbindungen zuständig ist und der Floorplanner (IMS), der für die Anordnung der IP-Cores im 3D-Design verantwortlich ist. Die Kommunikation findet, ähnlich dem theoretischen Modell, über Teilproblemdefinitionen und -lösungen (Floorplan und NoC-Topologie) statt. Die Kostenfunktionen und Randbedingungen des Globaloptimierers und der Teiloptimierer wurden aufeinander abgestimmt, um auf allen Ebenen zielführend auf das globale Optimum hin zu optimieren. Damit der Gesamtoptimierungsflow konvergiert, gibt es für die Exploration die Möglichkeit, in die Teilproblemdefinitionen zusätzliche Randbedingungen einzufügen. Im Falle des Floorplanners ist dies beispielsweise die Einschränkung der Verschiebung von IP-Cores, so dass ein bereits vorhandenes Zwischenergebnis (Floorplan) nicht komplett verworfen wird, sondern nur geringe Veränderungen gemacht werden. Wird die mögliche Verschiebung von IP-Cores mit fortschreitender Zeit immer stärker reduziert, konvergiert das Ergebnis des Floorplanners. Mit einer vergleichbaren Randbedingung beim NoC-Planer erreicht man auch dort, dass das Verfahren konvergiert. Da sowohl der Floorplan als auch die NoC-Topologie konvergieren, konvergiert konsequenterweise die Gesamtlösung.

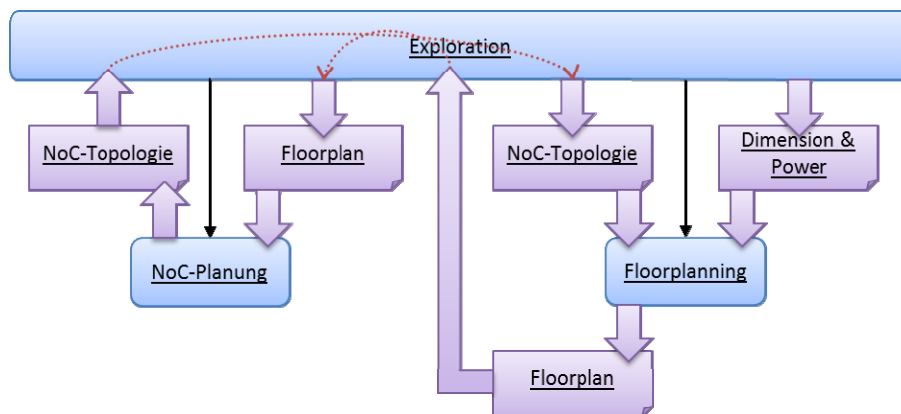


Abbildung 15: Hierarchischer Optimierungsflow in NEEDS

Beitrag 1.3: Hierarchische Explorationsmethodik und Demonstration (EAS)

Motivation

More-than-Moore-Technologien bieten vielfältige Möglichkeiten zur physikalischen Implementierung elektronischer Systeme. Die Baugruppen des Systems werden dabei auf mehreren Dies, die in verschiedenen Halbleitertechnologien hergestellt sein können verteilt angeordnet. Neben der Anzahl verwendeter Dies können verschiedene Aufbautechnologien, z.B. mit oder ohne Interposer und verschiedene Aufbaureihenfolgen zum Einsatz kommen. Die Auswahl der physikalischen Implementierung hat entscheidenden Einfluss auf die erreichbare Performanz, Zuverlässigkeit und die späteren Herstellungskosten des Systems. Die folgenden Fragestellungen sind bei der Auswahl des Implementierungskonzepts zu beantworten:

- Anzahl von Dies im System jeweils deren Größe und deren Halbleitertechnologie
- Integration passiver Bauelemente
- Stapelung oder Integration nebeneinander oder eine Mischung aus beidem
- TSV-basierte Integration und/oder alternative Wafer-Level-Packaging-Technologien
- Auswahl der Interconnect-Technologien
- Zusätzliche Assemblierungs-Technologien und deren Einfluss auf das thermische Budget in der Fertigung
- Packaging- und Entwärmungskonzept
- Testbarkeit des Systems

Während sich beim SoC-Entwurf Kosten und erreichbare Geschwindigkeit aus den Daten einer Halbleitertechnologie von einem Systemingenieur noch mittels Abschätzungen relativ gut vorhersagbar sind, ist dies beim 3D-Entwurf auf Grund des Vielfachen an Freiheitsgraden und Einflussfaktoren - mit vertretbarem Aufwand - nicht mehr möglich. Die Auswahl und richtige Kombination der Technologien ist in dem großen Entwurfsraum ohne die Unterstützung durch ein Tool zur Design-Space-Exploration (DSE) nicht denkbar. Ziel ist es dabei, dem Package-System-Architekten (oder auch Systemingenieur) Implementierungsvarianten und deren Vor- und Nachteile aufzuzeigen und damit dessen Entscheidung zu erleichtern. Im SoC-Design findet die Planung des Packages oft erst spät, nach Beginn des IC-Designs und ohne Berücksichtigung des Leiterplattendesigns, statt. Konzeptionelle Fehler lassen sich dann nur schwer und häufig nur unter Aufwendung von erheblichen Kosten beheben. Im klassischen SoC-Design wird dieses Vorgehen aber immer noch verwendet, da es noch keine Alternativen gibt. Bei vielen Projekten wird deshalb auf Standardpackages und Daten ausvorherigen Projekten zurückgegriffen zu denen Erfahrungswerte vorliegen. Die technologische Vielfalt der 3D-Integration erfordert indes eine frühzeitige Entscheidung, wie Dies und Herstellungstechnologien im System kombiniert werden.

Hierarchisches Explorationsverfahren

Im Projekt NEEDS werden bei der DSE besonders die Gesichtspunkte:

- Technologieablauf,
- Floorplanning,
- Thermische Analyse,
- Network-on-Chip-Planung,
- und Testbarkeit

betrachtet. Die isolierte Optimierung eines einzelnen Gesichtspunkts kann zur Verschlechterung anderer Eigenschaften führen. Ansatz des Projekts NEEDS ist es daher über die Design-Space-Exploration gesteuert in einem hierarchischen Verfahren Teiloptimierungen durchzuführen. Deren Ergebnisse werden im gesamten Kontext bewertet. In einem iterativen Prozess werden gültige Implementierungsvarianten generiert, aus denen der Systemdesigner auswählen kann.

Für die im Projekt NEEDS entwickelte DSE werden verschiedene Eingaben des Systemingenieurs benötigt. Diese Vorgaben des Systemingenieurs haben sich in der Projektlaufzeit sowohl durch Diskussionen zwischen den Projektpartnern als auch durch Diskussionen mit den betreuenden Firmen ergeben und wurden beständig weiterentwickelt.

Eine andere wichtige Eingabe für die Exploration ist der Modulgraph des zu implementierenden Systems. Ein Beispiel ist in Abbildung 16 dargestellt.

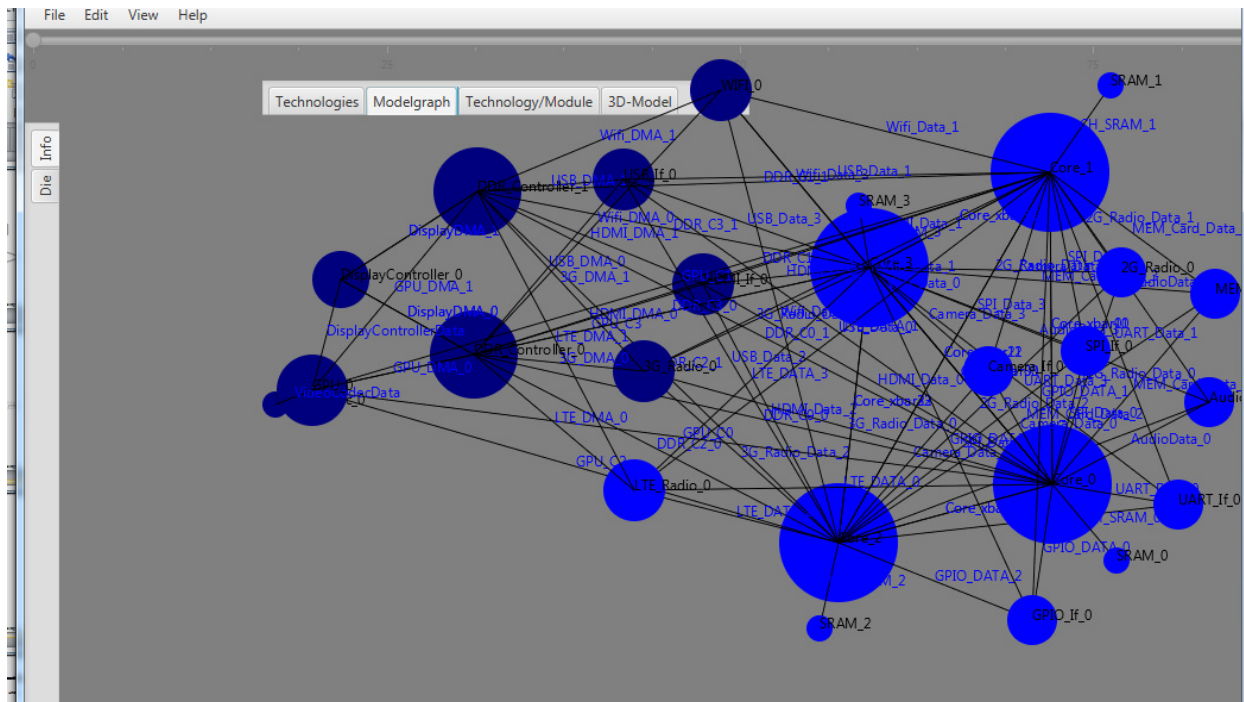


Abbildung 16: Beispiel eines Modulgraphen

Aufbauend auf diesen Eingaben des Systemingenieurs wurden im Projekt NEEDS eine zweistufige DSE entwickelt. Diese teilt sich in eine große Iterationsschleife in die eine kleinere Iterationsschleife eingebunden ist. Abbildung 19 Abbildung 17 zeigt das Konzept der großen Iterationsschleife für die DSE, bei der die Teiloptimierer Floorplanning, NOC-Generierung und Technologieplanung mehrfach aufgerufen werden.

Für solch eine Optimierung ist eine wesentliche Voraussetzung, dass alle Teiloptimierer mit den gleichen Daten arbeiten können. Deshalb wurden an den Schnittstellen einheitliche Datenformate definiert, was einen großen Teil der Arbeit einnahm. Die entwickelten und verwendeten Datenformate sind in Abbildung 19 eingezeichnet und werden im Abschnitt „Schnittstellen zu Teiloptimierern“ ausführlicher dargestellt.

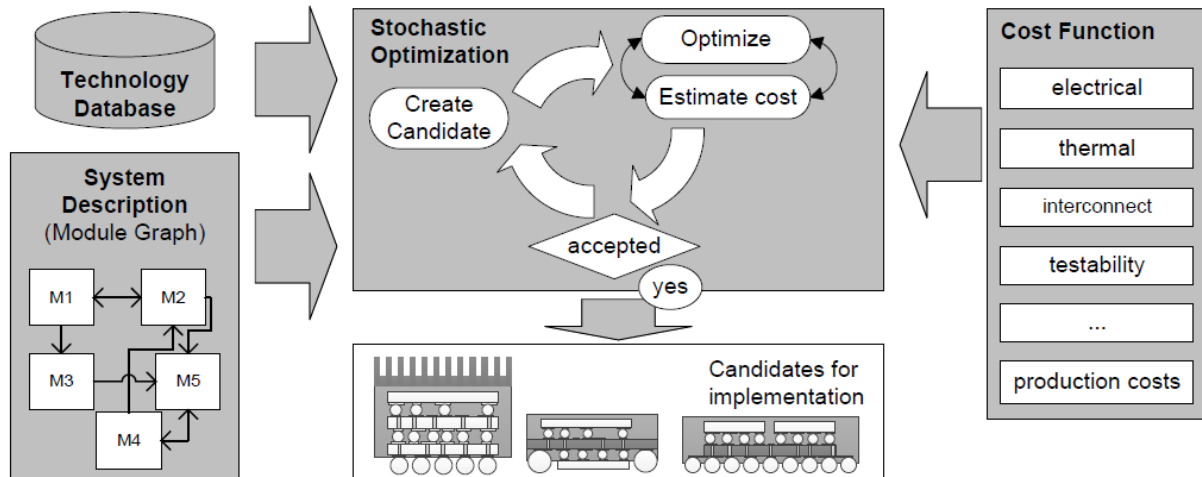


Abbildung 17: Design-Space-Exploration für physikalische Implementierung 3D-integrierter Systeme

Die innere (eingebettete) Iterationsschleife beinhaltet die wesentlichen Arbeiten die durch den Projektpartner Fraunhofer EAS realisiert wurden. In dieser inneren Schleife werden die Anzahl der Dies, deren Halbleitertechnologie sowie deren Größe, die Aufbautechnologie sowie die Variante der Integration (nebeneinander, übereinander und/oder gemischt) festgelegt.

Für den Optimierer der in dieser inneren Iterationsschleife entwickelt wurde, sind verschiedene mathematische Verfahren erprobt wurden. In den ersten Versuchen wurden verschieden stochastische Verfahren in einem Framework untersucht. Das verwendete Framework ist in Abbildung 17 dargestellt. Die dabei verwendeten Verfahren sind zum Beispiel „Simulated Annealing“, „Hill climbing“, ...

Allerdings hat sich im Laufe des Projekts herausgestellt, dass die stochastischen Optimierungsverfahren schlecht konvergieren. Das kann damit begründet werden, dass die Eingabeparameter und der dazugehörige Entwurfsraum bei der DSE stark variieren können und das bedingt meist eine Anpassung der Parameter der stochastischen Verfahren (z.B. Abkühlungskurve bei „Simulated Annealing“).

Deshalb wurden im Projekt neue Methoden implementiert, die auf dem mathematischen Verfahren der „Ganzzahligen Linearen Programmierung“ oder dem „Constraint Programmierung“ siehe Abbildung 18 beruhen.

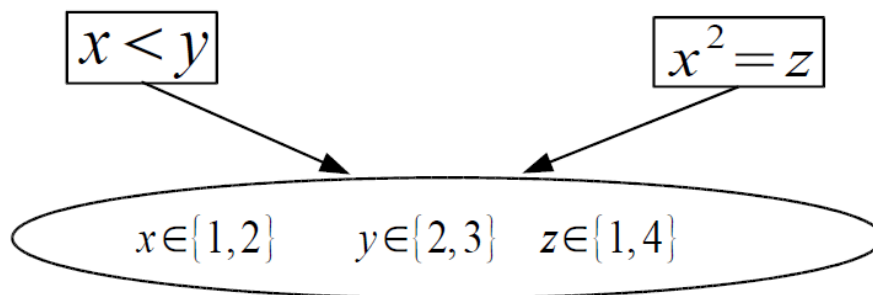


Abbildung 18: Beispiel für "Constraint Programmierung"

Bei beiden Verfahren wird das Problem in einem Variablenraum beschrieben. Dabei stehen die Variablen z.B. für die Größe der Dies oder die Anzahl der Balls.

Im Falle der „Ganzzahligen Linearen Programmierung“ lässt sich die klassische Yieldfunktion schlecht oder gar nicht linearisieren. Deshalb wird kann diese Varianten nur bei einfachen Yielfunktionen verwendet werden. Bei der „Constraint Programmierung“ besteht dieses Problem nicht.

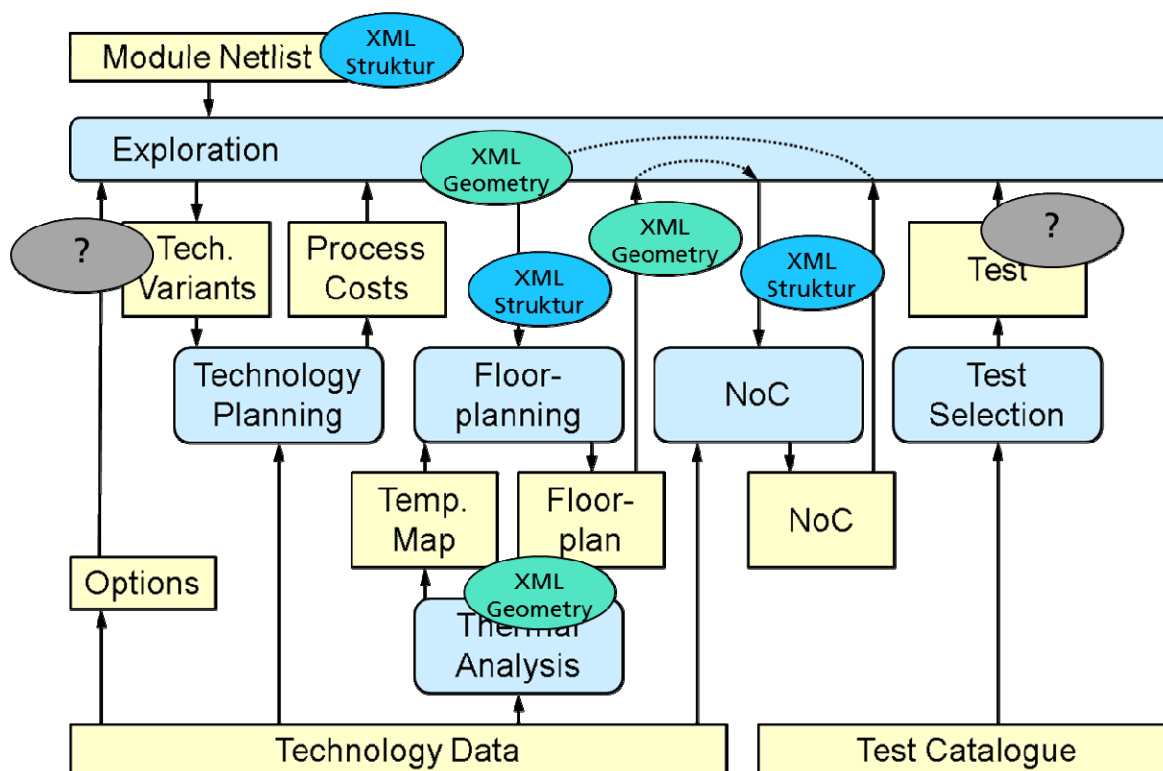


Abbildung 19: NEEDS-Designflow

Schnittstellen zu Teiloptimierern

Für den in Abbildung 19 dargestellten Explorationsablauf ist es erforderlich, Informationen zwischen den einzelnen Schritten des Entwurfsprozesses auszutauschen. Dabei lassen sich die Daten in vier Arten unterscheiden:

- **Strukturinformation:** beschreibt die Module des Systems und deren Vernetzung (Modulgraph)
- **Geometrieinformation:** beschreibt die physikalische Implementierung des Systems, wie den Stackaufbau, ggf. mit Gehäuse und die Platzierung der Module im Stack
- **Technologieinformation:** beschreibt die verfügbaren Herstellungstechnologien, deren Kosten und ggf. technologische Abhängigkeiten
- **Testinformation:** Aspekte des Tests werden in einem Testmittelkatalog bereitgestellt.

Beitrag 1.4: Produktspezifische Integrationsflows (USI)

Problemstellung

Die 3D-Chipintegration bietet im Gegensatz zu herkömmlichen planaren Technologien eine Vielzahl von Variationen der Prozesstechnologien. Beispiele für über die klassische IC-Fertigung hinausgehende Technologien sind u.a. die TSV-Herstellung, das Wafer-Thinning oder die Bonding-Verfahren. Diese lassen sich wiederum in weitere Kategorien unterteilen, wie beispielsweise bei den TSVs der Zeitpunkt der TSV-Herstellung innerhalb der Prozesskette (siehe Abschnitt III). Die Auswahl adäquater Verfahren ist von vielen Randbedingungen abhängig. Insbesondere ist die Applikation, also das eigentliche Produkt und seine Spezifikation (funktional, kostenmäßig u.a.) ausschlaggebend für die Zusammenstellung und Parametrisierung des entsprechenden Integrationsflows. Ein solcher Einfluss von anwendungs- (bzw. design-)spezifischen Constraints auf die Auslegung von Prozesstechnologie ist in der Methodik zur klassischen IC-Fertigung nicht vorgesehen. Daher ist es notwendig, neue Methoden zu entwickeln, welche diese wechselseitige Abhängigkeit mit berücksichtigen.

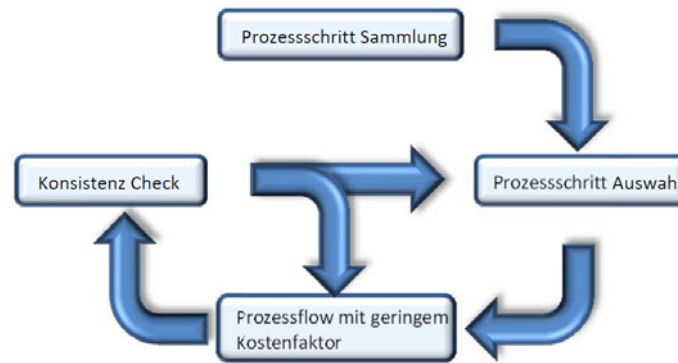


Abbildung 20: Entwurf mit konsistenten applikationsspezifischen Prozessschritten

Ergebnisse

Die Analyse der 3D-Integrationstechnologien und Integrationsflows wurde konsequenterweise durch die Entwicklung eines Entwurfsmodells, das ein mögliches Vorgehen für die Erstellung von produktspezifischen Integrationsflows beschreibt, ergänzt. Hauptaugenmerk liegt dabei auf die Berücksichtigung von produktspezifischen und technologischen Constraints.

Das Modell besteht aus vier Schritten, deren Zusammenhang in Abbildung 20: Entwurf mit konsistenten applikationsspezifischen Prozessschritten dargestellt ist. Der erste Schritt stellt eine Sammlung verfügbarer Integrationsprozessschritte zur Verfügung. Diese müssen für die weitere Verarbeitung parametrisiert sein, also beispielsweise neben den üblichen Prozessparametern noch einen Kostenfaktor, den Beitrag zum Temperaturbudget sowie Vor- und Nachbedingungen aufweisen.

In einem nächsten Schritt werden die vorhandenen Prozessschritte auf produktspezifische Vorgaben überprüft, sodass eine Auswahl von Prozessschritten stattfindet. Produktspezifische Vorgaben sind dabei unter anderem die Anzahl der Dies, die Technologie der Dies oder die Anzahl der TSVs („Through-Silicon-Vias“). Mit den nun vorhandenen produktkompatiblen Prozessschritten muss ein Prozessflow erstellt werden, der möglichst kostengünstig ist. Der abschließende Schritt besteht darin, den erstellten Flow auf seine Konsistenz hin zu überprüfen, um so eine Fertigbarkeit sicherstellen zu können. Dabei müssen insbesondere die Vor- und Nachbedingungen der Prozesse sowie das Temperaturbudget überprüft werden. Sollte es in einem der Schritte zu Inkonsistenzen kommen, ist ein Rückschritt in einen vorherigen Schritt notwendig.

2.2 Aufgabe 2: Technologieplanung

Die technischen Ergebnisse der Aufgabe 2 *Technologieplanung* umfassen den Softwareprototypen für die applikationsspezifische Prozessflowgenerierung (Beitrag 2.1), sowie den dazugehörigen XML-Technologiedatenexport in weitere Entwurfswerkzeuge (Beitrag 2.2). Außerdem wurde für die Technologiecharakterisierung ein Beschreibungsformalismus in XML entwickelt (Beitrag 2.3) und für die Datenverbindungen zwischen den Layern über TSV wurden Multiplex-Link-Protokolle entworfen (Beitrag 2.4).

Beitrag 2.1: Applikationsspezifische Generierung von Integrationsflows (USI)

Problemstellung

Für den Entwurf und die Herstellung eines integrierten 3D-Systems gibt es eine Vielzahl von unterschiedlichen Prozesstechnologien, die vom Designer in ihren Kombinationsmöglichkeiten und Auswirkungen kaum überblickt werden können. Dazu gehören differierende Integrations schemata, die festlegen, in welcher Reihenfolge einzelne Prozessabschnitte der 3D-Integration durchgeführt werden (bspw. Herstellung der Verbindungsstrukturen vor dem Zusammenbringen der Dies). Die Wahl der Prozesse und die Zusammensetzung der Integrationstechnologie haben in der Regel großen Einfluss auf die Leistungsfähigkeit, die Robustheit aber auch auf die Kosten der 3D-Schaltkreise.

Ergebnisse

Zur Unterstützung des System-/Prozessentwicklers wurde daher ein Softwareprototyp zur Generierung applikationsspezifischer Integrationsflows entwickelt, welcher in der Lage ist, die entwickelten Prozessflows auf ihre Konsistenz hin zu überprüfen. Die EDA-Software ASPIRE („Application Specific Integration Flow Evolution“) ermöglicht die Erstellung und Überprüfung von applikationsspezifischen Integrationsflows und wurde zusammen mit weiteren Funktionalitäten prototypisch implementiert. Die Software ASPIRE besitzt eine Client-Server-Architektur in Verbindung mit einer PostgreSQL Datenbank (siehe schematischer Überblick in Abbildung 21: Aufbau der Software ASPIRE). In der Datenbank sind Technologieinformationen über Integrationsprozessflows, Prozesssequenzen, Prozessschritte, Materialien, TSVs, Dies und deren jeweiligen Parameter gespeichert. Der Client verfügt über eine graphische Benutzeroberfläche und beinhaltet eine Benutzerverwaltung, sowie Editoren für Prozessflows, Prozessschritte, Materialien (siehe Abb. 2), TSV und Dies, mit denen auf die Daten der Technologiedatenbank zugegriffen werden kann.

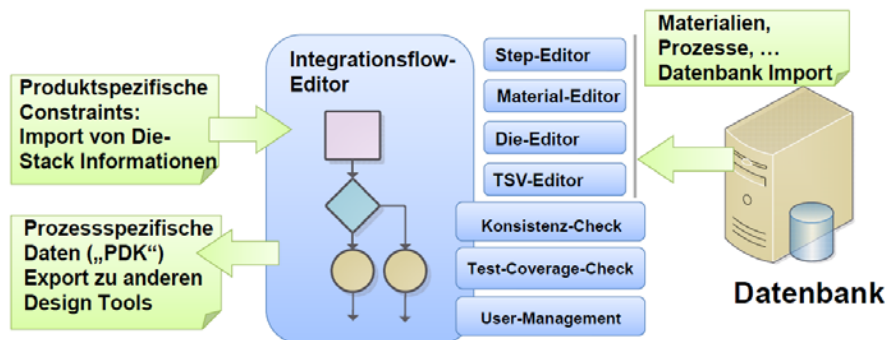


Abbildung 21: Aufbau der Software ASPIRE

Für die Prozessflow-Generierung werden Informationen über den zu erstellenden Die-Stapel benötigt (u.a. Anzahl der Dies, Technologie der Dies). Diese Daten werden über eine XMLDatei eingelesen und von der Software verarbeitet. Des Weiteren können prozessspezifische Daten aus dem aktuellen Prozessflow heraus zu anderen Design-Tools im XML-Format exportiert werden. Der Prozessflow-Editor besitzt zudem einen Konsistenzcheck, eine Überprüfung, ob notwendige Testschritte durchgeführt wurden sowie eine Kostenberechnung. Der Editor (Abbildung 22: Screenshot Prozessfloweditor ASPIRE) zeigt die Darstellung des Prozessflows in Form eines Graphens, bei dem die Knoten die Zustände des Dies und die Kanten die Prozessschritte darstellen. Alle Funktionen können über eine Werkzeugleiste am linken Fensterrand erreicht werden.

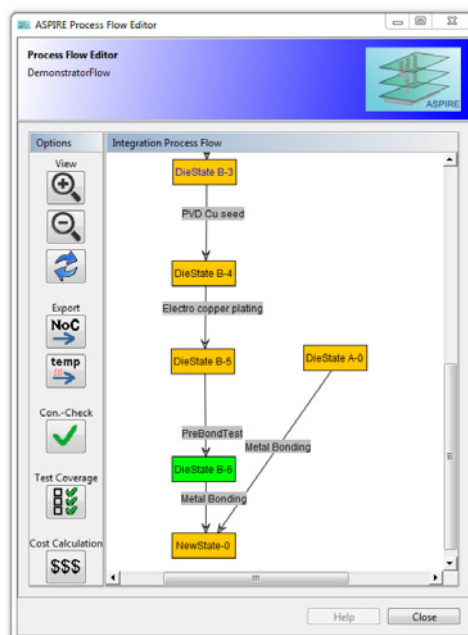


Abbildung 22: Screenshot Prozessfloweditor ASPIRE

Beitrag 2.2: Generierung von Process Design Kits (USI)

Problemstellung

Durch applikationsspezifische 3D-Integrationstechnologien ist es notwendig, die bisherigen Technologieschnittstellen („Process Design Kits“) um zusätzliche Informationen zu erweitern. Im Rahmen des Projekts NEEDS bezieht sich der Begriff „PDK“ nur auf die Integrationstechnologien und nicht auf die Fertigung der einzelnen Dies. Das Ziel ist dabei die Bereitstellung von Technologiedaten für die übrigen Entwurfstools im Projekt. Es ist in der Regel von flexiblen parametrierbaren und produktspezifischen Technologierestriktionen auszugehen. Dies muss spezifisch für das entsprechende Entwurfstool erfolgen. Dazu wurde die im Beitrag 2.1 entworfene datenbankbasierte Entwicklung von Integrationsflows um den Export von Technologieinformationen aus dem Prozessflow heraus erweitert. Dadurch können Daten, die direkt die Integrationstechnologien betreffen (bspw. TSVs) weitergegeben werden.

Ergebnisse

Der PDK-Generator stellt die Implementierung der Technologieschnittstelle zwischen der Technologieplanung auf der einen Seite und den übrigen Projektpartnern auf der anderen Seite dar. Während der Projektlaufzeit hat sich herausgestellt, dass nur von der NoC-Generierung und der Thermischen Analyse prozessspezifische Daten aus der Technologie-Datenbank benötigt werden. Daher wurde in der Software zunächst nur der Export für diese beiden Tools implementiert. Eine Erweiterung der Software um einen spezifischen Export für andere Tools ist jedoch jederzeit möglich.

Für das NoC-Tool werden Informationen über die im Prozessflow verwendeten Dies und mit den Integrationsprozessschritten herzustellenden TSVs bereitgestellt. Dabei sind insbesondere Daten über elektrische Parameter der TSVs von Bedeutung, wie bspw. Die Kapazität, Induktivität und der Widerstand. Zusätzlich können auch einfache geometrische Angaben sowie Materialinformationen ausgegeben werden.

Für die thermische Simulation werden hauptsächlich Informationen zu den verwendeten Materialien benötigt. Dazu gehören die Wärmeleitfähigkeit, Wärmekapazität und die Dichte der verwendeten Materialien.

Der Export der zu dem konkreten Prozessflow gehörigen Daten erfolgt über die graphische Benutzerschnittstelle des Prozessflow-Editors (siehe Beitrag 2.1). Dabei löst ein Klick auf dem sich in der Werkzeugleiste unter „Export“ befindlichen Button „NoC“ ein automatisches Zusammenstellen der für das NoC-Tool benötigten Daten aus, welche anschließend in einer XML-Datei zusammengefasst und abgespeichert werden. Eine beispielhafte Ausgabe eines solchen Exports aus dem Prozessflow heraus zeigt Abbildung 23: Beispiel NoC-Technologiedatenexport in XML. In diesem Fall sind in dem Export die Technologie der Dies und Eigenschaften der herzustellenden TSV angegeben.

```
<?xml version="1.0" encoding="UTF-8"?>
<NoC-Data>
  <die>
    <id>134</id>
    <name>CMOS 65nm - new - 133</name>
    <tech>CMOS 65nm (new)</tech>
    <hasTSV>>false</hasTSV>
  </die>
  <die>
    <id>135</id>
    <name>CMOS 45nm - new - 133</name>
    <tech>CMOS 45nm (new)</tech>
    <hasTSV>>true</hasTSV>
    <tsv>
      <id>107</id>
      <name>IMEC TSV 5um copper</name>
      <parameter>
        <name>Diameter</name>
        <value>5.0</value>
        <unit>um</unit>
      </parameter>
      <parameter>
        <name>Material</name>
        <value>Copper</value>
      </parameter>
    </tsv>
  </die>
  <die>
    <id>138</id>
    <name>CMOS 28nm - new - 133</name>
    <tech>CMOS 28nm (new)</tech>
    <hasTSV>>false</hasTSV>
  </die>
</NoC-Data>

<parameter>
  <name>Length</name>
  <value>25.0</value>
  <unit>um</unit>
</parameter>
<parameter>
  <name>Pitch</name>
  <value>10.0</value>
  <unit>um</unit>
</parameter>
<parameter>
  <name>Liner Thickness</name>
  <value>120.0</value>
  <unit>nm</unit>
</parameter>
<parameter>
  <name>Liner</name>
  <value>O3-TEOS</value>
</parameter>
</tsv>
</die>
<die>
  <id>138</id>
  <name>CMOS 28nm - new - 133</name>
  <tech>CMOS 28nm (new)</tech>
  <hasTSV>>false</hasTSV>
</die>
</NoC-Data>
```

Abbildung 23: Beispiel NoC-Technologiedatenexport in XML

Beitrag 2.3: Technologiecharakterisierung (EAS)

Motivation

Beim Entwurf eines 3D-Systems müssen Informationen aus verschiedenen Entwurfsdomänen wie z.B. Schaltkreisentwurf, Aufbau- und Verbindungstechnik und Gehäuseentwurf zusammengeführt werden, um die Baugruppen des Systems bestmöglich auf den verschiedenen Ebenen eines Wafer-Stacks anzuordnen. Dieses Floorplanning beeinflusst u.a. elektrische und thermische Eigenschaften und Kosten des Systems. Im Schaltkreisentwurf sind heute EDA-Werkzeuge etabliert, die Entwürfe nur in 2 Dimensionen beschreiben, wie für die Maskenfertigung benötigt. Daten für die dritte Dimension werden später über zusätzliche Formate hinzugefügt. Die EDA-Anbieter Synopsys [Syn] und Cadence [Cad] unterstützen 2D-Formate wie Lef und Def. Gehäusedaten sind hingegen in anderen Formaten spezifiziert, wodurch ein Austausch von Daten zwischen verschiedenen Arbeitsschritten des 3D-Entwurfs erschwert wird. Im Beitrag wird ein Datenformat vorgestellt, mit welchem sowohl die Grundelemente des Systems (z.B. Balls, TSVs, Siliziumkörper), als auch komplette 3D-Systeme beschrieben werden können und dass den Datenaustausch zwischen Arbeitsschritten wie Floorplanning, Package Design, elektrischer und thermischer Simulation vereinfacht. Der Hauptfokus liegt auf einer einheitlichen, effizienten und hierarchischen Beschreibung von 3D-Grundprimitiven. Gehäuse, Chip sowie Verbindungstechnik sollen beschrieben (Datenhaltung für Platzierung oder Exploration) und in andere Datenformate zur Weiterverwendung in entsprechende Tools (z.B. CAD-Programme oder ANSYS) transformiert werden. Das Hauptaugenmerk hinsichtlich der angestrebten Beschreibungsweise gilt der Vergrößerung, d.h. auch eine Beschreibung einer wenig komplexen Leitungsstruktur soll möglich sein.

Als Basis für die Sprachentwicklung wurde XML [XML, Von09] gewählt, weil XML Vorteile wie Transformierbarkeit, Toolunterstützung, Flexibilität, Systemunabhängigkeit oder Erweiterbarkeit bietet. Für hierarchische Datenstrukturen ist XML gut geeignet, da XML-Dokumente einen baumartigen Aufbau haben. Des Weiteren stehen viele Werkzeuge zur Verarbeitung des Codes zur Verfügung, da XML und verwandte Auszeichnungssprachen weit verbreitete offene Standards sind, die von vielen oftmals quelloffenen Toolimplementierungen unterstützt werden.

Hierarchisches Konzept

Aufgrund der Komplexität der 3D-Systeme kommt ein hierarchischer Ansatz zum Einsatz, der in Abbildung 24 angedeutet ist.

Auf unterster Ebene werden Grundprimitive wie Zylinder, Kugeln oder Quader definiert. Aus diesen können dann Elemente wie Balls oder TSVs abgeleitet werden, indem zu den Geometrien weitere Parameter wie z.B. Materialeigenschaften definiert werden. Diese Elemente können wiederum zu hierarchischen Elementen gruppiert werden. Durch diesen hierarchischen Ansatz ist es möglich, Elemente auf verschiedenen Ebenen zu gruppieren, die dann wieder verwendbar sind, beispielsweise auf einer weiteren Ebene eines Wafer-Stacks.

Als Beispiel auf niedriger Ebene sei das Gruppieren von zwei TSV-Elementen zu einem neuen redundanten TSV erwähnt. Dieses ist in der 3D-Integration nötig, da TSVs derzeit noch mit geringer Ausbeute gefertigt werden können. Weiterhin erlaubt der hierarchische Ansatz, ganze Strukturen durch andere Varianten zu ersetzen, wenn zum Beispiel mit verschiedenen Detailgraden gearbeitet werden soll.

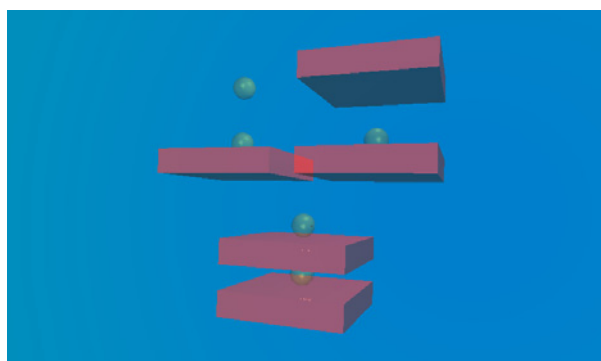


Abbildung 24: Hierarchisches Konzept: Ball und Die einzeln (oben), vereinigt und nochmals vereinigt in zwei Varianten.

Zusammengefasst stellt der Sachverhalt, dass Körper vergleichsweise einfach erzeugt werden können, indem Grundelemente miteinander kombiniert werden, einen Vorteil dieses hierarchischen Darstellungsformates dar, in welchem dann in diesem Fall vorrangig technische Daten gut strukturiert effizient gespeichert werden können. Diese hierarchisch-geometrische Modellierung mittels Grundprimitiven und boolescher Operationen ist ein nahe-liegender Ansatz und hat sich bereits bei der Constructive Solid Geometry (CSG Methode [CSG, Spe05] bewährt, welche auch als Konstruktive Festkörpergeometrie bezeichnet wird. CSG ist die Datenstruktur für das Modellieren mit Raumprimitiven. Ausgehend von dreidimensionalen Grundprimitiven, die „Solid“ sind, also über eine geschlossene Hülle verfügen, entsteht durch hierarchische Anwendung von Grundoperationen ein komplexes 3D-Modell. Bei dieser Methode werden Mengenoperationen angewendet, um diese komplexen Körper zu erzeugen.

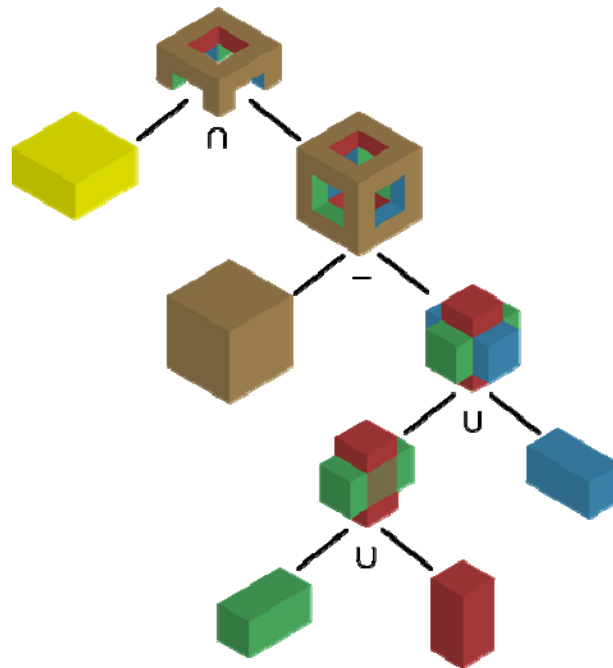


Abbildung 25: Beispiel für CSG Operationen und den sich daraus ergebenden Operationsbaum.

Die verwendeten primitiven Körper, deren Oberfläche typischerweise durch eine relativ einfache mathematische Formel beschrieben werden kann, sind nicht weiter zerlegbar und sind daher für boolesche Operationen geeignet. Sie können somit durch Operatoren zu neuen geometrischen Objekten zusammengesetzt werden. Zudem lässt sich die hier entwickelte hierarchische XML-Struktur zur Technologiecharakterisierung von 3D-Systemen gut mittels eines Baums veranschaulichen (beispielhaft siehe Abbildung 25). Die Wurzel solch eines XML-Baums stellt das Endergebnis dar, ein 3D-System beliebig großer Komplexität. Auf unterster Stufe des Baums stehen die Grundprimitiven. Das Element der nächsthöheren Stufe geht aus der Anwendung einer Operation auf zwei Grundprimitiven hervor. Dieses Prinzip kann Stufe um Stufe fortgeführt werden, wobei als Endresultat das gewünschte 3D-System entsteht. Die Entstehungsgeschichte des 3D-Systems wird also in einer Baumstruktur abgespeichert und kann bei Bedarf abgerufen werden.

XML-Beschreibungssprache

Wie zuvor beschrieben, können mit der XML-basierten Modellierungssprache Objekte erstellt werden. Das wird in Abbildung 26 exemplarisch für ein Stück einer Leiterplatte die als ein Block modelliert wird, dargestellt.

```
<g:compound name="PCB">
  <g:cuboid material="PCB" length="30000" width="30000" height="2000"/>
</g:compound>
```

Abbildung 26: Definition einer Teilkomponente

Diese Objekt, können wie oben beschrieben, hierarchisch instanziiert werden. Das wird in Abbildung 27 dargestellt. Dort wird das Stück Leiterplatte in ein System integriert. Dabei kann die Position des instanziierten Objekts noch einmal relativ zum neuen Objekt verschoben werden.

```
<compound name="Top">
  <g:translate x="0" y="0" z="1000">
    <g:include name="PCB"/>
  </g:translate>

  <g:translate x="0" y="5500" z="2490">
    <g:include name="WideIODie"/>
  </g:translate>

  <g:translate x="0" y="0" z="0">
    <g:include name="System"/>
  </g:translate>
</compound>
```

Abbildung 27: Import der Komponente in die nächste Hierarchiestufe

Weiterhin gibt es zusätzliche Konstrukte die die Definition von häufig vorkommenden Elementen wie Balls vereinfachen. Dazu können diese zum Beispiel aus einer externen Datei importiert werden, oder mittels „for“ Schleifen erstellt werden, siehe dazu Abbildung 28 und Abbildung 29.

```
<for i="18">
  <for j="36">
    <g:translate x="0+i*500" y="0+j*500" z="2520">
      <g:sphere material="PackageBallLoop" radius="150"/>
    </g:translate>
  </for>
</for>
```

Abbildung 28: Erstellen von Objekten mittels einer oder mehrerer „for“ Schleifen

```
<g:compound name="WideIODie">
  <rotate x="0" y="0" z="90">
    <g:translate x="-3380" y="-260" z="-50">
      <import file="D:\Data\JavaFXApplication1New\system3d\examples\wideio\WideIO2.csv"/>
    </g:translate>
  </rotate>
  <g:translate x="0" y="0" z="10">
    <g:cuboid material="WideIO" length="10000" width="10000" height="100"/>
  </g:translate>
</g:compound>
```

Abbildung 29: Import von Elementen aus einer externen Datei

Beitrag 2.4: Link-Protokolle für Inter-Layer-Verbindungstechniken (LIS)

Herkömmliche 2D-Interconnect-Protokolle ermöglichen On-Chip-Kommunikationsverbindungen zwischen horizontal, auf derselben Chip-Ebene angeordneten IP-Cores. Derartige Protokolle sind deshalb dafür ausgelegt, die Kommunikation über größere Strecken zwischen einzelnen Cores (bis zu mehrere mm) zuverlässig zu ermöglichen. Weiterhin geht man hier von der Annahme aus, dass aufgrund der großen Anzahl von möglichen Verdrahtungsebenen ausreichend Verdrahtungsressourcen, auch für hochparallele Übertragungen, zur Verfügung stehen.

Zur Realisierung von Inter-Layer-Verbindungen in 3D-Schaltungen sind jedoch TSVs erforderlich, die verglichen mit horizontalen Verbindungen äußerst kurze Übertragungsstrecken (wenige 10 µm) überbrücken und deshalb aufgrund der geringen Leitungsbeläge sehr hoch getaktet werden können. Auf der anderen Seite hingegen benötigen TSV-Verbindungen viel Chipfläche und lassen insbesondere bei einer hohen TSV-Anzahl ein Ausbeuteproblem entstehen.

Zur Realisierung von effizienten Interconnect-Strukturen in 3D-Schaltung galt es daher zum einen zu untersuchen, wie sich TSV-Verbindungen als integraler Bestandteil von 3D NoC-Architekturen effizient betreiben lassen aber auch wie herkömmliche, von 2D-Interconnects bekannte Protokolle innerhalb

von 3D-Schaltungen verwendet werden können. Letzteres kann z.B. durch eine transparente Fortsetzung herkömmlicher Übertragungsprotokolle über Layer-Grenzen hinweg ermöglicht werden, was die Migration hin zu 3D-Systemen erleichtert.

Ergebnisse

Betrachtet man die TSV-basierte Inter-Layer-Datenübertragung in einer 3D-Schaltung im Kontext von Kommunikationsprotokollen, so ist eine Unterteilung in Abstraktionsebenen (ähnlich OSI-Referenzmodell) sinnvoll. Wir bezeichnen diese Ebenen als „Physical Layer“, „Virtual Link Layer“ und „Interconnect Layer“. Abbildung 30 zeigt schematisch diese Abstraktionsebenen.

Physikalische TSV-Ebene

Zur Beurteilung der Auswirkungen von TSV-Verbindungen auf digitale Übertragungsstrecken sind als charakteristische Größen vor allem die maximale Taktfrequenz, mit welcher sich eine TSV-Anordnungen zuverlässig betreiben lässt, und die kapazitive Last, die TSVs für die treibenden Schaltungsteile darstellen, relevant. Weiterhin sind für einen Kostenvergleich der Flächenbedarf der TSV-Anordnung und auch die Ausfallwahrscheinlichkeit der TSVs von Bedeutung.

Die relevanten elektrischen Parameter lassen sich mit einem geeigneten Modell aus den geometrischen Parametern extrahieren. Geeignet sind hierfür Modelle, die die geometrischen Parameter in ein RLC-Modell aus konzentrierten Elementen abbilden [Kat10]. Aus solch einem elektrischen Modell lassen sich dann die für die Übertragung relevanten Parameter extrahieren. Ein Softwareprogramm zur Durchführung dieser Berechnungen wurde zu Beginn des Projekts entwickelt. Die notwendigen geometrischen Technologieparameter der TSVs werden aus der Datenbank zur Technologieplanung der Universität Siegen bezogen.

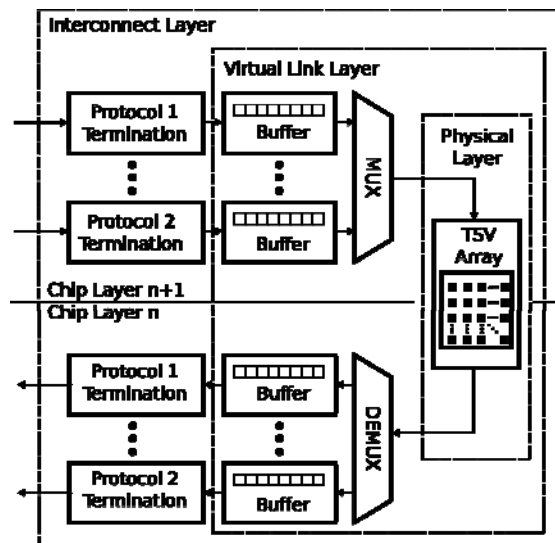


Abbildung 30: Inter-Layer-Link Abstraktionsebenen

Virtuelle Link-Ebene

Zur tatsächlichen Ausnutzung der maximal möglichen Bandbreite einer TSV-Anordnung muss diese mit einer höheren Taktfrequenz als die der Intra-Layer Verbindungen betrieben werden. Hierfür bieten sich grundsätzlich zwei Methoden an, die auch kombiniert werden können:

Serialisierung: Das TSV Interface wird „schmäler“ gestaltet (geringere Wortbreite) gegenüber dem Intra-Layer-Interface.

Multiplexing: Mehrere virtuelle Verbindungen werden über eine gemeinsame TSV-Anordnung geführt.

Beide Ansätze (Multiplexing und Serialisierung) wurden von uns auf RTL-Ebene mit Hilfe von Hardwarebeschreibungssprachen umgesetzt und für verschiedene Standardzellentechnologien synthetisiert und untersucht. Hinsichtlich der erreichbaren TSV-Einsparung sind zunächst beide Methoden als gleichwertig anzusehen. Beim Multiplexing mehrerer Links können jedoch auch die statistischen Ei-

enschaften der Verbindungen ausgenutzt werden. Sind einzelne Links nicht ständig vollständig ausgelastet, lässt sich dieser Umstand durch dynamische Zuweisung der Übertragungskapazität an die zu transportierenden Verbindungen (statistisches Multiplexing) gezielt ausnutzen.

Durch den Multiplexing-Ansatz wird das TSV-Array virtualisiert und es entsteht eine Zwischenebene, die von uns als „Virtual Link Layer“ bezeichnet wird. Auf dieser Ebene werden virtuelle generische Links bereitgestellt, die als Service zum Transport von Verbindungen mit komplexeren Protokollen zur Verfügung stehen. Ein Scheduler erlaubt unterschiedliche Betriebsmodi (z.B. garantierte Bandbreite oder „best effort“) für die einzelnen Verbindungen.

Protokollebene („Interconnect Layer“)

Für verschiedene konventionelle Interconnect-Protokolle wurden Adaptoren entwickelt. Diese ermöglichen deren transparente Fortsetzung, aber auch eine Untersuchung hinsichtlich der Komplexität dieser Adaptoren und damit die Eignung der betreffenden Protokolle für eine Verwendung innerhalb von 3D-Schaltungen. Hierbei zeigte sich, dass sich solch eine Fortsetzung für manche Protokolle sehr gut realisieren lässt (z.B. AXI, NoC-Protokolle). Jedoch existieren auch Protokolle die sich aufgrund harter Timing-Bedingungen nur schwer und mit großer Komplexität der Adaptoren fortsetzen lassen (z.B. AMBA). Manche Protokolle, insbesondere solche ohne Flusskontrolle wie beispielsweise Protokolle zur Ansteuerung von Speicher (DDR) sind gar gänzlich ungeeignet für eine Fortsetzung mittels Multiplexing.

Fallstudien

Durch Serialisierung und/oder Multiplexing lassen sich prinzipiell viele TSVs einsparen (im günstigsten Fall bis ca. 70%). Für einen Vergleich mit der Situation ohne Serialisierung/Multiplexing muss jedoch auch die zusätzlich eingebrachte Logik für Scheduling und Adaptoren betrachtet werden. Die konkrete resultierende Gesamtfläche ist damit abhängig von der verwendeten TSV-Technologie, von der verwendeten Standardzellentechnologie für die Kontrolllogik und Adaptoren, vom verwendeten Protokoll (Komplexität der Adaptoren) und vom Traffic-Szenario (Möglichkeit von statistischem Multiplexing Gebrauch zu machen).

Hierzu wurden Fallbeispiele untersucht, wobei sich gezeigt hat, dass bei entsprechender Parameterwahl (z.B. AXI-Protokoll, TSV-Technologie mit 20 μm Pitch und 45 nm Standardzellentechnologie) eine Reduktion der Gesamtfläche erzielt werden kann. Aber auch bei Konfigurationen, die sogar eine Vergrößerung der Gesamtfläche zur Folge haben kann die Verwendung der beschriebenen Maßnahmen sinnvoll sein, insbesondere wenn dies aufgrund hoher TSV-Kosten (z.B. geringe TSV-Ausbeute) trotzdem zu einer Reduktion der Gesamtkosten führt.

Die wesentlichen Ergebnisse dieses Beitrages werden in (9) vorgestellt.

2.3 Aufgabe 3: 3D-Schaltungsgenerierung

Die technischen Ergebnisse der Aufgabe 3 beinhalten die Gesamtkostenfunktion und Explorations-/Partitionierungsmethoden (Beitrag 3.1), die Bereitstellung geeigneter Grundstrukturen für 3D-NoCs (Beitrag 3.2) sowie die Softwareprototypen für die automatische Generierung solcher 3D-NoCs (Beitrag 3.3) und für das 3D-Floorplanning (Beitrag 3.4).

Beitrag 3.1: Gesamtkostenfunktion, Explorations- und Partitionierungsalgorithmus (EAS)

Einleitung

Im Bereich der 3D-Integration ergeben sich neue Aufbauvarianten eines Systems. So stehen z.B. bei der Verbindungstechnologie oder auch bei der Fertigungstechnologie der einzelnen Dies mehrere Varianten zur Verfügung. Damit spannt sich für ein komplettes System ein deutlich größerer Entwurfsraum als im klassischen 2D-Entwurf auf. Für die Auswahl der besten Variante aus diesem Entwurfsraum ist im Projekt NEEDS von Fraunhofer eine Design-Space-Exploration (DSE) entwickelt worden. Da die Ermittlung der besten Variante ein Optimierungsverfahren darstellt, sind Kriterien zur ihrer Bewertung nötig. Für die Bewertung einer Variante wird deshalb eine Kostenfunktion entwickelt.

In Abbildung 31 ist ein klassischer Entwurfsablauf für die 2D-Integration dargestellt. In diesem würde sich die DSE unterhalb der High-Level-Synthese aber noch vor der 2D-Logiksynthese ansiedeln. Da

es aktuell noch keinen 3D-Entwurfsflow gibt, soll im Weiteren davon ausgegangen werden, dass dieser ähnlich dem klassischen 2D-Flow erfolgen wird. Damit erfolgt die Einordnung der DSE in den 3D-Flow auf gleiche Weise wie beim 2D-Flow.

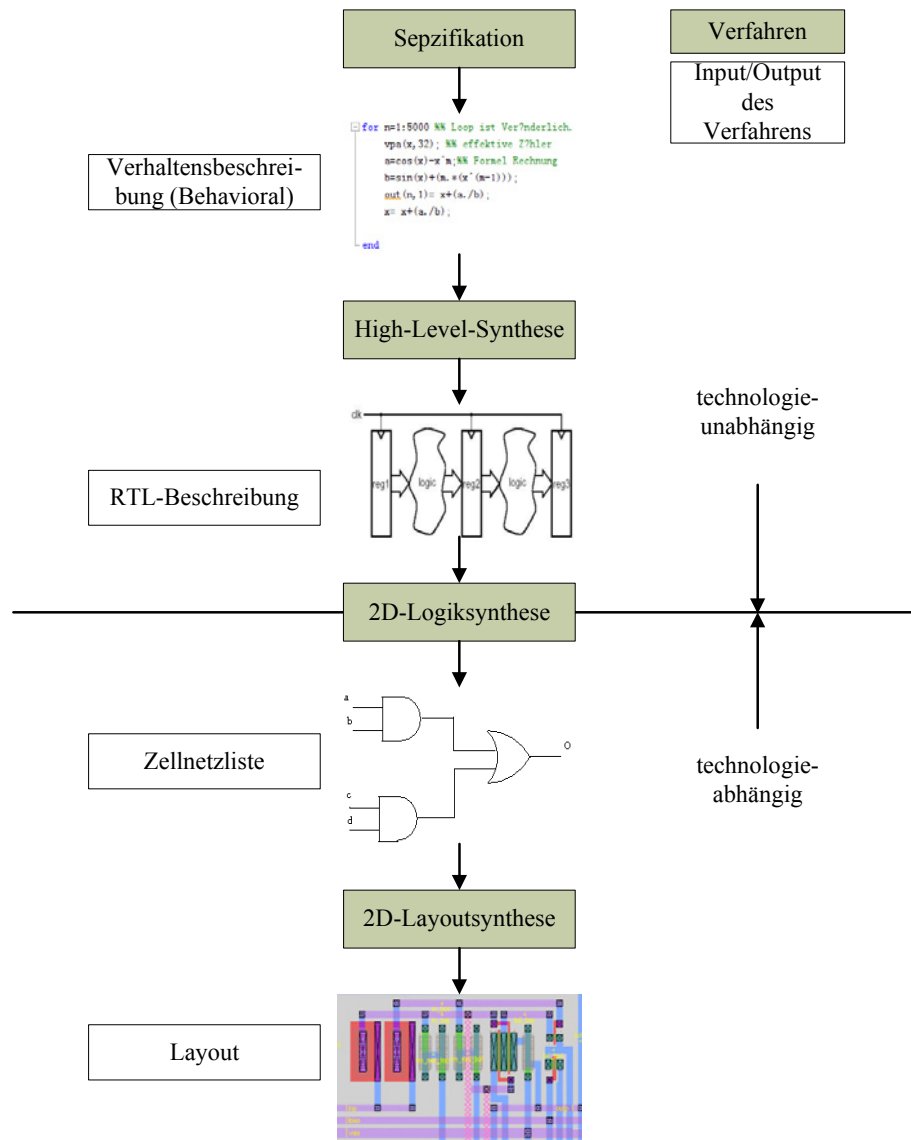


Abbildung 31: Klassischer 2D-Flow zur Entwicklung von 2D-integrierten Schaltungen.

Diese Einordnung zeigt, dass die DSE auf einem recht abstrakten Entwurfslevel aufsetzt. Dieser zeichnet sich dadurch aus, dass Module sowie die Verbindungen zwischen den Modulen gegeben sind. Die Abmessungen der Module können dabei entweder durch den Entwerfer an die Module annotiert werden, sind aus älteren Projekten bekannt oder können bei Modulen, die digitale Komponenten enthalten, durch eine Probe-Logiksynthese ermittelt werden. Diese Module sollen durch die DSE sowohl auf die Ebenen des 3D-Systems verteilt als auch auf den verschiedenen Ebenen platziert werden, so dass keine Überlappungen zwischen den Modulen auftreten und auch weitere Randbedingungen eingehalten werden. Diese Randbedingungen sind vor allem Signallaufzeiten, Platz, Kosten und Wärmeverteilung.

Um die wichtige Randbedingung Signallaufzeit (Timing) einhalten zu können, ist es wichtig, die Leitungen während der Anordnung der Module innerhalb des 3D-Systems zu berücksichtigen. Da eine simultane Platzierung der Leitungen auf Grund der Laufzeiten solcher Leitungsverdrahtungsalgorithmen nicht möglich ist, wird dafür eine Abschätzung benötigt.

Generische Kostenfunktion

Eine Kostenfunktion enthält immer firmenspezifische Komponenten. Das sind beispielsweise:

- Spezielle Anforderungen der Produktbereiche:
 - Nullfehlerdesign im Automobil gegenüber hohem Datendurchsatz im Telekommunikationsbereich
 - Maximale Höhe oder Fläche eines Bausteins
 - Umgebungstemperaturbereiche, mechanische Belastungen
 - Elektromagnetische Verträglichkeit
- In der Firma verfügbare Herstellungstechnologien (eigene Prozesse, externe Prozesse und deren Kosten)
- Anforderung bezüglich Fertigungszeit, verfügbare Fertigungskapazitäten

Da nicht alle möglichen Bestandteile einer Kostenfunktion vorhersehbar sind, bzw. je nach Anwendung unterschiedliche Faktoren einbezogen werden müssen, sollte sie leicht erweiterbar sein. Um dies sicherzustellen soll eine generische Kostenfunktion entwickelt werden. Dazu sind zwei Komponenten nötig. Auf der einen Seite ist es notwendig, einen Zugang zu den firmeninternen Daten zu ermöglichen. Dazu müssen die bereitgestellten Daten erfasst und in einem einheitlichen Format spezifiziert werden. Auf der anderen Seite muss es ermöglicht werden, dass aus diesen Daten auf einheitliche Weise neue Funktionen gebildet werden können, die vom DSE-Algorithmus eingelesen und verarbeitet werden. Für beide Definitionen (der internen Daten und der Definition von neuen Funktionen) wird auf XML zurückgegriffen.

Leitungslängenmetrik

In 3D-Systemen ist eine möglichst genaue Abschätzung der Signallaufzeiten zwischen den Modulen während der DSE sehr entscheidend. In der Antragsphase des Projekts war der Stand der Technik im 2D-Bereich der, dass Signallaufzeiten mittels Leitungslängenabschätzungen vorgenommen wurden, da zu dieser Zeit die Leitungslänge und die Signallaufzeit korreliert waren. Das ist aktuell auch im Bereich der 2D-Integration nur noch unter bestimmten Annahmen der Fall und die Untersuchungen für das Projekt NEEDS haben ergeben, dass im Bereich der 3D-Integration dieser Zusammenhang dort nicht mehr existiert. Deshalb wurde die Aufgabenstellung dahingehend erweitert, als das jetzt keine 3D-spezifische Leitungslängenabschätzung, sondern eine 3D-spezifische Signallaufzeitabschätzung entwickelt werden muss. Dieses entwickelte Verfahren soll sich direkt in die ebenfalls zu entwickelnde DSE integrieren. Damit sind die Randbedingungen folgendermaßen gegeben:

- Der Beginn einer Leitung ist in einem Modul.
- Das Ende oder die Enden einer Leitung sind in einem Modul.
- Die Positionen der Module sind fixiert und bekannt.
- Der genaue Startpunkt der Leitung innerhalb des Moduls ist nicht bekannt.
- Der genaue Endpunkt der Leitung innerhalb des Moduls ist nicht bekannt.

Mit diesen Vorgaben wurde das folgende Verfahren entwickelt, das mit statistischen Methoden arbeitet. Dabei werden für bestimmte Chiptechnologien (z.B. 180nm analog, 65nm und 32nm digital) Daten aus Beispiellayouts gesammelt und statistisch aufbereitet. Mit diesen Daten kann dann für das zu untersuchende 3D-System eine Abschätzung über die Signallaufzeiten vorgenommen werden. Diese Auswertung ergibt dann für die Signallaufzeiten auch eine statistische Tendenz in Form einer Verteilungskurve der Signallaufzeit.

Transformationen der entwickelten XML-Sprache

Durch die Standardisierung und die große Akzeptanz von XML gibt es zu dieser Sprache viele Werkzeuge. Damit besteht die Möglichkeit, die XML-Beschreibung eines Systems einfach in andere XML-Beschreibungen oder sogar in andere Formate zu transformieren. Diese Möglichkeiten werden für eine effektive Design-Space-Exploration ausgiebig genutzt.

Als ein mögliches Beispiel für eine Umwandlung in eine andere XML-Beschreibung sei der Export in das X3D-Format [X3D] genannt. X3D (Extensible 3D) ist ein Dateiformat zur Speicherung modellierter 3D-Szenen. Da X3D auf der Auszeichnungssprache XML basiert, ist es ebenfalls ein flexibles und erweiterbares Format. Aufgrund der Zielsetzung der Kompaktheit entstand ein modulares Konzept. Da

das X3D-Format in einer XML-Struktur gespeichert ist, wird eine Transformation der neu entwickelten XML-Struktur zum X3D-Format relativ einfach möglich, wodurch sich die Systeme einfach darstellen lassen.

Ein weiteres Ziel ist, die in diesem Bericht beschriebene XML-Struktur in ein zweckmäßiges Datenaustauschformat zu transformieren (Geometrie, Material, Wärmeleitfähigkeit, Hierarchie, ...), wobei die resultierenden Dateien dann jeweils in ANSYS oder CST (Zwischenstufe über CAD-Tools, wie z.B. Pro Engineer) weiterverarbeitet werden können.

Es existieren viele verschiedene CAD-Austauschformate. Eine umfassende Literaturrecherche führte zur Entscheidung für das neutrale und kompakte Austauschformat STEP - Standard for the Exchange of Product Model Data [And00]. STEP ist eine ISO-initiierte Schnittstellennorm (ISO 10303), welche über einen reinen Geometrieaustausch (wie z.B. bei IGES) hinausgeht. Möglichst alle Produktdaten vom gesamten Lebenszyklus sind eindeutig darstellbar und übertragbar. Das Gesamtmodell setzt sich mittels verschiedener Partialmodelle (z.B. Materialmodell, Oberflächenangabenmodell, Geometrie-Modell, ...) zusammen. Weiterhin besteht die Möglichkeit bei Zusammenbauten Informationen über die hierarchische Struktur weiterzugeben und eine zusätzliche Beschreibung von Attributen ist möglich. Daher soll der Standard STEP mit seiner eindeutigen Beschreibung der Elemente in Zukunft andere Datenaustauschformate (wie z.B. auch IGES) ablösen. Dieser Prozess hat bereits begonnen. Desweiteren stellen die modulare Definition dieses Standards (Baukastenprinzip), die Konvertierbarkeit zwischen verschiedenen Informationsebenen (Levelkonzept), die definierte Implementierbarkeit von Untermengen (Subsets) weitere Vorteile von STEP dar.

Folgende Auflistung repräsentiert konkrete Bestandteile des STEP-Standards [Ste, Ste06]:

- XML-Repräsentation (Part 28)
- Rahmenbedingungen für geometrische Objekte sind spezifiziert, Topologie- und Geometrie-Modell (Part 42): Grundkörper (Quader, Kugel,...), CSG-Repräsentation, Mengenoperationen (z.B. Vereinigung, Differenz, ...)
- Koordinatensysteme (Part 42, 43)
- Materialanlagen (Part 45)
- Partialmodell Zeichnungswesen, Maßeinheiten der Bemaßung (Part 101)
- Produktstruktur, Baugruppenstruktur, Gestaltrepräsentation, ... -> Application protocol: Configuration controlled 3D designs of mechanical parts and assemblies, Konfigurationsabhängiger 3D-Entwurf (Part 203, Volumenmodelle AP203 Class 6)
- Application protocol: Mechanical design using boundary representation (AP204)
- Application protocol: Core data for automotive mechanical design processes (AP214)
- Boundary Representation (Part 512, 513, 514)
- Constructive Solid Geometry, Application interpreted constructs (Part 515): Produktmerkmale (Gestalt als 3D-surface oder 3D-CSG-solid, ...), Referenz auf Maßeinheiten

Erste Tests bezüglich des Imports von kleineren STEP-Dateien, beruhend auf der CSG-Methode (Kugel-Modell oder Vereinigung zweier Quader), in CAD-Tools, haben stattgefunden. Es stellte sich dabei heraus, dass CAD-Tools, wie z.B. Pro Engineer, beim Import die CSG-Modellierung nicht importieren können und eine B-Rep-Modellierung zu erwarten scheinen. Daher wird eine Transformation der CSG-Beschreibung in B-Rep notwendig sein, was aufwändig, aber realisierbar ist.

Anwendungen der Beschreibungssprache beim Entwurf

Die systematische und maschinenlesbare Beschreibung 3-dimensionaler Geometrien ist die Grundlage für 3D-Entwurfswerkzeuge. Dringend benötigte Erweiterungen gegenüber den existierenden 2D-Entwurfsverfahren sind:

- Prüfung von Entwurfsregeln im Stack und Package
- Analyse der Wärmeausbreitung

Erkennen von Kontaktflächen zur Berechnung der Wärmeausbreitung

Das Abführen von Verlustleistung in Form von Wärme stellt im 3D-Design eine große Herausforderung dar. TSV-Strukturen und Metallisierungsebenen transportieren Wärme aus inneren Schichten des Stapels ab. Erst eine Betrachtung als 3D-Geometrie erlaubt das Erkennen und Beheben sogenannter Hotspots im Design, die zu Fehlfunktion oder reduzierter Lebensdauer führen können.

Es besteht daher das Ziel, die entwickelte Sprachstruktur für die Modellierung der Wärmeausbreitung zu erweitern. Dazu ist u.a. die Angabe thermischer Materialeigenschaften erforderlich. Dazu sollen in einer weiteren Stufe der Entwicklung sowohl thermische als auch elektrische Ersatzmodelle gespeichert werden können.

Zur Berechnung der Wärmeausbreitung ist es außerdem nötig, diejenigen Flächen erkennen zu können, bei denen Kontakt zwischen Körpern besteht. Ein Kontakt besteht dann, wenn sich zwei Elemente berühren, wobei es sich um Flächen gleicher oder verschiedener Größe handeln kann. Ein Algorithmus soll überprüfen können, ob hinsichtlich eines Zielkörpers ein Kontaktkörper existiert. Das kann auf verschiedenen Wegen realisiert werden. Zum Beispiel ist eine systematische Koordinatenanalyse denkbar, welche das Auffinden von Überschneidungen bzw. Dopplungen in den Koordinaten zum Ziel hat. Dieses Vorgehen ist aufwändig, so dass eine effektivere Methode vorzuziehen ist. Das Konzept der Bounding Box kann beispielsweise dazu verwendet werden, um zu prüfen, ob sich zwei Objekte berühren. Für Kontaktabfragen ist dabei der Quader eine naheliegende Geometrie. Diese wird dazu verwendet, jedem Volumen eine Box zuzuweisen, in der es vollständig enthalten ist, wobei danach entsprechende Abfragealgorithmen Anwendung finden [Bou, Amr09, Pet07].

Automatische Prüfung von 3D-Designregeln

Die strukturierte, maschinenlesbare Beschreibung komplexer 3D-Aufbauten bietet in Verbindung mit einer ebensolchen Beschreibung von Designregeln die Möglichkeit, die Einhaltung geometrischer Entwurfsregeln zu überprüfen, wie dies im klassischen 2D-Entwurf möglich ist. Dazu zählen u.a.:

- das Einhalten von Mindestabständen
- Überschneidung
- Kontakt/Berühren
- zulässiges Eindringen

Durch die vielfältigen technologischen Möglichkeiten der 3D-Fertigung erhöht sich die Zahl und Kompliziertheit zu berücksichtigender Regeln, wodurch die Notwendigkeit einer automatischen Prüfung erwächst.

Abfragen bezüglich Rundungsfehlern sowie Reparaturfunktionen sollen jeweils in einem separaten Tool als Zusatztools zum XML-Format angeboten werden.

Beitrag 3.2: Grundstrukturen für 3D Interconnects (LIS)

Problemstellung

Die 3D-Integration begünstigt die Herstellung heterogener Ein-Chip-Systeme, sog. applikationsspezifischer SoCs (System-on-Chip). Als Kommunikationsinfrastruktur für solche Systeme bieten sich applikationsspezifische NoCs an, die die eingesetzten IP-Cores auf globaler Ebene miteinander verbinden. Diese benötigen (auch bei herkömmlichen 2D-Systemen), im Gegensatz zu regulären NoC-Strukturen, konfigurierbare Router. Für 3D-Systeme muss zusätzlich die Kommunikation über TSV-Anordnungen berücksichtigt werden und möglichst effizient gestaltet werden (Ausnutzung der vollen TSV-Bandbreite). Aufgrund der hohen Ausfallraten von TSVs ist zusätzlich eine Form von Fehlertoleranz gegenüber defekten TSVs notwendig, um 3D-Systeme wirtschaftlich produzieren zu können. Zusätzlich ist eine möglichst einfache Migration von 2D- zu 3D-Systemen wünschenswert, bspw. durch die Möglichkeit der transparenten Fortsetzung herkömmlicher Kommunikationsprotokolle über Layer-Grenzen hinweg.

Ergebnisse

Basierend auf den Ergebnissen von Beitrag 2.4 wurde in diesem Beitrag eine konfigurierbare Grundstruktur entwickelt, die eine effiziente Realisierung von Intra-Layer-Verbindungen in 3D-Schaltungen ermöglicht.

Wesentlicher Aspekt ist hierbei die Konfigurierbarkeit, so dass sich das Modul im Rahmen der 3D-Schaltungsgenerierung im NEEDS-Projekt einsetzen lässt. Diese von uns „TSV-Hub“ genannte Grundstruktur ist in einer Beispielkonfiguration in Abbildung 32 dargestellt.

Weiterhin wurde ein konfigurierbarer Router auf Basis der LISNoC-Architektur entwickelt, so dass es möglich ist, in Kombination mit dem TSV-Hub vollständige applikationsspezifische 3D-Netzwerke aufzubauen.

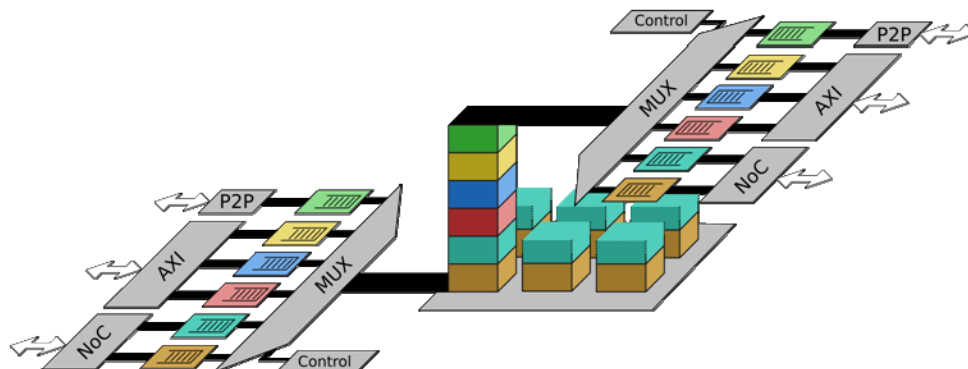


Abbildung 32: TSV-Hub (Beispielkonfiguration)

Wesentliche Merkmale des TSV-Hubs sind:

- Nutzung von Serialisierung und Multiplexing zur Ausnutzung der vollen TSV-Bandbreite
- Bereitstellung von generischen virtuellen Links als Service für Interconnect-Protokolle auf höherer Abstraktionsebene. Diese virtuellen Links sind stark konfigurierbar (z.B. Wortbreite, Puffer-tiefe, Taktfrequenz)
- Konfigurierbarer und adaptiver Scheduler
- Unterschiedliche Taktverteilungsmethoden möglich (synchron, source-synchron/mesochron, asynchron)
- Fehlertoleranz (gegenüber Fehlerhaften TSVs)

Funktionsweise:

Die Daten der virtuellen Links werden über Multiplexer auf die Wortbreite des TSV-Interfaces angepasst. Ein Scheduler sorgt für eine effiziente Auslastung des TSV-Arrays unter Berücksichtigung der QoS-Anforderungen der einzelnen virtuellen Links und nimmt die Zuordnung der TSV-Timeslots an die virtuellen Links vor.

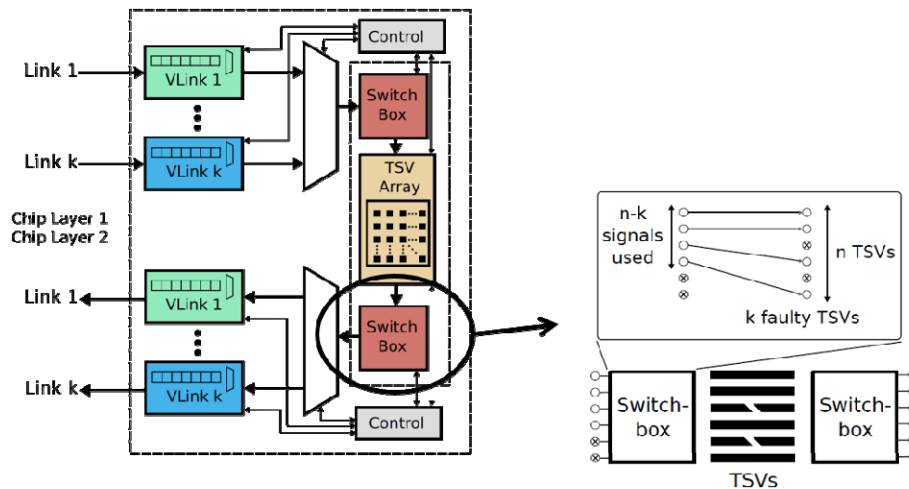


Abbildung 33: Fehlertoleranz mit Hilfe von Switch-Boxen

Aufgrund der hohen Ausfallrate von TSV-Verbindungen ist es notwendig, eine Fehlerbehandlung zu implementieren. Dies wird im TSV-Hub mit Hilfe von Switch-Boxen erreicht. Die Switch-Boxen ermöglichen einen Weiterbetrieb bei Ausfall bis hin zu einer konfigurierbaren Anzahl an max. fehlerhaften TSVs. Diese max. Anzahl ist konfigurierbar und hat einen direkten Einfluss auf die Komplexität der Switchboxen.

Zum Aufbau von vollwertigen applikationsspezifischen 3D-On-Chip-Netzwerken sind außerdem Router erforderlich. Hierfür lassen sich jedoch unter Verwendung des TSV-Hubs herkömmliche 2D-Router einsetzen, die sich hinsichtlich der Portanzahl konfigurieren lassen. Wir verwenden in unseren Untersuchungen eine Variante der LIS-NoC-Architektur [LISNoC].

Die Beschreibung der Konfiguration des TSV-Hubs erfolgt im NEEDS-XML-Format und ermöglicht so einen Austausch mit den anderen im Projekt entwickelten Werkzeugen.

Eine ausführlichere Darstellung der wesentlichen Ergebnisse dieses Beitrages findet sich auch in (22).

Beitrag 3.3: Werkzeuge zur Synthese von Interconnect-Architekturen (LIS)

Problemstellung

Bereits bei der Entwicklung von heterogenen SoCs in herkömmlicher 2D-Integrationstechnik existieren hinsichtlich der Realisierung eines geeigneten NoCs sehr viele Freiheitsgrade, so dass die manuelle Entwicklung geeigneter On-Chip-Netzwerke kaum machbar ist. Insgesamt sind bei solchen Systemen viele Kommunikationsanforderungen zwischen den vorhandenen IP-Cores zu berücksichtigen, die durch unterschiedliche Parameter (Bandbreite, Latenz) charakterisiert sind. Für die Summe aller Anforderungen muss eine geeignete NoC-Topologie insgesamt sowie ein geeignetes Mapping der einzelnen Anforderungen auf eine Sequenz von NoC-Routern gefunden werden. Im Falle von 3D-Systemen gestaltet sich das Problem noch komplexer, da zusätzlich Inter-Layer-Verbindungen mittels TSV-Technik berücksichtigt werden müssen. TSVs müssen dabei so instanziiert werden, dass sie effizient betrieben werden können.

Ergebnisse

Im Rahmen dieses Beitrages wurde ein Synthesetool entwickelt, welches auf Basis einer Beschreibung von Kommunikationsanforderungen und eines initialen 3D-Floorplans eine geeignete Netzwerktopologie erzeugt.

Die Kommunikationsanforderungen lassen sich als Graph formulieren (Abbildung 34 zeigt beispielhaft einen derartigen Kommunikationsgraph). In diesem Graph repräsentiert jeder Knoten einen IP-Core und jede Verbindung zwischen zwei IP-Cores eine Kommunikationsanforderung zwischen diesen Cores.

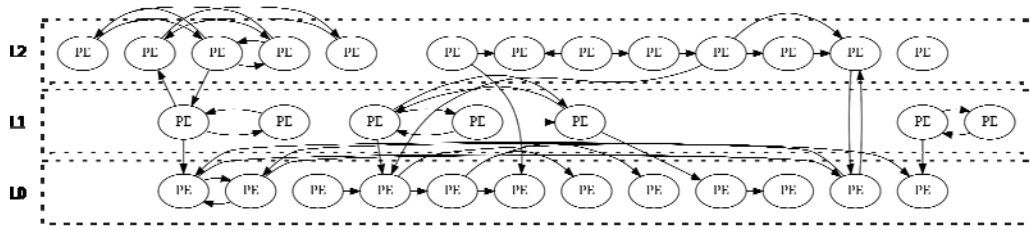


Abbildung 34: Kommunikationsgraph

Der initiale Floorplan wird von Floorplanning-Tool der Universität Hannover (im NEEDS-XML-Format) bereitgestellt und enthält an dieser Stelle noch keine Kommunikationsmodule wie Router oder TSV-Hubs.

Die einzelnen Schritte zur Erzeugung der Netzwerktopologie sind in Abbildung 35 dargestellt.

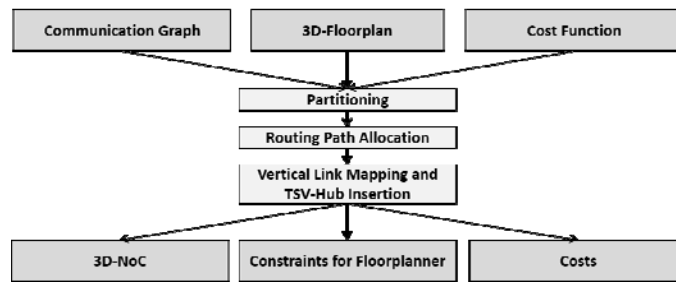


Abbildung 35: Schritte der 3D-NoC-Synthese

Partitionierung:

In der Partitionierungsphase werden IP-Cores in Cluster eingeteilt. Diese Einteilung erfolgt derart, dass die Kommunikation innerhalb eines Clusters möglichst groß ist und die Kommunikation zwischen den Clustern möglichst gering. Als Algorithmus kommt hierbei „Spectral Clustering“ zum Einsatz wie in [Tod13], beschrieben. Jedes Cluster erhält einen Router und jeder IP-Core im Cluster wird mit diesem Router verbunden. Ein mögliches Ergebnis der Partitionierungsphase zeigt Abbildung 36 (linkes Bild).

Routing Path Allocation:

Im nächsten Schritt werden die NoC-Links zwischen den Routern aufgebaut und die einzelnen Kommunikationsanforderungen jeweils auf eine Sequenz solcher Links abgebildet. Hierbei kommt ein generativer Algorithmus zum Einsatz [Ver13]. Verbindungen zwischen den Routern werden möglichst kosteneffizient hergestellt. Neue NoC-Links werden nur dann eingebracht, wenn sich mit den bereits vorhandenen Links keine Sequenz herstellen lässt, die die Latenzanforderungen für die entsprechende Kommunikationsanforderung erfüllt. Ein beispielhaftes Ergebnis dieser Phase ist in Abbildung 36 (Mitte) dargestellt. NoC-Links innerhalb einer Ebene ließen sich an dieser Stelle bereits über konventionelle Metal-Layer herstellen und resultieren daher letztendlich in physikalischen Links zwischen den Routern. Die vertikalen NoC-Links müssen jedoch noch gezielt über TSV-Hubs geführt werden und sind an dieser Stelle noch „virtuell“ zu betrachten.

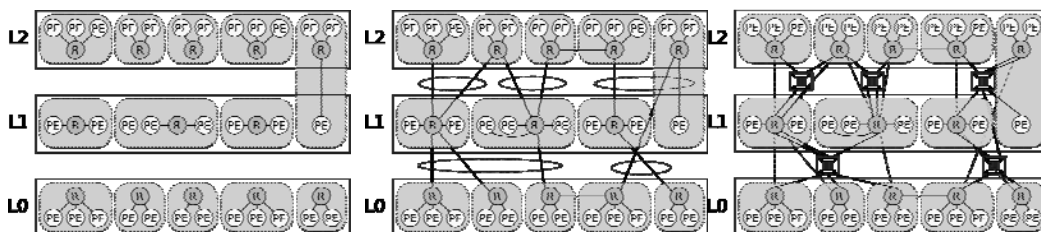


Abbildung 36: Ergebnis der Partitionierung (links), Routing Path Allocation (Mitte) und TSV-Hub Insertion (rechts)

TSV-Hub Insertion:

Im finalen Schritt werden TSV-Hubs instanziiert und verbunden. Dies geschieht so, dass die Korrelation des Verkehrsaufkommens der einzelnen Links berücksichtigt wird. Zeigen zwei Links eine negative zeitliche Korrelation ihres Verkehrsaufkommens, d.h. treten selten zeitgleiche Übertragungen auf beiden Links auf, so eignen sich diese besonders für eine gemeinsame Fortsetzung und für die Anwendung von statistischem Multiplexing. Die virtuellen Links zwischen den Ebenen werden daher auf Basis ihrer Korrelation in Cluster eingeteilt (ebenfalls mittels Spectral Clustering) und für jedes Cluster wird ein TSV-Hub instanziiert, der alle Links des Clusters gemeinsam fortsetzt. Ein beispielhaftes Ergebnis dieser Phase zeigt Abbildung 36 (rechts).

Ausgabe:

Die TSV-Hubs werden vom NoC-Synthese-Tool instanziiert und mit einer vorläufigen Position versehen. Das finale Placement wird wieder vom 3D-Floorplanner durchgeführt.

Als Ergebnis wird eine Netzwerktopologie ausgegeben, die erneut im NEEDS-XML-Format beschrieben ist. Zusätzlich werden für jede realisierte Kommunikationsanforderung detaillierte Kostenfaktoren ausgegeben, die dem Explorationswerkzeug die Möglichkeit bieten das generierte Netzwerk zu beurteilen und ggf. mit neuen Parametern oder geändertem Floorplan neu zu starten.

Beitrag 3.4: 3D-Floorplanning (IMS)**Problemstellung**

Zum 3D-Floorplanning gehört nicht nur der rein geometrische Aspekt. Zu seiner Berücksichtigung wurden bereits spezielle Datenstrukturen vorgeschlagen. Wichtig neben dem geometrischen Aspekt ist es, während des Floorplannings Synthese- und Analyseschritte so durchführen zu lassen, dass das Floorplanning konvergiert. Eine dafür geeignete allgemeine Methodik existierte zu Projektbeginn noch nicht.

Ergebnisse

Zunächst wurden die Anforderungen an einen 3D-Floorplanner gesammelt, so dass dieser sich nahtlos in den Optimierungsflow in NEEDS integrieren kann. Spezielle Anforderungen waren die Möglichkeit, aufgrund des iterativ verbessernden Vorgehens, in kurzer Zeit qualitativ hochwertige 3D-Floorplans zu berechnen, sowie eine einfache Möglichkeit, den Floorplanner von außen anzusteuern, um beispielsweise die Konvergenz beim Erzeugen von aufeinanderfolgenden Floorplans sicherzustellen. Auf Basis dieser Anforderungen wurden eine geeignete Floorplan-Datenstruktur und ein geeigneter Optimierungsalgorithmus entwickelt und als C++-Programm realisiert. Die Datenstruktur basiert auf dem wohlbekanntem B*-Tree, der häufige Verwendung im Floorplanning-Bereich findet. Dieser wurde um zusätzliche Funktionalitäten erweitert, wie beispielsweise der Möglichkeit, mehrere IP-Cores direkt übereinander anzuordnen und auch der Möglichkeit, maximale Abstände zwischen IP-Cores sicherzustellen. Beide Anforderungen sind für die Planung von Kommunikationsverbindungen (NoC-Planung vom LIS) notwendig. Als Optimierungsverfahren wurde das Simulated Annealing eingesetzt, welches ebenfalls regelmäßig im Floorplanning-Bereich verwendet wird. Dieses wurde genau wie die Datenstruktur an die Anforderungen im NEEDS-Projekt angepasst, siehe Beitrag 4.6 für weitere Informationen. Weiterhin wurden um die Datenstruktur und den Optimierungsalgorithmus herum zahlreiche Methoden für die Ein- und Ausgabe von Informationen bezüglich des Floorplans implementiert. Beispielsweise wurde als Eingabeformat mit den Projektpartnern ein gemeinsames XML-Format definiert, welches von unserem Floorplanner verarbeitet werden kann. Nachfolgend ist der Ausschnitt aus der XML-Datei zu sehen, der für einen Teil der Steuerung des Floorplanners zuständig ist:

```
<COST_AREA>100.0</COST_AREA >
<COST_WIRELENGTH>100.0</COST_WIRELENGTH>
<COST_TSV>1.0</COST_TSV>
<COST_TEMPERATURE>1.0</COST_TEMPERATURE>
```

Eine grafische Ausgabe des Ergebnisses unseres Floorplanners ist in Abbildung 37 zu sehen.

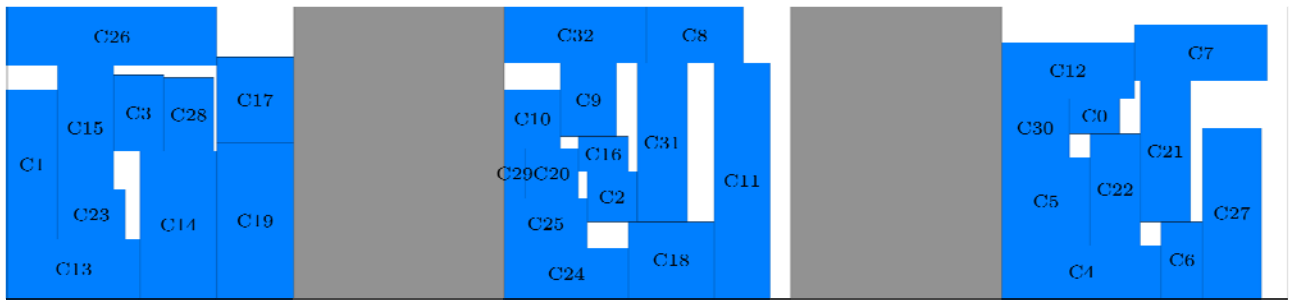


Abbildung 37: 3D-Floorplan

Zusammenfassend kann gesagt werden, dass in diesem Beitrag ein kompletter 3D-Floorplanner mit allen notwendigen Funktionen implementiert wurde.

2.4 Aufgabe 4: 3D-Schaltungsanalyse

In Aufgabe 4 „3D-Schaltungsanalyse“ wurde in dem Beitrag 4.1 ein Prototyp zur Modellierung der Vorhersage von Produktionstestkosten erstellt. Im Beitrag 4.2 wurde eine Technologie-Datenbank definiert und entworfen, die als Technologie-Schnittstelle zu den entwickelten Tools genutzt wird. Die Beiträge 4.3, 4.4 und 4.5 haben den Schwerpunkt der thermischen Analyse und Simulation. Hierzu wurden die funktional/thermische Simulation, die Material/Package Modelle und die thermischen Modelle entwickelt. Außerdem wurde im Beitrag „Analyse im 3D-Floorplanning“ Bewertungsfunktionen zur Optimierung des Floorplans untersucht.

Beitrag 4.1: Test-Modellierung (LZS)

Problemstellung

In jeder Phase der 3D-Systemintegration und des Entwurfsablaufs können Kostenabschätzungen entstehen. Sie müssen unabhängig modelliert werden können, und für die Kostenoptimierung geeignet angepasst und angewendet werden können. So müssen Modelle für das gegenseitige Testen von 3D-Ressourcen im Wechsel zur Verfügung gestellt werden. Diese sind dann Ausgangspunkt für eine dezidierte Kostenanalyse unter Bedingungen des kostengünstigen und hochqualitativen Tests unter den Randbedingungen einer Produktion.

Ergebnisse

Interne Knoten, sowie auch komplexe Funktionseinheiten von hoch integrierten Schaltungen und Systemen sind über ihre äußeren Anschlusspins – wie das bei einem 3D-Produkt üblich ist - nicht mehr zu erreichen. Der Funktionstest dieser Einheiten muss daher durch interne Testeinheiten durchgeführt werden. Sehr oft verfügen Systems-on-Chip (SoC) und Systems-on-Package (SiP) über mächtige Funktionsblöcke, wie z.B. Prozessoren, Timer, Speicher, konfigurierbare Datenbusse, schnelle Dateninterfaces, Analog-to-Digital-Converter (ADC), Digital-to-Analog-Converter (DAC) und vieles mehr. Diese Einheiten sollen nun für interne Funktionstests herangezogen werden.

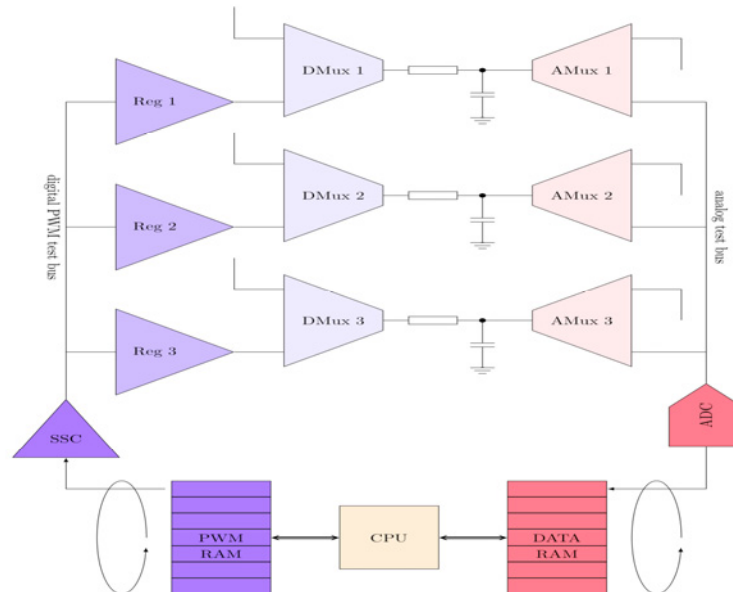


Abbildung 38: Digitaler Test analoger Kontaktlöcher (TVS)

Es wurde ein Systembeispiel aus Aktor, Übertragungskanal und Sensor für den 3D-spezifischen Test von analogen Kontaktlochketten erarbeitet (siehe Abbildung 38). Der entsprechende Einzeltest kann durch die Überprüfung der Dämpfungscharakteristik eines einzelnen Kontaktlochs durchgeführt werden. Es wird davon ausgegangen, dass das zu testende Kontaktloch eine Tiefpasscharakteristik aufweist. Zum Test vieler Kontaktlochketten muss nun der Gesamtwiderstand einer Kette überprüft werden. Beschaltet man eine solche Kette mit einer Kapazität bekannter Größe, erhält man einen Tiefpassfilter erster Ordnung. Über die Zeitkonstante, bzw. das Frequenzband des Filters kann man auf den zu überprüfenden Widerstand der gesamten Kontaktlochkette schließen. Damit lassen sich beide Testaufgaben auf die Charakterisierung eines einzigen Tiefpassfilters abbilden. Es werden alle benötigten Ressourcen (Parameter, Kosten) erfasst. Der Test verfügt über flexible Konfigurationsmöglichkeiten in der Verschaltung der Systemkomponenten. Da er mit rein digitalen Datenquellen auskommt, erfüllt er die Anforderungen an einen unter Kostenaspekten leicht abschätzbaren Produktionstest.

Beitrag 4.2: Definition und Entwurf von Technologieschnittstellen für Entwurfswerkzeuge (USI)

Problemstellung

Auf Grund der vielfältigen Varianten in der Prozesstechnologie ist es erforderlich, beim Entwurf eines integrierten 3D-Systems Technologie- bzw. Prozessrestriktionen zu berücksichtigen. Gleichzeitig können jedoch auch produktspezifische Constraints die Wahl des Integrationsflows beeinflussen. Deswegen werden für die in den Beiträgen 2.1 und 2.2 entworfene Prozessmanagementsoftware Technologieschnittstellen entwickelt, welche diese bidirektionale Verflechtung von Entwurfswerkzeugen auf der einen und Prozesstechnologie auf der anderen Seite realisieren. Für eine strukturierte Archivierung sowie direkten Zugriff auf die Technologiedaten ist es außerdem erforderlich eine Technologie-Datenbank anzulegen.

Ergebnisse

Damit die große Menge an technologischen Daten effizient verwaltet werden kann, wurde eine Technologie-Datenbank angelegt, die direkt an die für die Beiträge 2.1 und 2.2 entwickelte Prozessmanagementsoftware angebunden ist. Die Technologie-Datenbank und die dazugehörige softwareseitige Verwaltung erlauben den Zugriff auf die technologischen Daten und stellen damit den wesentlichen Kern der Technologie-Schnittstelle dar. In der Technologie-Datenbank werden alle technologischen Informationen gespeichert, die entweder von der Prozessmanagement-Software oder aber von den anderen im Rahmen des Projektes entworfenen Entwurfswerkzeugen benötigt werden.

Auf Grund der Verschachtelung der einzelnen Datensätze in der Technologie-Datenbank ist es sinnvoll, die Daten über eine grafische Benutzeroberfläche editierbar zu machen. Dies ist für alle relevanten Datenobjekte (Einheiten, Parameter, Materialien, Prozessschritte, TSV, Dies) realisiert.

Zur Optimierung der Abläufe innerhalb des Projektes wurde beschlossen, dass produktspezifische Vorgaben nur von der übergeordneten Design-Exploration an die Technologieplanung und damit der Prozessmanagement-Software übergeben werden. Diese Schnittstelle beschreibt somit einen Import von Informationen, welche die Entwicklung des Integrationsprozessflows (Arbeitspaket 1.2.1) direkt beeinflussen und beschreibt damit die eingehende Richtung der bidirektionalen Schnittstelle. Zu den produktspezifischen Vorgaben gehören dabei im Wesentlichen:

- Anzahl der Dies
- Technologie der Dies
- Anordnung der Dies
- Art der Through-Silicon-Vias (TSV)

Zur einfacheren Verarbeitbarkeit der Informationen durch die Entwurfstools wurde auch in diesem Fall XML als Austauschformat gewählt. Eine beispielhafte Beschreibung eines Die-Stapels bestehend aus drei Dies ist im Listing unten dargestellt. Die Technologieschnittstelle zu den übrigen Entwurfswerkzeugen beinhaltet den Export von Prozessdaten für das NoC-Tool und die Thermische Simulation (siehe Beitrag 2.2).

```
<dieStack>
<!-- Informationen über den Die Stack -->
  <id>0001</id>
  <name>DemonstratorFlow </name>
  <description>aus XML importierter Test Graph</description>
  <layer> 3 </layer>
  <!-- Informationen über die Dies -->
  <die>
    <id>0001 </id>
    <tech>CMOS 65nm </tech> <!-- Technologie des Dies -->
    <layerPos>1</layerPos> <!-- Stack-Position des Dies -->
    <orientation>face-up </orientation> <!-- Orientierung -->
    <hasTSV>>false </hasTSV>
    <needTSV>>false </needTSV>
    <TSVtype>- </TSVtype>
  </die>
  <die>
    <id>0002</id>
    <tech>CMOS 45nm</tech>
    <layerPos>2</layerPos>
    <orientation>face-up </orientation>
    <hasTSV>>false </hasTSV>
    <needTSV>>true </needTSV>
    <TSVtype>TSV copper 15um </TSVtype>
  </die>
  <die>
    <id>0003</id>
    <tech>CMOS 28nm</tech>
    <layerPos>3</layerPos>
    <orientation>face-down </orientation>
    <hasTSV>>false </hasTSV>
    <needTSV>>true </needTSV>
    <TSVtype>TSV copper 10um </TSVtype>
  </die>
</dieStack>
```

Beitrag 4.3: Kopplung der Simulatoren für die funktionale sowie die thermische Simulation (OF)

Um eine funktional/thermische Simulation eines Systems durchzuführen, sind sowohl Informationen über die Hardware notwendig als auch Informationen über die thermischen Eigenschaften des Systems. Für eine gemeinsame funktionale Simulation aller Komponenten des Systems sind geeignete Schnittstellen notwendig, welche die verschiedenen Arten der Simulation miteinander koppeln. Dies gilt insbesondere für die gemeinsame Simulation analoger und digitaler Hardware. Unterschiedliche Berechnungsarten (models of computation) verhindern eine direkte Co-Simulation

beider Teile. Die Kopplung zwischen analoger und digitaler Hardware muss eine Transformation aus der Zeit-kontinuierlichen (für analoge Hardware) in die Zeit-diskrete (für digitale Hardware) Darstellung ermöglichen. Dieses gilt selbstverständlich auch für die Gegenrichtung. Eine weitere Schnittstelle muss den Datenaustausch zwischen der funktionalen und der thermischen Simulation ermöglichen. Hier stellen die unterschiedlichen Granularitäten sowohl in Bezug auf physikalische Unterteilung des Systems, d.h. an welcher Stelle befinden sich einzelne Komponenten und wie sind diese gerastert, als auch die zeitliche Darstellung des Systemverhaltens eine Schwierigkeit dar.

Ergebnisse

Um in NEEDS eine funktional/thermische Simulation des Systems zu ermöglichen, wurden zur Simulator-Kopplung verschiedene Schnittstellen entworfen und implementiert. Diese ermöglichen eine funktional/thermische Co-Simulation von analogen und digitalen Hardwarekomponenten. Hierzu wurden die funktionalen Modelle der einzelnen Komponenten bzw. Module des 3D-Systems mit Informationen über ihre verhaltensabhängige Verlustleistung angereichert. Während der funktionalen Co-Simulation von SystemC und SystemC-AMS werden die ermittelten Daten über die umgesetzte Verlustleistung dann als Eingabe für die thermische Simulation genutzt.

In Abbildung 39 ist der Ablauf der funktionalen Simulation dargestellt. Er beschreibt den Weg von einer rein funktionalen Beschreibung der einzelnen Komponenten hin zu einem ausführbaren Modell, welches eine funktional/thermische Co-Simulation des Gesamtsystems erlaubt. Zunächst sind hierfür angereicherte Modelle der jeweiligen Komponenten zu erzeugen. Diese ermitteln dann während einer funktionalen Simulation die jeweils umgesetzte Verlustleistung. Diese ist wiederum Grundlage für die thermische Simulation des Gesamtsystems. In einer ersten Phase werden die einzelnen Komponenten des 3D-Systems um Informationen über ihre jeweilige Leistungsaufnahme angereichert. Für digitale Komponenten kommt dabei der Charakterisierungsprozess zum Einsatz, welcher im Rahmen des Projektes COMPLEX des siebten Rahmenprogramm (FP7) der EU entwickelt wurde. Für analoge Komponenten wurde in NEEDS ein eigener Charakterisierungsprozess entwickelt. Im NEEDS-Charakterisierungsprozess werden zunächst mit Hilfe einer rein funktionalen Simulation die jeweiligen Stimuli einer analogen Komponente aufgezeichnet. Die einzelnen Komponenten werden dann jeweils in ein funktional äquivalentes SPICE Modell überführt, welches mit den zuvor aufgezeichneten Stimuli charakterisiert wird. Das funktionale Modell wird um ein nicht-funktionales Modell erweitert, welches die charakterisierten Daten nutzt, um die umgesetzte Verlustleistung der jeweiligen Komponente während einer funktionalen Simulation abzuschätzen.

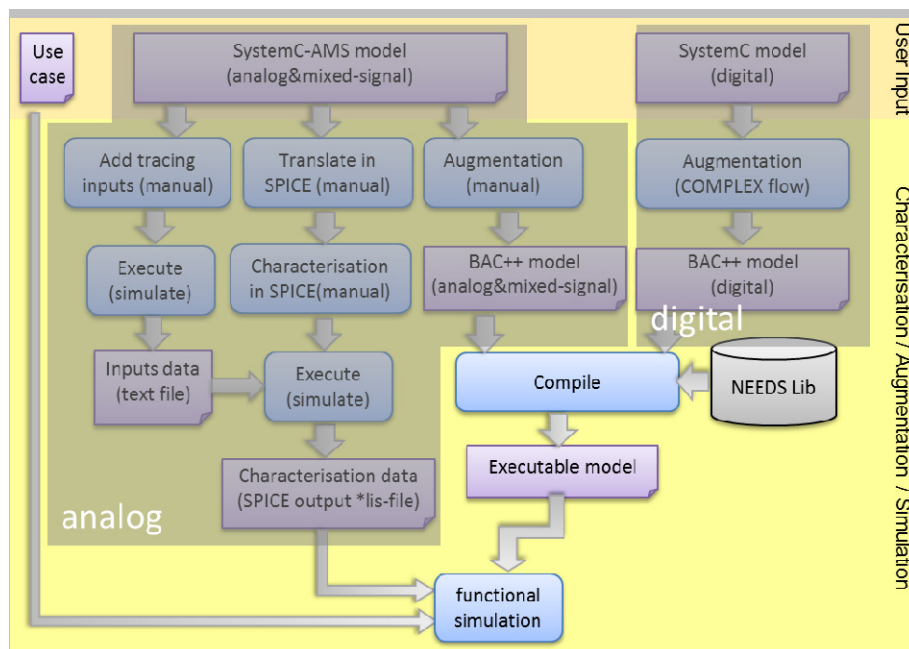


Abbildung 39: Funktionale Simulation von Analog- und Digitalteil

Beitrag 4.4: Entwurf thermischer Modelle für 3D-Chips (OF)

Problemstellung

Für die Durchführung einer thermischen Simulation müssen bestimmte physikalische Eigenschaften des Systems bekannt sein. Daher ist es für die thermische Analyse notwendig ein geeignetes thermisches Modell zu entwickeln. Dazu gehören unter anderem die unterschiedlichen Materialien aus denen das System aufgebaut wurde, als auch die unterschiedlichen Techniken, die bei der Fertigung der einzelnen Dies des 3D-Stacks Verwendung finden.

Ergebnisse:

Zum einen wurde in diesem Beitrag das Material-Modell beschrieben und zum anderen das darauf aufbauende Package-Modell. Beide Modelle werden in XML angegeben. Das Material-Modell beschreibt verschiedene Materialien, welche dann im eigentlichen Modell des Packages genutzt werden können. Für jedes Material sind bestimmte Eigenschaften anzugeben. Von besonderem Interesse sind hierbei Eigenschaften wie Wärmeleitfähigkeit und thermische Kapazität. Darüber hinaus ermöglicht das Material-Modell die Definition sogenannter Meta-Materialien. So kann z.B. die Wärmeleitfähigkeit eines Materials in eine bestimmte Richtung größer bzw. kleiner angegeben werden. Hierdurch lässt sich z.B. die Vorzugsrichtung von Leiterbahnen beschreiben, ohne die einzelnen Bahnen getrennt betrachten zu müssen.

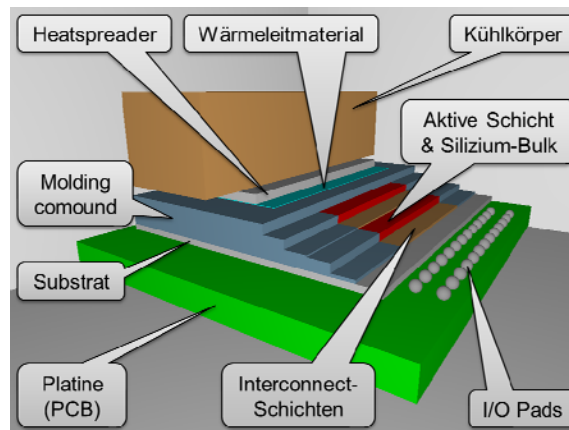


Abbildung 40: Aufbau eines Systems aus verschiedenen Materialien mit zwei aktiven Ebenen

Basierend auf den zuvor definierten Materialien kann dann das Package entworfen werden. Das Package selbst setzt sich aus verschiedenen Materialien zusammen. Der Aufbau des Packages bzw. des Package-Modells orientiert sich dabei an einem typischen Fertigungsprozess. Die für die thermische Simulation benötigten Informationen gehen dabei deutlich über den Aufbau eines einzelnen Chips bzw. eines Chip-Stapels hinaus. Das vorgestellte Modell ermöglicht ebenso die Spezifikation von Leiterplatte, Formmasse, Kühlkörper, etc. In Abbildung 40 ist ein typischer Aufbau eines solchen Packages zu sehen.

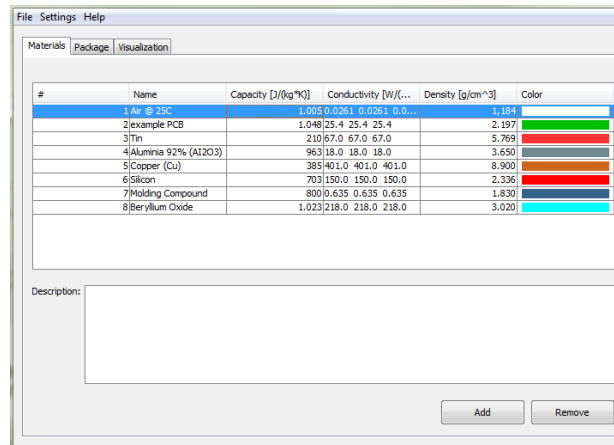


Abbildung 41: Package Editor mit liste der genutzten Materialien und deren physikalischen Eigenschaften

In Abbildung 41 ist der Package Editor zu sehen mit dem die Materialien erstellt und das Package beschrieben werden können. Die Daten können zur Weiterverarbeitung, wie in Abbildung 42 dargestellt, in XML ausgegeben werden.

```

<needs>
  <!-- Informationen über das Package -->
  <materials>
    <!-- Liste der Materialien -->
    <material id="material1">
      <description>PCB</description>
      <name>example PCB</name>
      <density>2197</density>
      <capacity>1048</capacity>
      <conductivity>25.4 25.4 25.4</conductivity>
      <color>0 0.75 0</color>
    </material>
    ...
  </materials>
  <packages>
    <package>
      <!-- Aufbau des Packages -->
      <size>360.0 180.0 20.0</size>
      <pcb material="material1">
        <size>320.0 160.0 2.0</size>
      </pcb>
      ...
    </package>
  </packages>
</needs>

```

Abbildung 42: Package Beschreibung in XML

Der Ansatz, der zur thermischen Simulation genutzt wird, basiert auf der Green Funktion und hat im Vergleich zu bekannten thermischen Simulationsansätzen, wie z.B. der Finite Differenzen Methode (FDM) oder der Finite Elemente Methode (FEM) eine wesentlich höhere Berechnungsgeschwindigkeit. Diese Beschleunigung der thermischen Simulation ist besonders für die funktionale Simulation von Interesse, da hier das Temperaturverhalten mit simuliert wird und es so zu häufigen Aktualisierungen der Temperaturen kommen kann.

Beitrag 4.5: Thermische Analyse dreidimensionaler Systeme (OF)

Problemstellung

Für die thermische Analyse eines Systems müssen die Aktivität des Systems, die Position der aktiven Komponenten und der physikalische Aufbau bekannt sein. Um eine thermische Simulation durchzuführen, werden die funktionale Simulation aus dem Beitrag 4.3 und das thermische Modell sowie das

Package Modell aus dem Beitrag 4.4 genutzt. Falls keine ausreichenden Informationen über das funktionale Verhalten des Systems vorhanden sind, muss ein alternativer Weg möglich sein.

Ergebnisse

Für die thermische Simulation werden die entwickelten Modelle aus den Beiträgen 4.3 und 4.4 zur thermischen Analyse dreidimensionaler Systeme genutzt. Hierbei wird die Information über die umgesetzte Verlustleistung mit Hilfe des Floorplans in eine 3D-Karte der Verlustleistung umgewandelt. Als Ergebnis der thermischen Simulation entsteht daraus eine 3D-Temperaturkarte. So kann dann ebenfalls mit Hilfe des Floorplans die jeweilige Temperatur der einzelnen Komponenten des Systems bestimmt werden. Die Temperatur wird dann wiederum z.B. bei der Bestimmung der Verlustleistung eines Moduls genutzt. Sie kann natürlich auch funktional (z.B. durch geänderte Filtereigenschaften etc.) berücksichtigt werden.

Abbildung 43 stellt den gesamten Prozess der thermischen Analyse dar. Die Abbildung zeigt dabei zwei mögliche Abläufe. Sind von dem System funktionale Modelle vorhanden, wird wie dies in Beitrag 4.3 vorgeschell wurde, eine funktionale Simulation durchgeführt, die Verlustleistungsinformationen an die thermische Simulation liefert (graue Pfeile). Die orangenen Pfeile beschreiben eine Simulation, welche eine thermische Abschätzung des Systems ohne eine funktionale Simulation erlaubt. Hierbei dienen statisch verfügbare Informationen über die Verlustleistung als Grundlage für die thermische Analyse des Systems. Die Information über die durchschnittlich umgesetzte Verlustleistung einer Komponente kann z.B. als zusätzliche Information an den Floorplan annotiert werden. Die thermische Simulation ermittelt dann die Temperaturverteilung für den eingeschwungenen Zustand des Systems und reichert den Floorplan mit dieser Information entsprechend an. Die Temperaturinformation kann dann von den anderen Werkzeugen im NEEDS-Entwurfsprozess genutzt werden, um das System weiter zu optimieren. So können z.B. Hot-Spots etc. vermieden werden.

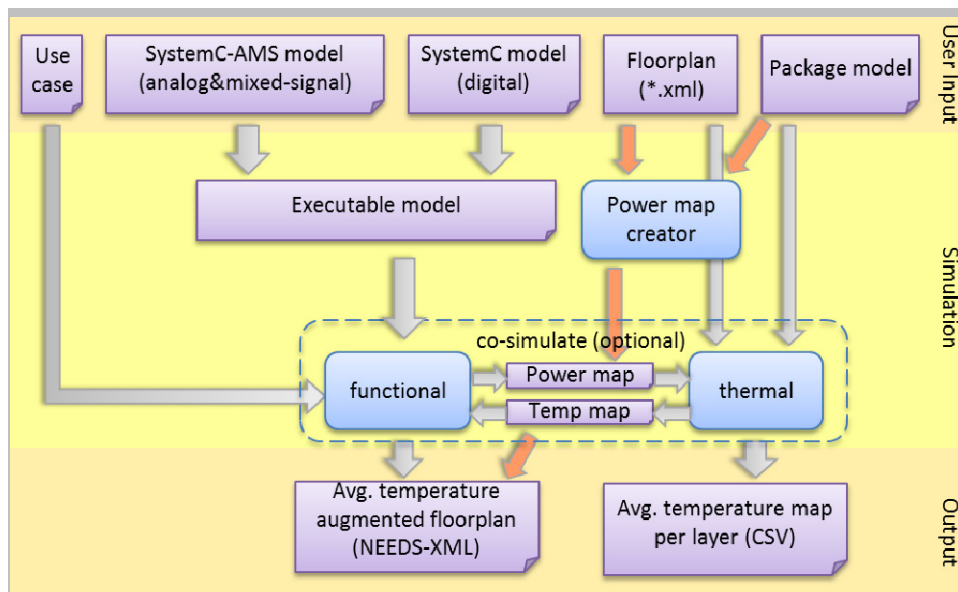


Abbildung 43: Ablauf der Thermische Analyse dreidimensionaler Systeme: graue Pfeile: funktional/thermische Simulation; orange Pfeile: thermische Simulation ohne funktionales Modelle

Beitrag 4.6: Analyse im 3D-Floorplanning (IMS)

Problemstellung

Der Floorplanner optimiert die Anordnung der einzelnen IP-Cores. Um verschiedene Floorplan-Varianten bewerten zu können, sind Analysemethoden erforderlich. Diese betreffen nicht nur die Fläche, sondern berücksichtigen auch die maximale Temperatur und Kosten für die Kommunikationsverbindungen. Die Herausforderung dieses Beitrags besteht darin, die verschiedenen

Analysemethoden so einzusetzen und mit eigenen Bewertungsfunktionen zu kombinieren, dass eine effiziente und zielführende Optimierung des Floorplans möglich ist.

Ergebnisse

Zur Bewertung eines Floorplans wurde der im Beitrag 3.4 beschriebene Floorplanner um bewährte Analysefunktionen erweitert. So kann eine Abschätzung von thermischen Hotspots, eine Abschätzung für die Verdrahtungslänge der Kommunikationsverbindungen, sowie die Berechnung der Fläche und der Anzahl der benötigten TSVs effizient berechnet werden. Die Analysewerte fließen als Summe in eine gewichtete Kostenfunktion ein.

$$C = \alpha \cdot A + \beta \cdot WL + \gamma \cdot TSV + \delta \cdot T$$

Aufgrund der Anzahl an Optimierungszielen und Randbedingungen, die für das Floorplanning relevant sind, reicht der in Beitrag 3.4 erwähnte Simulated Annealing (SA) als Optimierungsalgorithmus in seiner ursprünglichen Form nicht aus. Mit diesem ist es nur mit sehr viel Aufwand oder sehr hoher Laufzeit möglich, akzeptable Floorplans zu erzeugen. In diesem Beitrag wurden daher zusätzliche Analysefunktionen entwickelt und implementiert, die den SA zielgerichteter den Lösungsraum absuchen lassen und so die Gesamtlaufzeit des Floorplanners reduzieren. Jede Analysefunktion bezieht sich auf ein Optimierungsziel oder eine Randbedingung, wobei die Analysewerte angeben, welche Richtung beim SA vielversprechend ist. Anhand des Beispiels in Abbildung 44 wird dies kurz für die Fixed-Outline-Randbedingung erläutert, bei der der Floorplan eine vorgegebene Fläche nicht überschreiten darf. Die vorgegebene Fläche ist gestrichelt dargestellt. Man erkennt, dass die IP-Cores G und E außerhalb der Fläche sind. Um einen Floorplan zu finden, der die Fixed-Outline-Randbedingung einhält, kann der SA entweder zufällig herumprobieren die IP-Cores zu verschieben oder er erhält Informationen, welche IP-Cores (hier G und E) für die Verletzung der Randbedingung verantwortlich sind. Mit dieser Information kann der SA schneller eine gültige Lösung finden.

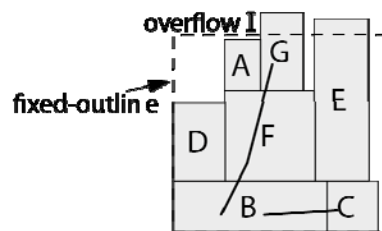


Abbildung 44: Fixed-Outline-Randbedingung

Da es für jedes Optimierungsziel und für jede Randbedingung eine Analysefunktion gibt, müssen die entsprechenden Analysewerte zu einer Kennzahl zusammengefasst werden. Dafür werden alle Analysewerte normiert und aufsummiert. Die erhaltene diskrete Verteilungsfunktion mit den Summen der Analysewerte für alle IP-Cores ist in Abbildung 45 dargestellt. Der SA entscheidet nun bei der Auswahl des IP-Cores, der im nächsten Schritt wegbewegt wird, nicht auf Basis einer Gleichverteilung, sondern auf Basis der diskreten Verteilungsfunktion. Die IP-Cores mit einem hohen Wert haben eine höhere Wahrscheinlichkeit ausgewählt zu werden und auch eine höhere Wahrscheinlichkeit, den aktuellen Floorplan hinsichtlich aller Optimierungsziele und Randbedingungen zu verbessern.

Das Hauptergebnis dieses Beitrags besteht also in der Anpassung und Beschleunigung des Optimierungsverfahrens und der Implementierung der dafür notwendigen Analysefunktionen.

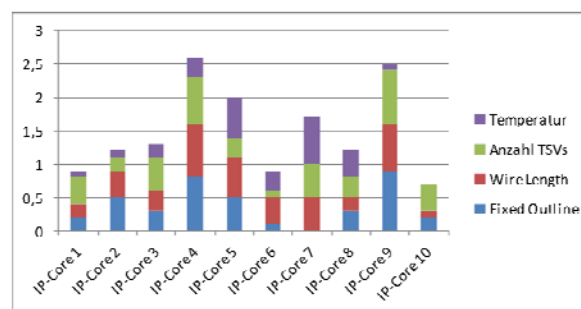


Abbildung 45: Diskrete Verteilungsfunktion

3 Verwertung

In den zurückliegenden Jahren ist der Funktionsumfang mikro- und nanoelektronischer Systeme ständig angewachsen. Mit leistungsfähigen System-On-Chip konnten Prozessoren, Peripheriebaugruppen und Flash-Speicher auf engstem Raum realisiert werden. Gleichzeitig wurden die Strukturbreiten insbesondere der digitalen Halbleiter bis auf 20nm und darunter reduziert. Diese Technologien erlauben die Realisierung hochkomplexer Prozessoren, sind jedoch für die Realisierung analoger Baugruppen schlecht geeignet und aufgrund extrem hoher Maskenkosten nur für hochvolumige Produkte einsetzbar. Um „Smart Systems“, die Prozessoren, Speicher, Sensoren und Kommunikationsschnittstellen beinhalten, miniaturisiert und kostengünstig zu realisieren, eignen sich „More than Moore“ Integrationstechnologien. Dabei werden mehrere Dies in einem Gehäuse montiert und verschaltet. Die leistungsfähigste Variante ist dabei das Stapeln der Chips, da hier kürzeste Signalwege zwischen den Baugruppen realisiert werden können. Da bislang jedes Schaltkreislayout auf einem zweidimensionalen Siliziumdie beruht, erfordert die 3D-Integration ein neues Herangehen.

Mit NEEDS werden Grundlagen zum Paradigmenwechsel in den industriellen Entwurfsprozessen gelegt. Dabei muss der Entwurf des Chipstapels und dessen einzelner Dies ganzheitlich betrachtet werden, um die geforderten Leistungsparameter im gegebenen Kostenrahmen zu erreichen und Zuverlässigkeit des Systems Test- und Herstellbarkeit zu gewährleisten. NEEDS betrachtet dabei die folgenden Aspekte im Zusammenhang:

- Auswahl der geeignetsten Integrationsform (Exploration)
- Konsistenz fertigungstechnologischer Abläufe
- 3D-Floorplanning
- Planung der Kommunikationswege im System (3D-NoC)
- Thermische Analyse
- Testmittel

Da der Zeithorizont zur Einführung der neuen Entwurfstechniken in der Industrie erst weit nach der Durchführungsphase von NEEDS liegen kann (siehe dazu auch die Beschreibung der Verwertungsketten in Kap. 2), wurden während der Projektdurchführungsphase von NEEDS keine unmittelbar danach einsetzbaren Entwurfswerkzeuge erarbeitet, sondern es wurden Überlegungen und Planungen für eine grundlegende Verbesserung des Entwurfs 3D-integrierter nanoelektronischer Systeme durchgeführt.

Die Planung der industriellen Verwertung wurde darauf ausgerichtet, den Know-how Transfer in die Industrie schon während der Projektdurchführung einzuleiten. Die Ergebnisse von NEEDS können im Anschluss von den Industriepartnern genutzt werden, um aufbauend auf diesen grundlegenden Ansätzen neue industrielle Entwurfsmethoden und –werkzeuge zu entwickeln und als künftige Standardfunktionen im Entwurfsprozess zu etablieren.

Von besonderer Bedeutung für die Verwertung der Projektpartner ist die Verknüpfung aller Einzelergebnisse zu einem durchgehenden Gesamtkonzept, das in einen kompletten NEEDS-Design-Flow für 3D-Designs umgesetzt wurde. Das edacentrum hat begleitend zur im Projekt NEEDS durchgeführten Arbeit umfangreiche Aktivitäten unternommen, um die Ergebnisse von NEEDS auf breiter Basis bekannt zu machen und so eine möglichst breite Verwertung der Ergebnisse vorzubereiten. Hierzu gehören u.a. mehrere Projektberichte im edacentrum Newsletter, Präsentation der Ergebnisse auf dem edaWorkshop sowie Verbreitung der Ideen und Ergebnisse der Forschungspartner über den edacentrum „Focus“-Verteiler mit dem Ziel einer F&E-Projektinitiierung.

Im nachfolgenden Kapitel wird der gemeinsame NEEDS-Design-Flow vorgestellt, bevor in den darauffolgenden Kapiteln ausführlich auf die Verwertung der von den einzelnen Projektpartnern erzielten Ergebnisse eingegangen wird.

3.1 Gemeinsamer NEEDS-Design-Flow

Für 3D-Systeme ist ein ganzheitlicher und durchgängiger Entwurfsprozess notwendig. Dieser muss in der Lage sein, verschiedene Designentscheidungen in den einzelnen Werkzeugen gegeneinander abzuwägen und so zu einem globalen Optimum zu gelangen. Die Erforschung und Entwicklung eines solchen Entwurfsprozesses war das Ziel des Projektes NEEDS.

Durch den entwickelten iterativen Entwurfs-Prozess sind die einzelnen Aufgaben und Beiträge des Projektes eng miteinander verzahnt.

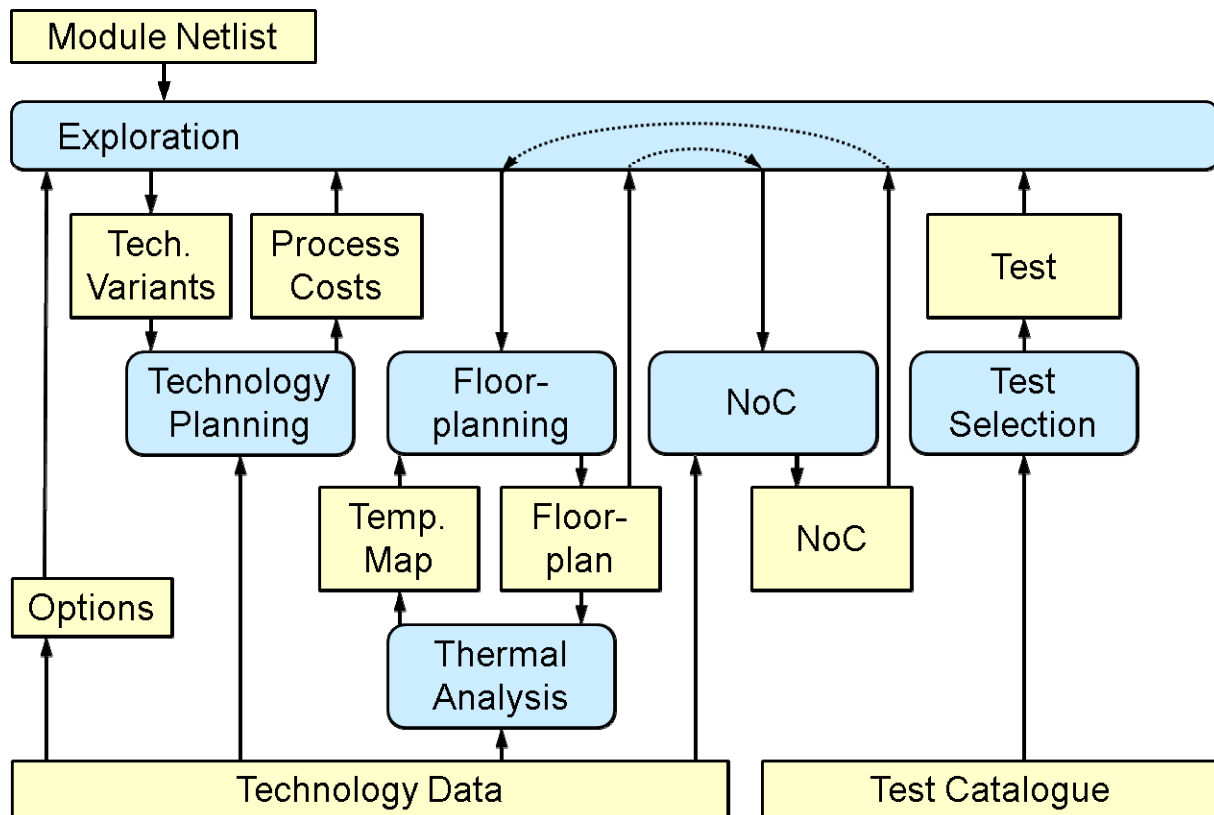


Abbildung 46: Gesamtflow des NEEDS-Projektes

Abbildung 46 zeigt den von NEEDS vorgeschlagenen Designflow:

- Die Exploration des 3D-Entwurfsraums übernimmt eine zentrale Rolle im gesamten Entwurfsprozess und steuert die weiteren Entwurfsschritte.
- Ein funktional korrektes Design mitsamt den dazugehörigen Stimuli-Daten wird vom Designer als Input vorgegeben.
- Parallel wird eine Strategie entworfen, welche die spätere Testbarkeit des Systems sicherstellt.
- Ausgehend von der Netzliste auf IP-Ebene kann dann zunächst die NoC-Planung erfolgen.
- Parallel dazu kann mit der Planung des Produktions-Prozesses begonnen werden.
- Die Ergebnisse können ggf. bereits in der ersten Iteration in die NoC-Planung einfließen.
- Die erzeugte NoC-Topologie dient dann als Grundlage für das Floorplanning.
- Andersherum können die Ergebnisse des Floorplannings die NoC-Planung beeinflussen.
- Basierend auf dem Floorplan, der Verlustleistung sowie der Beschreibung des Packages kann dann eine thermische Simulation durchgeführt werden.
- Diese kann den Floorplan um Temperaturinformationen anreichern, welche dann für eine Optimierung des Floorplans genutzt werden können.
- Schließlich kann nach dem Design der System-Instanz deren Testbarkeit bzw. deren Testabdeckung ermittelt werden.

Dieser Flow mit den vielen möglichen Iterationsschleifen zeigt deutlich die vielen Abhängigkeiten zwischen den einzelnen Schritten und Werkzeugen im Entwurf.

Von den NEEDS Partnern wird angestrebt, die im Rahmen von NEEDS entwickelten Werkzeuge, die Bestandteile des oben dargestellten 3D-Entwurfsablaufs sind, gemeinsam im Rahmen einer Tool-Suite wenn möglich kommerziell zu verwerten.

Beschreibungen der Partner



3.2 OFFIS

Ausgangslage

Der Wunsch nach einem immer höheren Funktionsumfang der heutigen informationstechnischen Systeme führt zu einer stetigen Steigerung der Komplexität dieser Systeme und einer damit verbundenen Verkleinerung der genutzten Strukturen innerhalb eines Chips. Bei dieser Verkleinerung der Struktur gelangt man zunehmend an physikalische und technische Grenzen und trifft häufiger auf neue Probleme und Herausforderungen wie z.B. einen großen Overhead für die Verbindungsstrukturen oder die Integration verschiedener Technologien. Eine Möglichkeit die Probleme der physikalischen Grenzen der Herstellung zu lösen ist die Ausnutzung der 3. Dimension bei der Herstellung von Systemen. So können z.B. bei dem Wechsel zu 3D-Systemen auch heterogene Herstellungsverfahren für verschiedene Systemebenen genutzt werden, wodurch es zu einer besseren Integration von Mixed-Signal und Sensor-Systemen kommen kann. Leider ist durch die stärkere räumliche Komprimierung der aktiven Komponenten eines Systems (ein wichtiger Punkt bei der Entwicklung eines Systems) die Temperatur, die einen erheblichen Einfluss auf Effekte wie Energieverbrauch, Alterung und Zuverlässigkeit besitzt. Um dem entgegen zu wirken benötigt der Entwickler eines 3D-Systems zu einem möglichst frühen Zeitpunkt Informationen über die thermischen Eigenschaften des Systems.

Ergebnisse in NEEDS

In NEEDS wurden prototypische Werkzeuge zur thermischen Analyse von 3D-Systemen entwickelt. Grundlegend werden für eine thermische Simulation drei Informationen über das zu simulierende System benötigt. Diese sind die Information über den physikalischen Aufbau des Gehäuses (Package), die Verlustleistung der aktiven Komponenten und die Lage der Komponente in dem System (Floorplan). Hierfür wurde in NEEDS für die Verarbeitung des Packages ein Material-Editor entwickelt, der es ermöglicht, die Materialien des Packages in XML zu beschreiben. Für die Verlustleistung wurde ein Simulationsflow entwickelt, der es ermöglicht, mit SystemC und SystemC-AMS Systeme zu simulieren, um die Verlustleistung zu erhalten.

Mit diesen beschriebenen Tools und mithilfe eines Floorplans des 3D Systems ist es nun möglich, schon zu einem frühen Entwicklungszeitpunkt eine funktional-thermische Simulation durchzuführen und so Informationen über das thermische Verhalten der Komponenten des Systems (digitale und analoge HW) zu erhalten.

Schritte zur Überführung in die Praxis

Zur Überführung der Ergebnisse von NEEDS in die Praxis sind von OFFIS drei wesentliche Punkte geplant. Die Ergebnisse, die OFFIS in NEEDS beiträgt, werden im Laufe der nächsten Jahre in eine mögliche Ausgründung überführt. Somit soll ein eigenes EDA Werkzeug zur funktional-thermischen Co-Simulation geliefert bzw. die erforschten Modelle und Methoden in ein anderes bestehendes Modell integriert werden. Durch die Insolvenz der ChipVision Design Systems AG kann die ursprüngliche geplante Integration der in NEEDS erzielten Ergebnisse in das kommerzielle Tool PowerOpt nicht mehr erfolgen. Die Rechte am Werkzeug PowerOpt (inklusive der Rechte an dessen Quellcode) sind jedoch an OFFIS übergegangen, so dass weiterhin Zugriff auf das Werkzeug besteht. Die Integration der Ergebnisse aus NEEDS wird daher von Seiten OFFIS erfolgen. Ergebnisse aus anderen Projekten werden ebenfalls weiterhin in PowerOpt einfließen (siehe „Notwendige Fortschreibung des Verwertungsplans“, Zwischenbericht 01.07.2011 bis 31.12.2011).

Das geplante Vorgehen für die Projektverwertung ist auch noch einmal für NEEDS und andere Projekte, in denen OFFIS beteiligt ist, zur Übersicht in der Abbildung 47 dargestellt. In der Abbildung ist genauer zu sehen, wie die einzelnen Projekte (blau EU, orange BMBF und grün Catrene Projekte) aufeinander aufbauen und wie sie später zu einer Ausgründung führen sollen.

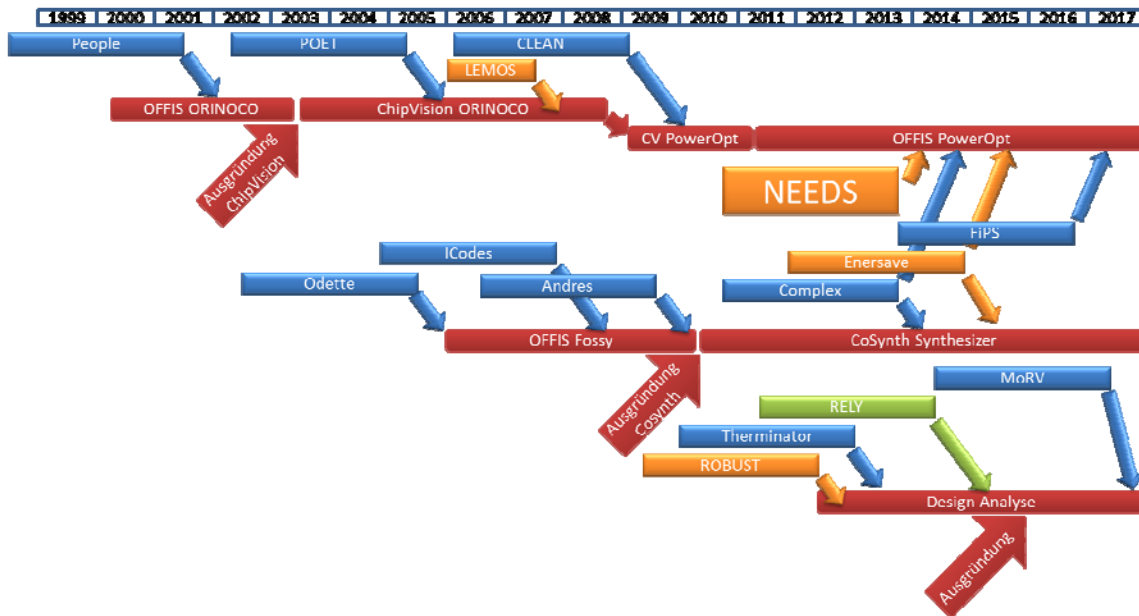


Abbildung 47: Projekt und Ausgründungsgeschichte im OFFIS

Zum anderen sollen die erreichten Forschungsergebnisse, die im Laufe des Projektes NEEDS entstanden sind, in anderen Projekten weiter genutzt und teilweise weitergeführt werden. Hierzu wurde frühzeitig bei den Projektplanungen darauf geachtet, dass beantragte und laufende Forschungsprojekte, die zur Übersicht in Abbildung 48 dargestellt sind, eine gemeinsame Schnittmenge bilden. So wurde in NEEDS unter anderem die Verlustleistungsabschätzung für digitale Komponenten von dem FP7 Projekt COMPLEX übernommen.

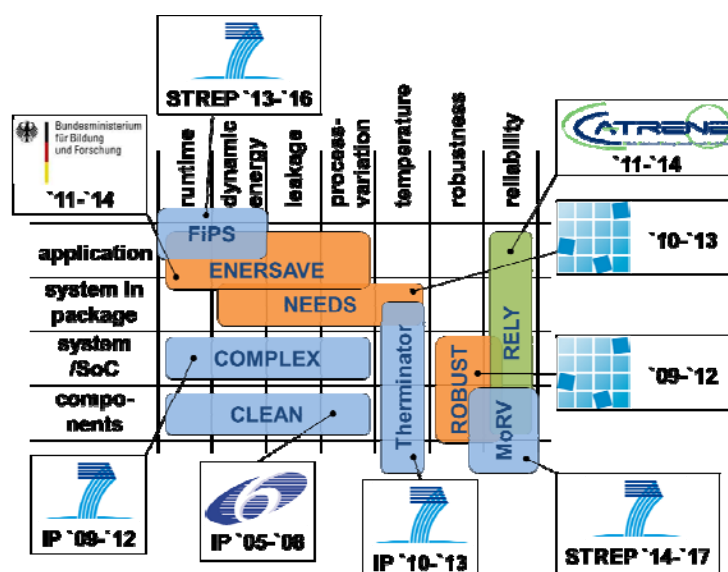


Abbildung 48: Thematische Abdeckung aktueller Projekte und Vorhaben

Da besonders die Temperatur eines Systems ein entscheidender Faktor für die Vorhersage von Alterung und Zuverlässigkeit ist, werden die Ergebnisse von NEEDS bereits für die Planung neuer Projekte genutzt. Dies ist z.B. für das geplante Projekt MoRV der Fall.

Als letzter Punkt ist die Überführung der gewonnen Erkenntnisse von NEEDS in die Lehre aufzuführen, d.h. dass Themengebiete als Teil der Vorlesung Low Energy System Design angeboten werden sollen. Die Ergebnisse aus NEEDS werden außerdem in einer geplanten Dissertation weiter ausgebaut.

Für ein mögliches Folgeprojekt ergeben sich folgende Arbeitspunkte:

- Automatisierung der Power Charakterisierung des SystemC-AMS Systems
- Vollautomatisierter Gesamtflow & Integration an Industrie Tools
- Ausbau in Richtung Alterung und Robustheit von 3D Systemen



3.3 Universität Siegen

Ausgangslage

3D-Chip-Stacking-Technologien können viele unterschiedliche Prozessschritte beinhalten, die auf verschiedene Art miteinander kombiniert und konfiguriert werden können. Die Auswahl der geeigneten Integrationsprozessfolge hat dabei großen Einfluss auf Fertigbarkeit, Testbarkeit, Kosten und auf die weiteren Entwurfsschritte. Bisher ist im industriellen Umfeld keine Entwurfsunterstützung für die 3D-Technologieplanung im Einsatz. Auch parallel laufende Forschungsansätze anderer Gruppen sind aktuell nicht feststellbar. Mehrere Gespräche mit Infineon haben jedoch die Notwendigkeit und den sinnvollen Einsatz für Methoden und Werkzeuge zur Technologieplanung bestätigt. So steht insbesondere der Wunsch, Technologiealternativen im Vorfeld zu evaluieren und konsistenzgeprüfte und kostenoptimierte Prozessfolgen zu verwenden im Vordergrund. Auch in der aktuellen Zusammenstellung der ENIAC Forschungsfelder ist die Technologiekonfiguration und das Technologiedesign als ein wichtiger Forschungsschwerpunkt hervorgehoben.

Ergebnisse in NEEDS

Die NEEDS-Technologieplanung umfasst die Entwicklung und Modellierung von 3D-Integrationsflows, sowie ein Datenbank-gestütztes Software-System zur Erstellung, Modifikation und Überprüfung dieser Prozessschrittfolgen. Integrationsflow bedeutet hierbei die Auswahl einer Folge von Integrationsprozessschritten, um eine bestimmte Anzahl von Dies vertikal zu stapeln. Ein Entwurfsmodell für die Entwicklung von Integrationsflows wurde bereits erarbeitet. Es berücksichtigt die gegenseitige Abhängigkeit von Entwurf und Prozesstechnologie. Die Software ASPIRE („Application Specific Integration Flow Evolution“) setzt dieses Entwurfsmodell um. ASPIRE besitzt eine Client-Server Architektur in Verbindung mit einer PostgreSQL-Datenbank. In der Datenbank sind Technologieinformationen über Integrationsprozesse, Prozessschritte, Materialien, TSVs, Dies und deren jeweiligen Parameter gespeichert. Dabei können die Prozessschritte, Dies und TSV zusätzlich mit Regelsätzen parametrisiert werden, um technologische Constraints abbilden zu können.

Der Client verfügt als Anwenderprogramm über eine graphische Benutzeroberfläche und beinhaltet eine Benutzerverwaltung, sowie Editoren für Prozessflows, einzelne Prozessschritte, Materialien, TSV und Dies, mit denen auf die Daten der Technologiedatenbank zugegriffen werden kann. Die Daten können zudem über eine XML-Schnittstelle importiert und exportiert werden, um einen Datenaustausch mit anderen Design-Tools zu ermöglichen. Technologiedaten können aktuell bereits der NoC-Generierung und der Temperatursimulation zur Verfügung gestellt werden. Um Integrationsprozessflows entwerfen zu können, die die Zuordnung von Prozessflows zu unterschiedlichen Dies erlauben, wurde ein dediziertes Prozessgraphenmodell entwickelt und umgesetzt.

Schritte zur Überführung in die Praxis

Kurzfristiges Ziel ist es, die in NEEDS erarbeiteten Grundlagen der 3D-Integrationstechnologieplanung im industriellen Umfeld zu evaluieren. Gespräche in dieser Richtung wurden mit Infineon aufgenommen. Mittelfristig könnten in einem Folgeprojekt folgende Arbeitspunkte – mit industriellen Partnern – bearbeitet werden:

- Weiterentwicklung der Technologiedatenbank, um möglichst realistische Prozessdaten und -parameter verwenden zu können
- Einbettung der Technologieplanung in die industrielle Designumgebung
- Anbindung bzw. Erweiterung der Technologieplanung an bzw. um eine Kostensimulation

Zudem werden die Projektergebnisse der Process Relations GmbH vorgestellt, die bereits kommerzielle Produkte zum Technologiadesign für MEMS anbietet.

Die in NEEDS erzielten Fortschritte bei der Technologieplanung sind zudem zentraler Bestandteil einer Dissertation. Die Forschungsergebnisse sind bereits zum Teil in die Vorlesungsreihe Mikrosystementwurf eingeflossen. Weitere Erkenntnisse werden kurz- bis mittelfristig in die Veranstaltungen übernommen. Damit sind bereits aktuell alle im Zuwendungsbescheid genannten Verwertungsvorschriften adressiert und werden auch zum bzw. nach Ende der Projektlaufzeit weiter verfolgt.



3.4 Leibniz Universität Hannover

Ausgangslage

Das Thema 3D-Floorplanning ist in der Literatur stark adressiert. Der Fokus liegt vor allem auf 3D-Floorplanning-Datenstrukturen, die geeignet sind, den neuen Freiheitsgrad (Platzierung auf mehreren Ebenen) angemessen berücksichtigen zu können. Weiterhin sind neue Entwurfsziele, wie beispielsweise die maximale Temperatur, die maximale Anzahl von TSVs sowie deren Platzierung wichtig und werden entsprechend modelliert und im Optimierungsverfahren berücksichtigt. Einzelne Arbeiten beschäftigen sich auch mit der Berücksichtigung der NOC-Planung (Network on Chip) während des 3D-Floorplannings oder mit einer einfachen Exploration. Eine gesamtheitliche Berücksichtigung von Exploration, 3D-Floorplanning und NOC-Planung existiert jedoch nicht.

Diese ist aber gerade bei der 3D-Integration wichtig, da sie es erlaubt, für verschiedene Designparameter (Anzahl Layer, Technologiedaten, ...) frühzeitig die Kosten (z.B. durch den 3D-Floorplanner errechnete Fläche des Designs) und die Machbarkeit (z.B. durch die NOC-Planung ermittelten Kommunikationsstrukturen) des Designs zu evaluieren.

Eine Möglichkeit, diese gesamtheitliche Berücksichtigung zu gewährleisten, ist aufgrund der Komplexität des Problems ein hierarchisches Vorgehen. Bei diesem Vorgehen werden beispielsweise das 3D-Floorplanning und die NOC-Planung von Teilloptimierern (eigenständige Tools) ausgeführt und von der Exploration gesteuert. Die sich für die Steuerung des gesamten Optimierungsverfahren ergebenden Herausforderungen wurden bisher sowohl in Industrie als auch Forschung noch nicht angemessen adressiert.

Der hierarchische Optimierungsansatz erfordert von dem 3D-Floorplanner die Berücksichtigung von zusätzlichen Randbedingungen und ein angepasstes Optimierungsverfahren, welches es in dieser Art ebenfalls noch nicht gibt.

Ergebnisse in NEEDS

In NEEDS wurden die in der Ausgangslage angesprochenen Problemstellungen bearbeitet. Es wurde eine theoretische Beschreibung der in NEEDS zugrundeliegenden hierarchischen Vorgehensweise ausgearbeitet. Mit Hilfe dieser Beschreibung wurden mögliche Steuerungsmechanismen für ein gesamtheitliches Optimierungsverfahren extrahiert und in Form von möglichen zusätzlichen Randbedingungen speziell für das 3D-Floorplanning zusammengestellt. Diese zusätzlichen Randbedingungen erfordern Anpassungen des 3D-Floorplanners, um möglichst effizient gültige 3D-

Floorplans zu erstellen. Diese Anpassungen, die es ermöglichen, mehrere Randbedingungen gleichzeitig zu berücksichtigen, wurden im Rahmen von NEEDS implementiert. Die Implementierung beinhaltet mehrere Analysefunktionen für die gängigen Entwurfsziele im 3D-Floorplanning, wie maximale Temperatur, Verdrahtungslänge, Fläche und die maximale Anzahl TSVs. Außerdem wurden eine an die Problemstellung in NEEDS angepasste Datenstruktur und ein angepasstes Optimierungsverfahren entwickelt.

Schritte zur Überführung in die Praxis

Die Weiterentwicklung des Floorplanners wird in Form von Bachelor- und Master-Arbeiten vorangetrieben. Es haben sich bereits während der Projektlaufzeit insgesamt zwei Studienarbeiten und zwei Masterarbeiten mit der Thematik in NEEDS beschäftigt. Teile der daraus entstandenen Ergebnisse fließen direkt in eine am IMS aktuell in Arbeit befindliche Dissertation ein, sowie in Vorlesungen des Instituts. Die Ergebnisse sollen auch auf verschiedenen internationalen Konferenzen veröffentlicht werden, wobei ein Teilergebnis bereits während der Projektlaufzeit veröffentlicht wurde.

Die Weiterentwicklung des in NEEDS prototypisch implementierten 3D-Floorplanners wird von der Universität Hannover weiter verfolgt mit dem Ziel, später in einem industriegeführten Projekt eine kommerzielle Verwertung zu ermöglichen. Es sollen weitere wichtige Entwurfsziele, wie die Platzierung der TSVs und die Berücksichtigung von Bussen schon während des 3D-Floorplannings, dem Tool hinzugefügt werden. Ziel ist es, dem Designer einen 3D-Floorplanner zur Verfügung zu stellen, der möglichst viele beim 3D-Floorplanning relevanten Randbedingungen und Optimierungsziele gleichzeitig berücksichtigt und dabei nachvollziehbare Vorschläge entwickelt. Weiterhin soll gewährleistet bleiben, dass der 3D-Floorplanner als Teil eines hierarchischen Optimierungsverfahrens mit Exploration und NOC-Planung funktioniert. Für ein mögliches Folgeprojekt ergeben sich folgende Arbeitspunkte:

- Eine Untersuchung, welche Entwurfsziele sinnvoll im 3D-Floorplanning zu berücksichtigen sind. Speziell ist von Interesse, ob bereits zu den in NEEDS berücksichtigten Entwurfszielen weitere hinzukommen sollten (z.B. Auswirkung des thermomechanischen Stress auf Logikschaltungen, sowie die Berücksichtigung von Bussen).
- Die Erweiterung des 3D-Floorplanning-Problems um zusätzliche Entwurfsziele erhöht die Komplexität, weshalb man sich Gedanken zur Beschleunigung des Optimierungsverfahrens machen muss. Das 3D-Floorplanning-Problem könnte beispielsweise selbst mittels eines hierarchischen Ansatzes gelöst werden, bei dem zunächst die Anordnung der IP-Cores auf die Ebenen vorgenommen wird. Grundlagen hierfür sind Ergebnisse der in NEEDS untersuchten hierarchischen Optimierung. Geeignete weitere Verfahren müssten dafür noch untersucht und praktisch anwendbar gemacht werden.



3.5 Technische Universität München

Ausgangslage

Aufgrund kurzer Verbindungslängen und geringer parasitärer Leitungsbeläge bieten Through Silicon Vias (TSVs) hochratige Kommunikationsmöglichkeiten zwischen gestapelten Chips und stellen mit der Kompaktierung und den damit reduzierten Ende-zu-Ende-Latenzen (geringere Anzahl von Hops innerhalb eines 3D Network on Chip, NoC) eine wichtige Motivation für die dreidimensionale Chip-Integration dar. Zu Projektbeginn standen technologische Verfahren zur prototypischen Herstellung von 3D-ICs (mit TSVs) zur Verfügung, jedoch mit starkem Einfluss der Anzahl der TSVs auf die erreichbare Ausbeute und mit Problemen bei der Zuverlässigkeit durch TSV-Ausfälle auch zur Laufzeit. TSVs besitzen jedoch andere Eigenschaften als konventionelle 2D-Verbindungen, neben der hohen Taktbarkeit auch hoher Flächenbedarf (Footprint bzw. Pitch), was bisher nicht ausreichend berücksichtigt wurde.

Zur automatischen Generierung von NoCs gab es bereits verschiedene, in wissenschaftlichen Publikationen beschriebene Verfahren, hauptsächlich für zweidimensionale Systeme aber auch Ansätze für die Erweiterung in Richtung 3D. Diese Ansätze zur Synthese von 3D-NoCs berücksichtigen die speziellen Eigenschaften von TSVs jedoch kaum. Sie stellen lediglich einen

einfachen Kostenfaktor dar, ohne die durch höhere Taktung mögliche Reduktion der Anzahl von TSVs (Serialisierung und Multiplexing) und damit das Potential zur Erhöhung der Ausbeute auszuschöpfen sowie Maßnahmen zur Erhöhung der Fehlertoleranz zu berücksichtigen. Außerdem wurde die NoC-Generierung isoliert betrachtet ohne das Floorplanning und die übergreifenden Entscheidungen der Exploration einzubeziehen. Auf dem Markt sind noch keine kommerziellen Werkzeuge zur NoC-Synthese verfügbar.

Ergebnisse in NEEDS

Im Rahmen von NEEDS wurde mit dem TSV-Hub ein Ansatz erarbeitet und prototypisch realisiert, der es erlaubt, durch Serialisierung und Multiplexing die in einem 3D-Chip-Stapel benötigte Anzahl von TSVs massiv zu reduzieren und damit die Ausbeute von 3D-integrierten Systemen zu erhöhen. Konventionelle 2D-Link-Protokolle können dabei über Layergrenzen des Stapels hinweg transparent fortgesetzt werden. Zudem ermöglicht der Ansatz auch die Kompensation von Ausfällen von TSVs durch Nutzung redundanter TSVs. Da Anteile der Gesamtbandbreite eines TSV-Hubs einzelnen Inter-Layer Verbindungen dynamisch zugeordnet werden können, ist es möglich, Verbindungen mit konstanten Bandbreitenanforderungen (zu Lasten von Verbindungen ohne garantierte Bandbreiten) aufrecht zu erhalten, auch wenn bei mehreren ausgefallenen TSVs die resultierende Gesamtkapazität unter die nominelle Kapazität des TSV-Hubs gefallen ist. Der TSV-Hub ist in Bezug auf die Anzahl von TSVs und die unterstützten Protokolle konfigurierbar.

Das zweite Hauptergebnis von NEEDS ist ein 3D-NoC-Generierungswerkzeug, das unter Berücksichtigung der Kommunikationsanforderungen und durch die geeignete Instanziierung der konfigurierbaren Interconnect Grundstrukturen (TSV-Hubs und NoC-Router) ein optimiertes 3D-NoC erzeugt. Die Optimierung erfolgt dabei im Hinblick auf die Anzahl von TSVs (und deren Einfluss auf die Ausbeute), die Ausfallsicherheit sowie den Flächenbedarf von TSVs und der zugehörigen Multiplexerlogik in den TSV-Hubs. Der NoC-Generator ist eingebunden in den gesamten NEEDS Designflow, der iterativ mit der Exploration und dem Floorplanning interagiert und so zu einer ganzheitlich optimierten 3D-Architektur beiträgt.

Schritte zur Überführung in die Praxis

Die TU München beabsichtigt im Anschluss an das Projekt NEEDS, das bis dahin prototypisch realisierte 3D-NoC-Generierungswerkzeug hinsichtlich der nachfolgend angegebenen Aspekte weiter zu verbessern. Ansatzpunkte sind hier eine verstärkte Kopplung mit der Architektur-Exploration sowie eine genauere Berücksichtigung von Floorplanning-Daten, insbesondere der vom NoC-Generator selbst instanziierten Kommunikationsgrundstrukturen (TSV-Hubs und Router). Als besonderer Aspekt soll dabei speziell die Migration von legacy 2D- nach 3D-Networks-on-Chip unterstützt werden, um die Wiederverwendbarkeit von Designs insgesamt zu verbessern. Weiterhin ist angestrebt, den TSV-Hub als eigenen IP-Block im Zusammenhang mit Speicherschnittstellen (z.B. bei Wide IO Memory) zu verwerthen. Diese Punkte stellen aus Sicht der LIS auch interessante Diskussionspunkte für die Beantragung eines Folgeprojekts dar.

Zudem sollen die NEEDS Ergebnisse (d.h. der TSV-Hub und das 3D-NoC-Generierungswerkzeug) zusammen mit den Industriepartnern hinsichtlich eines verallgemeinerten Einsatzes evaluiert und wenn möglich kommerziell verwertet werden. Die im Rahmen von NEEDS durchgeführten Arbeiten werden das zentrale Thema der laufenden Dissertation des Projektmitarbeiters Felix Miller darstellen.

Weiterhin wurden einzelne Aspekte zur 3D-Integration und 3D-Verbindungsstrukturen bereits in die Vorlesungen „Chip Multiprocessors“ und „System on Chip Platforms“ eingebracht. Außerdem sind Beiträge aus diesem Themengebiet regelmäßiger Bestandteil des Hauptseminars „Integrierte Systeme“. Mit diesen zusätzlichen Inhalten wird die Ausbildung zum Master of Science mit aktuell relevanten Themen angereichert.

Das im Projekt entwickelte Verfahren wurde auf dem Workshop für 3D-Integration auf der DATE-Konferenz 2014 in Dresden einem größeren Fachpublikum vorgestellt (33). Außerdem wurde der TSV-Hub in einer Special-Session, ebenfalls auf der DATE-Konferenz 2014, vorgestellt (34).



3.6 Fraunhofer Institut für Integrierte Schaltungen (EAS)

Ausgangslage

Im Bereich der Design-Space-Exploration für 3D-Systeme gab es zum Projektbeginn keine kommerziellen Tools und es sind auch zum heutigen Zeitpunkt keine verfügbar. Das Thema wird in der Fachwelt intensiv diskutiert (dort vor allem unter den Begriffen Pathfinding oder Scouting), jedoch führte das bisher nicht zur Entwicklung entsprechender Entwurfswerkzeuge durch die EDA-Industrie. Gespräche mit Designhäusern und Halbleiterherstellern zeigen zunehmenden Bedarf an Softwareunterstützung in diesem Bereich. Dabei offenbarte sich jedoch auch, dass in der Industrie die Position eines Systemverantwortlichen im Bereich der physikalischen Gesamtintegration bisher meist nicht existiert. Damit gibt es bei der Planung neuer Produkte keine gesamtheitliche Betrachtung, die funktionellen Entwurf und die physikalische Implementierung vom Chip- bis ins Package einbezieht und funktions- und kostenoptimale Lösungen identifiziert. Während es im Bereich der funktionalen Beschreibung eines Systems große Fortschritte gibt, wird die physikalische Implementierung in IC und Package isoliert betrachtet. Dadurch werden das Potential und die Einführung neuer Integrationstechnologien im Systembereich (wie zum Beispiel 3D-Integration, eWLP) behindert.

Ergebnisse in NEEDS

Das Projekt NEEDS hat mit den Forschungen zur Design-Space-Exploration und deren Einbindung in den Designflow Verbesserungen an zwei Stellen voran gebracht. Zum einen wurden neue Methoden für die Design-Space-Exploration entwickelt und in einem ersten Prototyp implementiert. Zum anderen wurden anhand dieses Prototyps intensive Gespräche mit potentiellen Interessenten geführt, die zu deutlichen Änderungen in dessen Schnittstellen geführt haben. Gleichzeitig wurde in den Firmen ein Diskussionsprozess über die Bedeutung einer ganzheitlichen Systemsicht angestoßen, die aufgrund der neuen Integrationsverfahren stark an Bedeutung gewinnt. So wird mittlerweile deutlich intensiver über die Rolle eines Systemverantwortlichen für die physikalische Systemimplementierung nachgedacht.

Schritte zur Überführung in die Praxis

Obwohl in der Laufzeit von NEEDS ein fachlicher Austausch mit Firmen erfolgte, ist in einem nächsten Schritt das Verfahren in industriellen Pilotanwendungen zu evaluieren und weiter zu entwickeln. Konkrete Arbeitspunkte, die in einem Folgeprojekt umgesetzt werden sollten, sind:

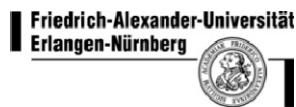
- Schulung der Firmen im Bereich des physikalischer Systementwurfs
 - Möglichkeiten, Vorteile und Randbedingungen moderner Integrationstechnologien
 - Unterstützung bei der physikalischen Systemauslegung durch EDA-Verfahren, Modellierung und Simulation
- Hilfe bei der Einführung der Funktion eines Systemverantwortlichen für die physikalische Implementierung
- Einsatz des Explorationsverfahrens in industriellen Pilotprojekten und Weiterentwicklung des Prototyps entsprechend industrieller Anforderungen

Das Fraunhofer Institut hat bereits begonnen, Projektergebnisse in Firmen vorzustellen, um weiterführende Forschungsk Kooperationen anzubahnen. Mehrere Institute im Raum Dresden gründeten zu Jahresbeginn den Fraunhofer-Cluster 3D-Integration. Er hat das Ziel, kleine, mittlere und große Firmen bei der Entwicklung von 3D-integrierten Systemen zu unterstützen. Durch die Bündelung verschiedener Kompetenzen kann Fraunhofer Dienstleistungen vom Entwurf über die Prototypfertigung bis zur Analyse und Charakterisierung anbieten. EAS übernimmt dabei Entwurfsdienstleistungen und unterstützt Firmen beim Aufbau entsprechender Designflows. In diesem Zusammenhang wird gerade eine Kooperation mit ZMDI, einem mittlerem Designhaus, vorbereitet, die Anwendungen im Bereich der Industrie adressiert.

Zusätzlich wird die Nutzung von Projektergebnissen für die Anwendungsentwicklung im eigenen Institut vorbereitet. Das zu Projektbeginn vorgesehene Themengebiet „Smart Textiles“ hat sich hierfür leider als nicht tragfähig erwiesen. Es besteht jedoch Interesse seitens unseres Mutterhauses IIS

Erlangen, in einem gemeinsamen Pilotprojekt die Anwendung der 3D-Integration für schnelle Signalverarbeitungssysteme vorzubereiten.

International arbeitet EAS in der Pathfinding-Arbeitsgruppe der Standardisierungsorganisation Si2 mit, die das Ziel hat, Formate zum Datenaustausch zwischen 3D-Entwurfswerkzeugen zu entwickeln und zu vereinheitlichen.



3.7 Universität Erlangen-Nürnberg

Ausgangslage

Die 3D-Integration bietet aufgrund ihrer kompakten Bauweise langfristig ein hohes Potenzial für die kostengünstige Fertigung von neuen und hochkomplexen Produkten in Deutschland. Die Beherrschung ihrer Komplexität und Machbarkeit wird aber zunehmend schwieriger mit diesen neuen einhergehenden Möglichkeiten der technologischen Hochintegration in 3D. Insbesondere für den Produktionstest stellt dabei die frühe Abschätzung von Testkosten der verwendeten Chips und Systeme eine zunehmende und nicht zu unterschätzende Herausforderung und Differenzierung dar. Da Referenzen auf erfolgreiche neue 3D-Projekte meist erst sehr eingeschränkt vorliegen, müssen Testkosten dann von für die Produktion qualifizierten alten Testszenerarien abgeleitet werden. Diese im Fertigungstest bereits erprobten und alten Testmittel müssen imstande sind, alle geforderten Randbedingungen für die neuen Testszenerarien in 3D-Produkten abzubilden und zu erfüllen.

Es fehlen insbesondere für zukünftige 3D-Produkte geeignete Werkzeuge, welche die Konfiguration und Absicherung von Testszenerarien aufgrund einer Auswahl von qualifizierten Testmitteln bereits in der Phase der Produktplanung unterstützen. Insbesondere die nachvollziehbare Abschätzung aller allokierten Testmittel und der damit anfallenden Testkosten ist für mögliche Investitionsentscheidungen in Anlagen für den Produktionstest lange vor Entwicklung eines 3D-Produktes entscheidend und muss deshalb nachverfolgbar dokumentiert werden können.

Ergebnisse in NEEDS

In NEEDS wurde ein neues Klassifizierungsverfahren für Produktionstestdaten eingeführt. Das Verfahren nutzt PCA (Principal Component Analysis), um mehr-dimensionale Vektorräume in „passed“ und „failed“ Bereiche zu zerlegen. Es kann damit eine Auswahl von qualifizierten Testmitteln, ein sogenanntes Testszenerario, bezüglich seiner Testabdeckung und Prüfschärfe im realen Produktionstest erfasst und mit einer bereits bestehenden Datenbank von Signaturen (Kosten) verglichen werden. Die Auswahl der möglichen qualifizierten Testmittel geschieht auf Spezifikations- und Systemebene, und soll eine Aussage über im Produktionstest anfallende Testkosten vorhersagen.

Weiterhin wurde ein Katalog für die Kategorisierung von Testmitteln in dem erforderlichen Grad an Abstraktion definiert und eingeführt und beispielhaft befüllt. Sowohl die für die jeweiligen Messaufgaben erforderliche Ausstattung eines automatischen Testsystems (ATE) als auch die für unternehmensspezifische Testlösungen, z.B. qualifizierte Design-for-Test Maßnahmen, erforderlichen Testmittel können dort unter Kostenaspekten eingetragen werden.

Ein Szenario für einen typischen 3D-Test und die Abschätzung seiner Kosten mit Hilfe des eingeführten Testmittelkatalogs während der Planung und später im Produktionstest schließt die Arbeiten zur Abschätzung von Kosten für den Produktionstest ab.

Schritte zur Überführung in die Praxis

Die Ergebnisse werden in die neue Vorlesung "Zuverlässigkeit technischer Systeme" und die bestehende Vorlesung „Entwurf von Integrierten Schaltungen“ mit dem neuen Unterkapitel „Zuverlässigkeit von Schaltungen und Systeme“ an der Universität Erlangen-Nürnberg aufgenommen und zusätzlich in weiteren Projekten zum Thema Test im Verbund mit Forschungseinrichtungen und mit der Industrie verwertet. Geplante externe Kooperation versprechen hohe Erfolgsaussichten bei der weiteren Umsetzung und Verwertung der Ergebnisse in der industriellen Anwendung. System- und Schaltungsentwickler werden mit den Ergebnissen in die Lage versetzt, dringend benötigte

Kostenpotentiale bzgl. Testmittel für on-Chip und off-Chip gegenseitig abzuwägen und geeignet in der 3D-Systemintegration zu adressieren bzw. zu realisieren. Nachfolgende Projekte mit der Industrie sollen diese Methoden in die Anwendung bringen.

Es ist ebenfalls ein Praktikum geplant, das als Querschnittsaufgabe Kosten im Test und Ihre Modellierung hat. Die Verwertung in der Ausbildung soll über darauf aufbauende Dissertationen zu weiteren Verfahren und Methoden der Modellierung geschehen.

4 Zusammenfassung und Ausblick

Vom EDA-Clusterforschungsprojekt NEEDS sind herausragende Ergebnisse erzielt worden. Hervorzuheben sind die Arbeiten zur Erstellung eines 3D-Integrationsflows (Datenbank, Editor) mit Konsistenzprüfung und Datenexport. Die Arbeiten zu diesem Gesamtflow wurden den Industriepartnern vorgestellt und auf dem nationalen Workshop „Zuverlässigkeit und Entwurf 2012“ wissenschaftlich diskutiert. Weiterhin haben die Forschungspartner ihre Arbeitsgebiete und Verfahren skizziert und erste Anwendungen beschrieben. In mehreren gemeinsamen Veröffentlichungen der Projektpartner auf verschiedenen Konferenzen wurden die NEEDS Ergebnisse vorgestellt und fanden dabei großen Anklang.

Die erforschten Verfahren und Methoden der Partner wurden weiter vorangetrieben und prototypisch in Werkzeuge und Modelle implementiert. Hierzu werden auch bilaterale Kooperationen mit den Industriepartnern angeregt, um einen weiteren Schritt zu gehen, damit sich eine neue Entwurfsmethodik in den nächsten 5-10 Jahren in der Industrie etablieren kann.

In den einzelnen Forschungseinrichtungen sind schon jetzt zahlreiche Vorlesungen, Studien- und Diplomarbeiten oder Dissertationen in Bearbeitung oder werden vorbereitet.

Mit den in diesem Bericht gegebenen Anregungen für weiterführende Arbeiten wurden die vielfältigen Möglichkeiten beschrieben, in einem industriegeführten F&E-Projekt die durch das Projekt geschaffenen Grundlagen bzgl. 3D-Integration aufzugreifen und in die Anwendung zu überführen.

5 Veröffentlichungen und Patente

Im Projekt erzielte Ergebnisse wurden auf nationalen und internationalen Konferenzen und Workshops präsentiert. Die insgesamt 34 Veröffentlichungen untergliedern sich in

- 4 Beiträge zu Fachmagazinen
- 30 Beiträge auf Konferenzen und Workshops
- diese in 8 Ländern (darunter USA, Japan, Brasilien, Malaysia, Türkei)

2010

- (1) „3D ICs und Wärme: Probleme und Lösungsansätze für thermische Simulationen“, Metzdorf, Malte, Hylla, Kai (OFFIS), Fachvortrag RSS-Fachgruppe Layoutentwurf Fachgruppentreffen 20.09.2010, Dresden

2011

- (2) „Behavioral-Level Thermal- and Aging-Estimation Flow“, Rosinger, Sven; Metzdorf, Malte; Helms, Domenik; Nebel, Wolfgang (OFFIS), Proc. of 12th Latin-American Test Workshop (LATW), 27-30 March 2011, Porto Allegre, Brasilien
- (3) „Thermische Modellierung von 3D-Systemen“, Kai Hylla, Poster auf dem edaWorkshop11, 10.-12.5.2011, Dresden, Germany
- (4) „XML-basierte hierarchische Beschreibungssprache für 3D-Systeme“, Heinig, Andy; Wolf, Susann; Knöchel, Uwe (Fraunhofer-Institut für Integrierte Schaltungen, Institutsteil Entwurfsautomatisierung (IIS/EAS), 27.-29.9.2011, Hamburg-Harburg, Deutschland, GMM/ITG-Fachtagung Zuverlässigkeit und Entwurf 2011

2012

- (5) „3D Floorplanning Considering Vertically Aligned Rectilinear Modules Using T*-Tree“, Markus Olbrich, Artur Quiring, 3DIC - IEEE International 3D System Integration Conference, 31.1.-2.2.2012, Osaka, Japan
- (6) „Methode zur Erzeugung von trennenden Hyperebenen mittels Hauptkomponenten“, A. Schaller, S.M. Sattler, 24. GI/GMM/ITG-Workshop: Testmethoden und Zuverlässigkeit von Schaltungen und Systemen (TUZ), Cottbus, 26.-28. Febr. 2012.
- (7) „An Approach for Thermal Optimization of 3D-IC and Package“, Poster, DATE-Workshop "3D Integration", Date 2012, Dresden, 13.-15.3.2012
- (8) „3D Integration: Opportunities, Design Challenges and Approaches“, U. Knöchel, Embedded Tutorial. 15th IEEE Symposium on Design & Diagnostics of Electronic Circuits & Systems (DDECS), Tallinn, Estonia, April 18-20, 2012
- (9) „TSV-Virtualization for Multi-Protocol-Interconnect in 3D-ICs“, Felix Miller, Thomas Wild, Andreas Herkersdorf, 15th EUROMICRO Conference on Digital System Design (DSD), 5.-8.9.2012, Izmir
- (10) „NEEDS – Nanoelektronik-Entwurf für 3D-Systeme“, Poster auf dem edaWorkshop12, 8.-9.5.2012, Hannover, Germany
- (11) „3D-Integration needs NEEDS. Entwurfsverfahren für gestapelte System“, Hylla, Kai (OFFIS), Vortrag auf dem edaWorkshop12, 8.-9.5.2012, Hannover, Germany
- (12) „NEEDS: Nanoelectronic Design for 3D-Systems“, F. Miller, T. Wild, A. Herkersdorf, Poster auf dem edaWorkshop12, 8.-9.5.2012, Hannover, Germany
- (13) „Klassifizierung von Testdaten mittels PCA-Verfahren am Beispiel analoger Schaltungen“, A. Schaller, S.M. Sattler, edaWorkshop, Hannover, 8. – 9. Mai 2012
- (14) „3D-Design-Space-Exploration, XML-basierte Sprache für 3D-Systeme“, Poster auf dem edaWorkshop12, 8.-9.5.2012, Hannover, Germany
- (15) „Design Model and Data Management for 3D Integration Technologies“
A. Grünewald, K. Hahn, R. Brück, MIXDES 2012, Warschau, Polen, May 25-26, 2012.

- (16) „XML-Based Hierarchical Description of 3D Systems and SIP“, S. Wolf, A. Heinig, U. Knöchel, Design & Test of Computers, Special Issue on EDA Industry Standards ISSN: 0740-7475, 24. 8 2012
- (17) „XML-basierte Sprache für die hierarchische und parametrisierbare Beschreibung von 3D-Systemen“, S. Wolf, U. Knöchel, A. Heinig, im Buch "Entwurf integrierter 3D-Systeme der Elektronik", Springer Vieweg, Berlin, Heidelberg, 12. September 2012, ISBN-13: 978-3642305719
- (18) „NEEDS – Nanotechnik-Entwurf für 3D-Systeme“, Hylla, Kai; Metzendorf, Malte (OFFIS – Institut für Informatik), Grünewald, Armin; Hahn, Kai (Universität Siegen), Heinig, Andy; Knöchel, Uwe; Wolf, Susann (Fraunhofer EAS Dresden), Miller, Felix; Wild, Thomas (Technische Universität München), Quiring, Artur; Olbrich, Markus (Leibniz Universität Hannover), Sattler, Sebastian (Universität Erlangen-Nürnberg), Treytnar, Dieter (edacentrum GmbH); 6. GMM/GI/ITG-Fachtagung „Zuverlässigkeit und Entwurf – ZuE“, 25.-27.9.2012, Bremen
- (19) “Software-based Development of 3D Integration Flows”, A. Grünewald, K. Hahn, R. Brück, 35th International Electronics Manufacturing Technology Conference 2012, Ipoh, Malaysia, 6.11.2012

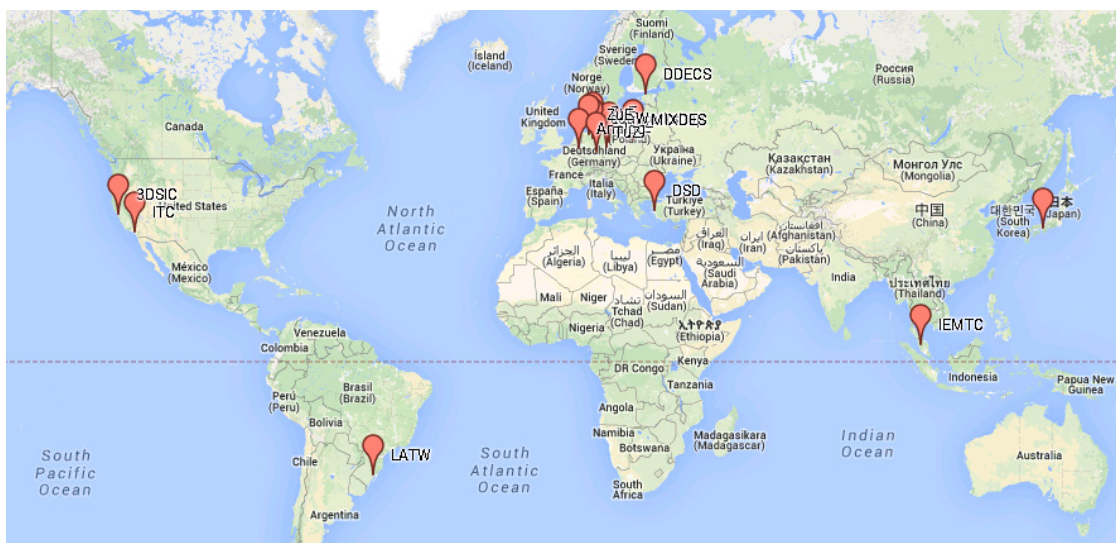
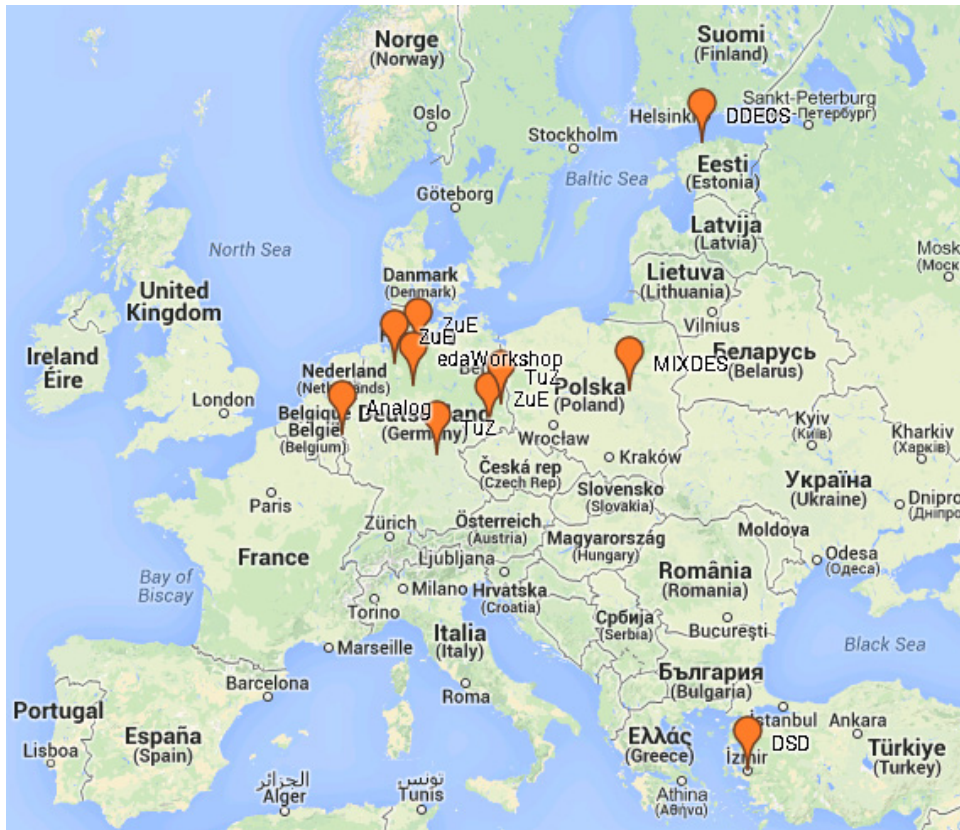
2013

- (20) „3D-ICs: Modellierung von applikationsspezifischen Prozessfolgen“, A. Grünewald, K. Hahn, R. Brück, Analog 2013, Aachen, 4.-6. März 2013.
- (21) „NEEDS: Design Methods for 3D Integrated Systems“, M. Olbrich, edaWorkshop13, Dresden, 14. – 16. Mai 2013
- (22) „Virtualized and Fault-Tolerant Inter-Layer-Links for 3D-ICs“, F. Miller, T. Wild, A. Herkersdorf, Elsevier Microprocessors and Microsystems Journal (2013), Vol. 37, Issue 8, Part A, November 2013, Pages 823-835, ISSN 0141-9331
- (23) „Design-Space-Exploration zur Implementierung von 3D-Systemen“, Andy Heinig, Uwe Knöchel, 7. ITG/GI/GMM-Fachtagung, 24.-26. September 2013, Dresden, ITG-Fachbericht Band 244, ISBN 978-3-8007-3539-6
- (24) „Auswahl und Klassifizierung von Testmitteln für 3D“, Feim R. Rasim, Sebastian M. Sattler, , 7. ITG/GI/GMM-Fachtagung, 24.-26. September 2013, Dresden, ITG-Fachbericht Band 244, ISBN 978-3-8007-3539-6
- (25) „3D-Floorplanning unter Berücksichtigung von Nebenbedingungen“, Artur Quiring, Markus Olbrich, Erich Barke, , 7. ITG/GI/GMM-Fachtagung, 24.-26. September 2013, Dresden, ITG-Fachbericht Band 244, ISBN 978-3-8007-3539-6
- (26) „Funktional-thermische Simulation von 3D-Systemen“, Malte Metzendorf, , 7. ITG/GI/GMM-Fachtagung, 24.-26. September 2013, ITG-Fachbericht Band 244, ISBN 978-3-8007-3539-6
- (27) „Networks-On-Chips für 3D-ICs“, Felix Miller, Thomas Wild, Andreas Herkersdorf, , 7. ITG/GI/GMM-Fachtagung, 24.-26. September 2013, Dresden, ITG-Fachbericht Band 244, ISBN 978-3-8007-3539-6
- (28) „Modellierung von 3D-IC Herstellungsprozessflows“, Armin Grünewald, Kai Hahn, Rainer Brück, , 7. ITG/GI/GMM-Fachtagung, 24.-26. September 2013, Dresden, ITG-Fachbericht Band 244, ISBN 978-3-8007-3539-6
- (29) „3D-Testflow Modeling and Verification“, A. Grünewald, M. Wahl, K. Hahn, R. Brück, ITC/3D Test 2013, Anaheim, USA, 12.-13. September 2013.
- (30) „Improving 3D-Floorplanning Using Smart Selection Operations in Meta-Heuristic Optimization“, A. Quiring, M. Olbrich, E. Barke, IEEE International 3D Systems Integration Conference (2013), San Francisco, USA.
- (31) „XML-Based Hierarchical Description of 3D Systems and SIP“, Susann Wolf, Andy Heinig, Uwe Knöchel, IEEE Design and Test May/June 2013

2014

- (32) „Zur Klassifikation und Diagnose von Testdaten für Analoge und Mixed-Signal Schaltungen“, G. Uygur, F. Rasim, S. Sattler, TuZ 2014, 24.-25.02.2014, Kloster Banz

- (33) Miller, F.; Todorov, V.; Wild, T.; Mueller-Gritschneider, D.; Herkersdorf, A. & Schlichtmann, U. A TSV-Property-aware Synthesis Method for Application-Specific 3D-NoCs Design, Automation Test in Europe Conference Exhibition (DATE), 2014 - Friday Workshop on 3D Integration, 2014
- (34) Heinig, A.; Dietrich, M.; Herkersdorf, A.; Miller, F.; Wild, T.; Hahn, K.; Gruenewald, A.; Brueck, R.; Kroehnert, S. & Reisinger, J. System Integration - The Bridge between More than Moore and More Moore Design, Automation Test in Europe Conference Exhibition (DATE), 2014, 2014



NEEDS Veröffentlichungen in Europa (oben) und weltweit (unten)

6 Quellenverzeichnis

- [3DC] Tutorial „3D Collision Detection“: <http://www.neobrothers.de/oldpage1/tutorials/3dcollision.html>
- [Alt09] Alt, J.: „MAYA - A Significant Step for Efficient Production Testing and Faster Yield Learning“, (Hannover, Deutschland), 26-28 May 2009.
- [Amr09] Amrehn, Mario: Bounding Volumes & Bounding Volume Hierarchies, Foliensatz, 2009.
- [And00] Anderl, R.; Trippner, D.: STEP Standard for the Exchange of Product Model Data, Eine Einführung in die Entwicklung und industrielle Nutzung der Normenreihe ISO 10303 (STEP), B. G. Teubner Stuttgart, Leipzig, 2000.
- [Bou] Bounding Volumes: http://de.wikipedia.org/wiki/Bounding_Volume
- [Cad] Cadence: <http://www.cadence.com/>
- [Cha09] Chakrabarty, K.: „Testing of 3D Integrated Circuits: Challenges and Emerging Solutions“, Zuverlässigkeit und Entwurf (ZUE), Stuttgart, 21-23 Sept. 2009.
- [Che00] Chen, D.; Li, E.; Rosenbaum, Elyse; Kang, Sung-Mo: „Interconnect Thermal Modeling for Accurate Simulation of Circuit Timing and Reliability“, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 19, Num. 2, 2000.
- [CSG] Constructive Solid Geometry: http://de.wikipedia.org/wiki/Constructive_Solid_Geometry
- [Els09] Elst, Günter: „Methoden für den Entwurf zuverlässiger 3D-Stapel“, Zuverlässigkeit und Entwurf (ZUE), Stuttgart, Deutschland, 21-23 Sept 2009, pp. 95.
- [Fee09] Feero, Brett Stanley; Pande, Partha Pratim: „Networks-on-Chip in a Three-Dimensional Environment: A Performance Evaluation“, Computers, IEEE Transactions on , vol.58, no.1, pp.32-45, Jan. 2009.
- [Fuj06] Fujita, Shinobu; Nomura, Kumiko; Abe, Keiko; Lee, Thomas H.: „3D on-chip networking technology based on post-silicon devices for future networks-on-chip“, Nano-Networks and Workshops, 2006. NanoNet '06. 1st International Conference on , vol., no., pp.1-5, Sept. 2006.
- [Gar08] Garroum, Philip; Bower, Christopher; Ramm, Peter (Hrsg.): „Handbook of 3D Integration“, Wiley-VCH, 2008.
- [Hun06] Hung, W.-L.; Link, G.M.; Xie, Yuan et. al.: „Interconnect and thermal-aware floorplanning for 3D microprocessors“, Quality Electronic Design, 2006. ISQED '06. 7th International Symposium on, vol., no., pp.6 pp.-104, 27-29 March 2006
- [Ily03] Mohammed, Ilyas; Seol, Brian; Krishnan, Sridhar: „A Design and Performance Study of 3D Packaging for High Performance Memory Applications“, Proceedings of SEMICON West 2003, San Jose, CA, 2003.
- [Kri04] Krishnan, Sridhar; Kim, Young-Gon; Bang, Km: „A 3-D Stacked Package Solution for DDR-SDRAM Applications“, 20th IEEE SEMI-THERM Symposium, 2004
- [Kyoto] Bundesministerium für Umwelt, Naturschutz und Reaktorsicherheit: „Kyoto-Protokoll zum internationalen Klimaschutz“, http://www.bmu.de/klimaschutz/internationale_klimapolitik/kyoto_protokoll/doc/5802.php, 2009-10-30.
- [LiZ06] Li, Zhuoyuan; Hong, Xianlong; Zhou, Qiang; Zeng, Shan; Bian, Jinian et.al.: „Integrating dynamic thermal via planning with 3D floorplanning algorithm“, ISPD 2006.
- [McI09] McIrrath, L.: „CAD Tools and Design Flow for 3D-Integration“, CATRENE/MEDEA Workshop Dresden, 2009 .
- [Mur09] Murali, Srinivasan; Seiculescu, Ciprian; Benini, Luca; De Micheli, Giovanni: „Synthesis of networks on chips for 3D systems on chips“, Design Automation Conference, 2009. ASP-DAC 2009. Asia and South Pacific , vol., no., pp.242-247, 19-22 Jan. 2009.
- [Pet07] Petersen, Karen: Diplomarbeit „Effiziente Kollisionserkennung und echtzeitfähige Simulation der Kinematik, Dynamik und Sensorik autonomer Fahrzeuge“, Technische Universität Darmstadt, 2007.
- [Spe05] Spohner, Nicolas: Seminar Computergrafik, Solid Modeling, Gutenberg Universität, 2005.
- [Ste] STEP: http://www.steptools.com/support/stdev_docs/express/step_irs/index.html
- [Ste06] Step Application Handbook, ISO10303, Version 3, 2006.
- [Syn] Synopsys: <http://www.synopsys.com/>
- [Tri04] Triltsch, U.; Hansen, U.; Büttgenbach, S.: „Integration des Prozessentwurfs in den Entwurfsprozess von Mikrosystemen“, 10. GMM-Workshop: Methoden und Werkzeuge für den Entwurf von Mikrosystemen, Cottbus, S.65-70, 2004.
- [Von09] Vonhoegen, Helmut: Einstieg in XML: [Grundlagen, Praxis, Referenz; für Entwickler und XML-Einsteiger ...], 5. Aufl., Galileo Press, Bonn 2009.

- [Wee09] Weerasekera, Roshan; Pamunuwa, Dinesh; Zheng, Li-Rong; Tenhunen, Li-Rong: "Two-Dimensional and Three-Dimensional Integration of Heterogeneous Electric Systems under cost, performance and technological constraints", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2009
- [Won06] Wong, Eric; Lim, Sung Kyu: "3D floorplanning with thermal vias", DATE 2006, pp. 878 – 883, 2006.
- [X3D] X3D: <http://de.wikipedia.org/wiki/X3D>, www.web3d.org
- [XML] XML: <http://de.wikipedia.org/wiki/XML>, <http://www.xml.com>
- [Zha03] Zha, Xuan; Du, H: "Manufacturing process and material selection in concurrent collaborative design of MEMS devices", Journal of Micromechanics and Microengineering, 2003, Vol.13, S. 509-522.

7 Tabellenverzeichnis

Tabelle 1: Vergleich: Stand der Technik und NEEDS

7

8 Abbildungsverzeichnis

Abbildung 1: Aufgaben im Arbeitspaket von NEEDS	8
Abbildung 2: Überblick über die Zusammenarbeit in Aufgabe 1	8
Abbildung 3: Überblick über die Zusammenarbeit in Aufgabe 2	9
Abbildung 4: Überblick über die Zusammenarbeit in Aufgabe 3	10
Abbildung 5: Überblick über die Zusammenarbeit in Aufgabe 4	11
Abbildung 6: Arbeitsgebiete und Schnittstellen im Projekt	11
Abbildung 7: Gekachelte Multicore Prozessor Architektur	14
Abbildung 8: 3D-Floorplanning und 3D-Platzierung	15
Abbildung 9: Demonstrator im KASS-Projekt	16
Abbildung 10: Miniaturisierter Reifendrucksensor aus dem Projekt eCUBES	17
Abbildung 11: Beiträge im Überblick	19
Abbildung 12: Einordnung der Arbeiten der Partner in NEEDS	19
Abbildung 13: Klassifizierung mit Hilfe der Kombinatorik	20
Abbildung 14: Hierarchische Optimierung	21
Abbildung 15: Hierarchischer Optimierungsflow in NEEDS	22
Abbildung 16 Beispiel eines Modulgraphen	23
Abbildung 17 Design-Space-Exploration für physikalische Implementierung 3D-integrierter Systeme	24
Abbildung 18 Beispiel für "Constraint Programmierung"	24
Abbildung 19 NEEDS-Designflow	25
Abbildung 20: Entwurf mit konsistenten applikationsspezifischen Prozessschritten	26
Abbildung 21: Aufbau der Software ASPIRE	27
Abbildung 22: Screenshot Prozessfloweditor ASPIRE	27
Abbildung 23: Beispiel NoC-Technologiedatenexport in XML	28
Abbildung 24: Hierarchisches Konzept: Ball und Die einzeln (oben), vereinigt und nochmals vereinigt in zwei Varianten.	29
Abbildung 25: Beispiel für CSG Operationen und den sich daraus ergebenden Operationsbaum.	30
Abbildung 26: Definition einer Teilkomponente	30
Abbildung 27: Import der Komponente in die nächste Hierarchiestufe	31
Abbildung 28: Erstellen von Objekten mittels einer oder mehrerer „for“ Schleifen	31
Abbildung 29: Import von Elementen aus einer externen Datei	31
Abbildung 30: Inter-Layer-Link Abstraktionsebenen	32
Abbildung 31: Klassischer 2D-Flow zur Entwicklung von 2D-integrierten Schaltungen.	34
Abbildung 32: TSV-Hub (Beispielkonfiguration)	38
Abbildung 33: Fehlertoleranz mit Hilfe von Switch-Boxen	39

Abbildung 34: Kommunikationsgraph	40
Abbildung 35: Schritte der 3D-NoC-Synthese	40
Abbildung 36: Ergebnis der Partitionierung (links), Routing Path Allocation (Mitte) und TSV-Hub Insertion (rechts)	40
Abbildung 37: 3D-Floorplan	42
Abbildung 38: Digitaler Test analoger Kontaktlöcher (TVS)	43
Abbildung 39: Funktionale Simulation von Analog- und Digitalteil	45
Abbildung 40: Aufbau eines Systems aus verschiedenen Materialien mit zwei aktiven Ebenen	46
Abbildung 41: Package Editor mit liste der genutzten Materialien und deren physikalischen Eigenschaften	47
Abbildung 42: Package Beschreibung in XML	47
Abbildung 43: Ablauf der Thermische Analyse dreidimensionaler Systeme: graue Pfeile: funktional/thermische Simulation; orange Pfeile: thermische Simulation ohne funktionales Modelle	48
Abbildung 44: Fixed-Outline-Randbedingung	49
Abbildung 45: Diskrete Verteilungsfunktion	49
Abbildung 46: Projekt und Ausgründungsgeschichte im OFFIS	53
Abbildung 47: Thematische Abdeckung aktueller Projekte und Vorhaben	53
Abbildung 48: Gesamtflow des NEEDS-Projektes	51