

Elektronische Designautomation:

Nanoelektronik schafft Mobilität

Die Kernkompetenzen der deutschen Industrie liegen im Automobil- und Telekommunikationssektor. Diese wiederum sind existentiell abhängig von der Schlüsseltechnologie Mikroelektronik und somit auch von der Entwurfsmöglichkeit mikroelektronischer Schaltungen und Systeme, die nur über erhöhte Investitionen in Entwurfsautomatisierung sichergestellt werden kann. Motiviert durch die Projektergebnisse des BMBF-Förderkomplexes „Ekompass“, hat das edacentrum in Zusammenarbeit mit Industrie und Forschung die zwei wichtigsten Themen für die EDA-Forschung in den Jahren 2006 bis 2010 identifiziert.

Das zu diesem Zweck erstellte Strategiepapier zielt auf die Bündelung und Fokussierung der Kräfte in Deutschland ab. Im Folgenden wird das Papier kurz zusammengefasst und zu den auf dem Ekompass-Workshop (Ekompass – Entwurfsplattformen komplexer angewandter Systeme und Schaltungen) im Mai 2004 in Hannover dargestellten Ergebnissen in Relation gesetzt.

Damals hatte Dirk Friebe, Leiter des Nokia Research Center Deutschland, in seinem Übersichtsvortrag [1] u.a. darauf hingewiesen, dass die Systems-on-Chip der nächsten Generationen – nicht nur im Mobilfunkbereich – immer komplexer werden, was eine enorme Herausforderung darstellt. So werde die Komplexität zukünftiger Systeme beim Übergang von aktuellen Strukturbreiten auf

65, 50 oder gar 35 nm zu Milliarden von Transistoren auf einem einzelnen Chip führen. Die neue Herausforderung für Europa und speziell für Deutschland ergibt sich dadurch, dass diese Komplexitätssteigerung in überproportionalem Maße die anwendungsspezifischen integrierten Schaltungen und Systeme betrifft. Erschwerend kommt hinzu, dass Segmente wie Automobilelektronik oder Telekommunikation durch eine hohe Heterogenität der benötigten Komponenten geprägt sind, die insbesondere durch die Integration von Mixed-Signal-Entwürfen gekennzeichnet ist. Zusätzliche Komponenten wie MEMS oder neue Sensoren und Aktoren vergrößern die Komplexität. Hinzu kommt, dass der Anteil der Simulation, des Tests und der Verifikation immer weiter ansteigt. Der getrennte Entwurf von Hardware- und Software-Teilen führt zu Problemen, die Möglichkeiten der Wiederverwendung von IP-Modulen sind zu gering zur notwendigen Steigerung der Produktivität. Daher ist ein sicherer Entwurf mit aktuellen Entwurfsverfahren in Zukunft nicht mehr möglich.

Eine zweite Herausforderung für zukünftige Systeme ist die immer weiter voranschreitende Miniaturisierung. Je dichter sich die Prozesse der Nanoelektronik den physikalischen Grenzen nähern, um so größer wird die Unsicherheit im Fertigungsprozess, welche große Auswirkungen auf die Qualität hat. Einen hundertprozentig funktionierenden Chip herzustellen, wird zukünftig nur mit extrem hohen Kosten und – wenn überhaupt – mit geringer Ausbeute zu erreichen sein. Somit steht der Entwurfsprozess in dem Spannungsfeld, dass die Wahrscheinlichkeit des Auftretens von Defekten in der Produktion und im Betrieb durch neue Technologien und höhere Komplexitäten dramatisch ansteigt. Verstärkt wird dieses Problem durch die zunehmende Leistungsauf-

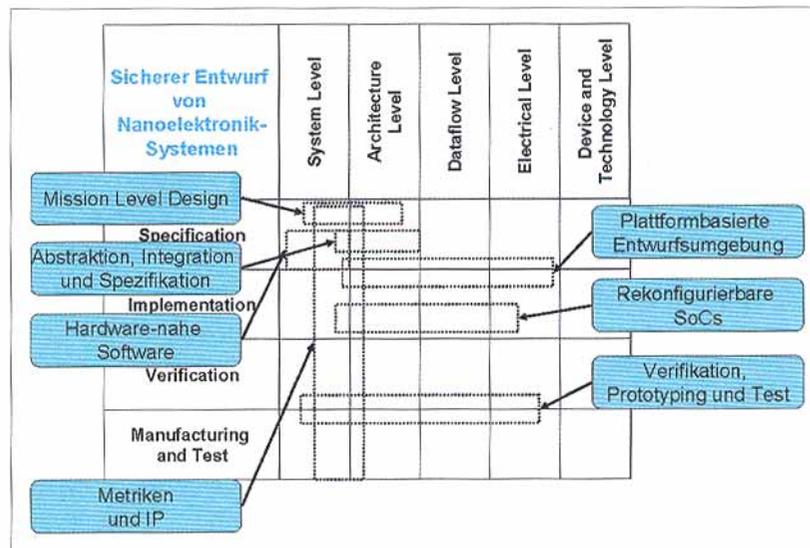


Bild 1. Übersicht der Arbeitsgebiete „Sicherer Entwurf von Nanoelektronik-Systemen“.

nahme, die immer mehr durch Leckströme bestimmt wird und nur durch ebenenübergreifende Optimierungen reduziert werden kann. Der Entwurf von zuverlässigen und robusten Systemen ist wegen unsicherer und fehlerbehafteter Schaltfunktionen auf den untersten Ebenen eine weitere Herausforderung an die Design-Fähigkeit der Zukunft. Kleinere Schaltungsgeometrien vergrößern bekannte Phänomene wie parasitäre Leitungseffekte, erhöhte Stromaufnahme durch Leckströme sowie eine schwierigere Wärmeabfuhr. Die wachsende Anzahl der physikalischen Effekte, die vor einigen Jahren noch unbekannt oder unbedeutend waren, führt dazu, dass die bisherige makroskopische Betrachtung nicht mehr gültig ist. Neu eingeführte Technologien reagieren sensibler auf Prozess-Änderungen, so dass die Ausbeute und die Zuverlässigkeit der Systeme beim Einsatz bisheriger Verfahren sinken werden.

eDesign – zuverlässige Nanoelektronik-Systeme

Das edacentrum hat in Zusammenarbeit mit den an Ekompass-Projekten beteiligten Unternehmen und Forschungseinrichtungen ein Strategiepapier erarbeitet. Darin werden die beiden Forschungsbereiche für EDA identifiziert, die in den nächsten Jahren (2006 – 2010) unbedingt bearbeitet werden müssen, um die Wettbewerbsfähigkeit des deutschen Standortes sicherzustellen. Es handelt sich dabei um die auf den zuvor genannten Herausforderungen basierenden Themengebiete „Sicherer Entwurf von Nanoelektronik-Systemen“ und „Fertigungsorientierter Entwurf zuverlässiger Nanoelektronik-Systeme“. Die *Bilder 1 und 2* zeigen die Arbeitsgebiete der beiden Themengebiete, eingeordnet in die vom edacentrum entwickelte „edaMatrix“. Mit dieser Matrix lassen sich die Tätigkeitsgebiete nach verschiedenen Entwurfsschritten und Abstraktionsebenen anschaulich klassifizieren.

Forschungsaktivitäten in den kommenden Jahren

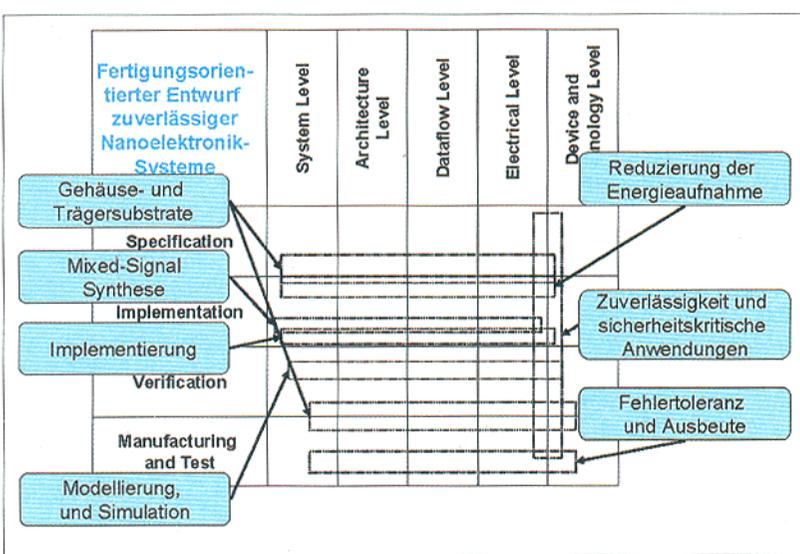
Bei der Identifizierung der beiden Förderthemen stellt sich die Frage, wie man zu einem sicheren Entwurf zuverlässiger Systeme kommt, wenn derartig zahlreiche Probleme in den kommenden Jahren zu lösen sind. Der ersten Herausforderung stellen sich bereits einige Forschungsprojekte innerhalb des Förderschwerpunktes

Ekompass [3, 4]. Das vom BMBF unterstützte Ekompass-Fördervorhaben besteht derzeit aus elf Projekten, die nahezu alle Entwurfsschritte und Abstraktionsebenen abdecken (*Bild 3*). Auf dem zum Förderschwerpunkt abgehaltenen Ekompass-Workshop berichteten die Leiter dieser Projekte im Anschluss an die Einführung von Dirk Friebe über ihre bisherigen Arbeiten und künftigen Forschungsaktivitäten. Eines dieser Projekte nennt sich „Valse“ und fokussiert sich auf Verfahren zur vollständigen Verifikation, zur Eigen-

schaftsprüfung sowie zur Betriebsfehleremulation. Die Ergebnisse auf diesem Gebiet sind weltweit einzigartig und wurden schon mehrfach ausgezeichnet. Die formale Verifikation wird zur Schlüsseltechnologie, mit welcher der „Verifikationskrise“ (unentdeckte Fehler erfordern durchschnittlich ein bis zwei Redesigns pro Entwicklungsprojekt) begegnet werden kann.

Die Zahl der Redesigns wird durch die neuen Entwicklungen im Projekt VALSE zweifellos reduziert – das ehrgeizige Ziel ist aber ihre vollständige Vermeidung.

Bild 2.
Übersicht der Arbeitsgebiete „Fertigungsorientierter Entwurf zuverlässiger Nanoelektronik-Systeme“.



ung. So könnte die Beherrschung von Systemen mit vierfach höherer Komplexität als bisher ermöglicht werden. Ziel der Arbeiten ist es, den zeitlichen Entwurfsaufwand durch die frühzeitige Berücksichtigung der Verifikationsverfahren deutlich zu reduzieren. So führt eine Aufwandsreduktion von 50 Prozent bereits zu einer 33 bis 50 Prozent früheren Markteinführung. Eine ähnliche Richtung ist der Aufbau einer effizienten Entwurfstechnologie für wieder verwendbare hochintegrierte Hochfrequenz-Schlüsselkomponenten (Antennenschnittstelle) in zukünftigen hochkomplexen mobilen Kommunikationssystemen, die durch das Projekt „DETAILS“ realisiert werden soll. Ziel ist einerseits, die Entwicklungszeit deutlich abzusenken, und andererseits, die Planungssicherheit zu erhöhen. Die Ergebnisse, die man sich mit diesem Projekt erhofft, müssen auf die Vernetzung unterschiedlicher Systeme, z.B. im Automobil, übertragen werden können und stellen eine immense Herausforderung für EDA-basierende Entwurfstechniken dar. Für Multimedia-Applikationen im Rahmen von UMTS beispielsweise werden Datenmengen bis 2 Mbit/s

Bild 3.
Einordnung der Ekompass-Projekte in Entwurfschritte und Abstraktionsebenen.

	System Level	Architecture Level	Dataflow Level	Electrical Level	Device and Technology Level
Specification	SPEAK/SPEAC				
Implementation		ANASTASHA		ASDESE	
		IP2	W3DAT/DETAILS		
Verification		SAMS		LEONIDAS	
		IP3		LEBLOS	
Manufacturing and Test		Fest			
		VALSE		MESDIE	
			AZTEKE		

verarbeitet werden müssen. Dies ist 200-mal mehr, als die derzeitigen GSM-Mobiltelefone leisten können. Diese enorme Rechenleistung wird durch stets höherfrequenter ausgeführte Schaltvorgänge erbracht. Die physikalisch bedingte Verlustleistung dieser Schaltvorgänge ist heute der begrenzende Faktor zur weiteren Erhöhung der Leistungsfähigkeit integrierter Schaltungen. Obwohl seitens der Anbieter und Anwender immer mehr Applikationen im Mobiltelefon gefordert werden, muss gewährleistet sein, dass der maximale Leistungsverbrauch 3 W nicht übersteigt. Ziel des Projektes „LEMONS“ ist die Steigerung der Entwurfsproduktivität durch Verringerung der Zahl verlustleistungsbedingter Redesigns, die aufgrund eines zu hohen Energieverbrauchs der Schaltung durchgeführt werden müssen. Bereits heute übersteigt die Leistungsdichte integrierter Schaltungen die von glühenden Herdplatten. Ohne signifikante Verbesserung der Entwurfsverfahren würde die Leistungsdichte sehr bald die eines Kernreaktors oder gar einer Raketendüse erreichen. Aufgrund der wachsenden Zahl und Komplexität mobiler Systeme sind nicht nur aus ökologischen Gründen Maßnahmen zur Reduzierung der Energiedichte erforderlich. Am Beispiel des Mobiltelefons bedeutet dies eine Reduktion der Leistungsaufnahme um 50 % im Normal-Betrieb und um 70 % im Stand-by-Modus – so das ehrgeizige Ziel von LEMONS. Der Verbraucher bemerkt den Erfolg durch eine deutlich gesteigerte aktive Sprechzeit bis zu 20 Stunden und eine verbesserte Erreichbarkeit über 1000 Stunden. Durch eine stabile Kooperation von Mobilfunk-Unternehmen, Halbleiterherstellern, EDA-Firmen und Forschungseinrichtungen sind die Projektpartner von LEMONS dabei, die Wettbewerbsfähigkeit europäischer Firmen zu steigern und die führende Stellung bei den zugehörigen SoCs auszubauen.

Anfang des Jahres wurde das Projekt „LEONIDAS“ erfolgreich beendet. Die Forschungsaktivitäten dieses Projektes orientierten sich an den Kriterien für einen leitbahnorientierten Chipentwurf. Ziel war es, eine leitbahnzentrierte Entwurfsmethodik zu entwickeln, die den in modernsten Nanometer-Technologien immer wichtiger werdenden Einfluss der parasitären Leitungseffekte schon in der Entwicklung berücksichtigt. Die verbesserte Synthese von Busstrukturen, verfeinerte Modellierungsverfahren und die korrekte, bereits vor der Platzierung durchgeführte Dimensionierung von Metallbahnen verbessern die Zuverlässigkeit der Schaltungen um mehr als 200 Prozent. Kritische Pfadlängen konnten um bis zu 25 Prozent reduziert werden.

Innovation durch EDA-Cluster-Forschungsprojekte

Zur Vorbereitung der im Strategiepapier erarbeiteten Themenschwerpunkte tragen insbesondere die – durch das edacentrum innerhalb von Ekompass und in Kooperation mit der deutschen Industrie eingerichteten – EDA-Cluster-Forschungsprojekte „Strukturelle Synthese von analogen Mixed-Signal-Schaltungen“ (SAMS) und „Funktionale Verifikation von Systemen“ (FEST) bei. Ziel dieser Projekte ist es, in ausgewiesenen Forschungsbereichen der Entwurfsautomatisierung verbesserte Voraussetzungen zu schaffen. Dadurch sollen Durchbrüche bei der Entwurfsautomatisierung in schwierigen, von der Industrie als besonders wichtig angesehenen Fällen erreicht werden. Die Cluster-Forschungsprojekte dienen auch zur Identifikation weiterer Zukunftsthemen. In Cluster-Forschungsprojekten werden Methoden und Software-Werkzeuge erforscht, die in fünf bis zehn Jahren zum industriellen Einsatz kommen können. Die Industrie kümmert sich um eine Präzisierung der Anforderungen, die Bereitstellung von Testbeispielen und die Bewertung der Ergebnisse anhand von industriellen Randbedingungen. Die beteiligten Forschungsinstitute konzentrieren sich auf die Erforschung von Methoden, Algorithmen und Verfahren.

Popp, Treytnar/go

Literatur

- [1] Ekompass Workshop, www.edacentrum.de/ekompass
- [2] edacentrum e.V., www.edacentrum.de
- [3] Treytnar, D.; Haase, Dr. J.: Neuer Schwung für EDA in Deutschland. *Elektronik* 2002, H. 19, S. 106 – 114.
- [4] Treytnar, D.; Popp, R.; Haase, Dr. J.: EDA-Forschung in Deutschland. *Elektronik* 2003, Nr. 25, S. 88 – 94.
- [5] BMBF Zukunftsforum Mobiles Internet, www.bmbf.de/de/mobilesinternet