

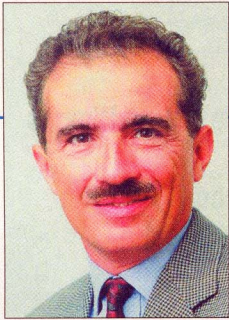
Elektronische Designautomation:

„Im siebten Himmel schweben“

Auf dem edaForum02 in Hannover wurden zahlreiche Herausforderungen im Bereich EDA thematisiert und vielversprechende Lösungskonzepte vorgestellt. Dass damit nur die Spitze eines Eisberges in das Blickfeld gerückt wurde, lässt die Wahl der Themen des nächsten edaForum erkennen, welches am 6. und 7. November dieses Jahres im SI-Erlebniszentrum in Stuttgart stattfinden wird.

Das edaForum03 (www.edacentrum.de/edaforum) findet im Rahmen der ersten europäischen EDA-Woche (European EDA-Week) in Abstimmung mit MEDEA+ direkt im Anschluss an deren „MEDEA+ Design Automation Conference“ statt. Es beginnt am Vormittag des ersten Tages (6. November) mit Firmenpräsentationen und einer Firmenmesse.

Im Rahmen der eingeladenen Vorträge konnte das edacentrum Giovanni De Micheli, Professor an der Universität Stanford, als Keynote-Sprecher der Veranstaltung gewinnen. In seinem Vortrag



Giovanni De Micheli, Professor an der Universität Stanford, konnte als Keynote-Sprecher der Veranstaltung gewonnen werden.

mit dem Titel „Designing Robust Systems with Uncertain Information“ richtet er seinen Fokus auf jene Herausforderungen, welche bei aktuellen Chipentwürfen durch schrumpfende Prozessstrukturen und steigende Schaltungskomplexität hervorgerufen werden: Im Einzelnen geht es dabei um Probleme, die sich durch die physikalischen Eigenschaften der Bauelemente und Leitungen neuer Technologien, aber auch durch den zu bewerkstellenden Datenverkehr auftürmen. De Micheli wird – ähnlich wie Richard A. Newton, Professor an der Universität von Kalifornien, Berkeley, im letzten Jahr – von einem „Design Paradigm Shift“ sprechen, in dem neue Methoden wie „self-calibrating circuits“ oder „error-resilient computation and communication“ eine wichtige Rolle spielen.

Parallel ablaufende Vortragsreihen

Bei den Sessions der parallel ablaufenden, technisch ausgerichteten Tracks geht es um „Silicon Complexity“ und

„System Complexity“. Unter dem Titel „The Deep Submicron Hell of Physical Design“ sprechen unter anderen Andrew B. Kahng von der Universität von Kalifornien, San Diego, Markus Bühler von IBM und Jacques Benkoski von Monterey Design. Zum Thema „The 7th Heaven of System Level Design“ tragen Grant Martin von Cadence Design Systems, Carsten Mielenz von Infineon Technologies, Mark Burton von ARM und Peter Flake von Synopsys vor. In der Session zur „Silicon Complexity“ hält Andrew B. Kahng die Keynote-Rede zum Thema „The Design-Manufacturing Roadmap“. Er wird dabei eine Lösung für den Missstand aufzeigen, der durch die im Widerspruch zueinander stehenden Ziele von Designern, EDA-Anbietern und der Halbleiter-Geräteindustrie hervorgerufen wird. Kahng wird dabei sein Konzept einer „bidirectional design-manufacturing data pipe“ vorstellen, die durch Kosten und Wertsteigerung in Kooperation der beteiligten Branchen getrieben werden müsse. Dabei wird nach Kahngs Vorstellung darauf zu achten sein, dass der Austausch branchenfremder Informationen ermöglicht wird und jede Branche ihren Nutzen daraus zieht. Markus Bühler wird unter dem Titel „Semi-Hierarchical Layout Approaches for ASIC Designs with Multi-Million Instances“ eine bei IBM entwickelte Layout-Methodik vorstellen, die zu einem geringeren Design- und Manpower-Overhead beiträgt.

Grant Martin wird unter dem Titel „An Overview of System-Level Design: Current Status, Future Possibilities“ seine Keynote der technischen Session zur „System Complexity“ halten. Es geht um die Geschichte von System-Level-Design, dessen „Start schon immer stattfindet“, aber welches bisher „nicht anzukommen scheint“. Martin wird dieses Thema anhand zahlreicher Systeme beleuchten, welche inzwischen aus weit mehr als „nur“ Hardware bestehen. Für die Zukunft wird er in seinem Vortrag eine neue Form der Verhaltenssynthese, eine „Coprocesor Synthesis“ sowie neue Architekturen, die Weiterentwicklung von UML und ein „Software Mo-

deling“ in Aussicht stellen, mit denen das Problem des Hardware/Software-Co-Designs in den Griff zu bekommen sein wird. Auch die restlichen drei Vorträge dieser Session widmen sich der wachsenden Bedeutung der so genannten „Hardware Dependent Software (HDS)“, die neben dem reinen Hardware-Design zum zunehmenden Flaschenhals im Systementwurf wird.

Wirtschaftliche Aspekte im Vordergrund

In den „Business Sessions“ geht es mehrheitlich um ökonomische Aspekte und Auswirkungen von EDA. Joachim Kunkel von Synopsys, Andrew Kahng von der Universität von Kalifornien und Jürgen Köhl von IBM sprechen zum Thema „Measure or Die – Design Productivity“. In der zweiten „Business Session“ „Seed, Care and Harvest – Value Focused EDA“ tragen Jacques Benkoski vom EDA Consortium, Klaus Köppel von Infineon Technologies, Wolfgang Nebel von Chipvision sowie Andreas Demleitner von BayTech Venture Capital vor. In der ersten „Business-Session“ zum Problem der Messung von Designproduktivität wird Joachim Kunkel in einer Session Keynote unter dem Titel „Economics of IP“ das Thema standardisierter IP unter wirtschaftlichen Aspekten beleuchten. Darin wird er auf den durch den Erfolg des SoC bedingten Ruf nach Standardisierung von IP-Blöcken und deren Wiederverwendung aus der Sicht von IP-Anbietern und IP-Nutzern eingehen. Kunkel wird zur Sprache bringen, welche wirtschaftlichen Möglichkeiten durch den Handel mit IP entstehen, aber auch welche Gefahren ein unausgewogenes Verhältnis von Angebot und Nachfrage in diesem Geschäftszweig birgt. Kern der Keynote von Kunkel werden daher Fragen nach der Größe eines Marktes für einen einzelnen IP-Standard oder nach der Kostenersparnis durch die Nutzung desselben sein.

In der Keynote der zweiten „Business Session“ wird Jacques Benkoski zum Thema „The Revenge of Economics over Engineering“ die Kosten von Chipentwurf und Herstellung analysierend gegenüberstellen. Dabei wird er auf das Problem der Entwurfsücke vor ökonomischem Hintergrund eingehen und daraus die Weiterentwicklung von Design-Technologie als Weg aus dem Dilemma aufzeigen. Klaus Köppel referiert danach unter dem Titel „GLM at Infineon – Effective License Management for Efficient Asset Utilization“ über Möglichkeiten eines effektiven globalen Lizenz-Managements und effiziente Lizenz-Modelle am Beispiel seiner Erfahrungen bei Infineon Technologies. Popp/Treytnar/go