

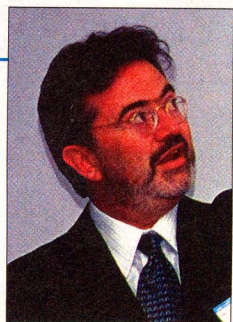
SoC-Verifikation:

## Ein Ende wie bei der Titanic?

**Die Titanic ist Synonym für die größte Tragödie der neuzeitlichen Seefahrt. Der Glaube an die Technik führte zu einer folgenschweren Überschätzung der Fähigkeiten eines Schiffes und Unterschätzung der Gefahren im Nordatlantik. Die Auswirkungen von unzureichender Verifikation von Systems-on-Chip (SoCs) lassen sich daher durchaus mit dem Untergang des Luxusdampfers vergleichen.**

Lassen sich durch Verifikation alle Fehler ausschließen? Wäre eine solche Annahme leichtgläubig? Oder wird das Verifikationsproblem im SoC-Entwurf überschätzt? Den Fragen zu diesem Thema widmete sich auf dem edaForum02 die technische Session „Verification of Systems on Chip“.

Raul Camposano, CTO und Senior Vice President von Synopsys, Inc., gab in dem Leitvortrag der Session unter dem Titel „The Impending Verification Revolution“ einen Überblick über Verifikationsmethoden und -tools für den SoC-Entwurf, wobei er



**Raul Camposano, CTO und Senior Vice President von Synopsys: „Die Verifikation komplizierter digitaler Designs ist eine äußerst zeitraubende Entwurfsaufgabe, die aber dennoch in allen Bereichen durchgeführt werden muss.“**

sich eng am umfangreichen Portfolio von Synopsys orientierte. Dabei stellte er fest, dass die Verifikation komplizierter digitaler Designs eine äußerst zeitraubende Entwurfsaufgabe sei, die aber dennoch in allen Bereichen (Funktion, Zeitsteuerung, elektrisch und physikalisch) durchgeführt werden müsse. Die immer wichtiger werdenden Deep-Submicron-Effekte sind nach seiner Auffassung die treibenden Faktoren für die Notwendigkeit von Verifikation.

Gesondert ging Camposano auch auf die formale Verifikation ein, welche die bei einer Simulation erforderlichen aufwendigen Verfahren von Stimulierung und Simulationsauswertung vermeide. Dies werde durch die Verwendung so genannter Assertions ermöglicht, die formal beschrieben und im Verlauf einer Simulation überprüft werden können. Weiterhin sei die Fehlerabdeckung der Verifikation deutlich höher als die der Simulation. Assertions ließen sich zusätzlich als IP für ein gegebenes Design speichern und

ggf. wiederverwerten. So erleichtern z.B. die als Assertion gespeicherten Eigenschaften eines Bus-Protokolls eine Wiederverwendung dieses Busses in beliebigen Designs. Dabei müssten bestimmte Eigenschaften wie die maximale Signallaufzeit vom Designer angegeben werden, während andere, z.B. unerlaubte Zustände, automatisch aus der RTL-Beschreibung abgeleitet werden könnten. Dieser Trend zur Verifikation mit IP setze sich fort in Richtung einer kompletten Suite mehrfach verwendbarer Systemkomponenten. Camposano gab allerdings zu bedenken, dass es trotz des wachsenden Fortschritts dieser Verifikationsmethodik in den nächsten zwei Jahren keinen großen IP-Markt geben werde.

Thomas Kropf, Leiter der Software-Entwicklung des Produktbereichs „Fahrerassistenz-Systeme“ bei der Robert Bosch GmbH, betonte in seinem Vortrag „Tool-Supported Validation of Embedded Systems in Automotive Applications“, dass Sicherheit und Zuverlässigkeit entscheidende Faktoren beim Entwurf elektronischer Schaltungen und Systeme im Automotive-Bereich seien, da es sich in vielen Fällen um sicherheitskritische Anwendungen (z.B. ABS, Airbag) handele. Verfahren und Werkzeuge zum Nachweis der korrekten Funktion spielten hier eine große Rolle. Ergänzend wies er auch darauf hin, dass die Automobilindustrie inklusive ihrer Zulieferindustrie allein ca. 18 Prozent des deutschen Bruttosozialproduktes erwirtschaftete, so dass Investitionen in diesem Sektor als starke Technologie- und Innovationstreiber für die Mikroelektronik wirkten.

Im Gegensatz zu seinem Vorgänger blickte Kropf aus der Sicht eines EDA-Anwenders im Automotive-Bereich auf das Angebot an Verifikationsmethoden und -tools, wobei er deren „Reife“ in Bezug auf verschiedene Anwendungsbereiche sehr plastisch darstellte. Er klassifizierte den Reifegrad der Lösungen im Hardware-Bereich in vier Kategorien: theoretische, experimentelle und kommerzielle Lösungen sowie Standard-Flow-Applikationen. Während

für die Verifikation digitaler Schaltungen in kombinatorischen Bereichen schon kommerzielle Lösungen von der EDA-Industrie angeboten würden, fehlten sie noch für sequenzielle Schaltungen, wo man eher noch im experimentellen Bereich sei. Bei der Verifikation analoger Module hingegen seien nur Ansätze zu erkennen, was in die Kategorie theoretischer Lösungen einzuordnen sei.

Anhand eines Beispiels, eines adaptiven Lenksteuerungssystems für Automobile, veranschaulichte er die Komplexität einer Automotive-Anwendung mit Frequenzen bis in den Radarbereich. Dabei wies er auf die Notwendigkeit einer hohen Zuverlässigkeit der Komponenten hin (0,5 ppm für diskrete Elemente und 1 bis 3 ppm für ICs und ASICs).

Bei der Übertragung seiner Erfahrungen von der Hardware- auf die Softwareseite sieht Kropf das größte Defizit bei der Verifikation im Hardware/Software-Co-Design. Hierbei gab er zu bedenken, dass auch Software im Automotive-Bereich nach der Auslieferung nicht mehr verändert werden könne, da die Kunden dies nicht akzeptierten. Für dieses Problem gebe es nahezu keine kommerziell anwendbare Methodik.

Als dritter Vortragender dieser Session legte Sang Wang, CEO und Chairman bei der Nassda Corporation, ein großes Gewicht auf die ökonomische Komponente der Verifikation. In seinem Vortrag „ROI from Nanometer IC Circuit Verification“ stellte er die Verifikation als eine Möglichkeit dar, die Designkosten positiv zu beeinflussen. Die Forderung nach portablen Produkten mit mehr Funktionen, geringen Anschaffungskosten und besserer Leistung mache es erforderlich, die Chipgröße weiter zu reduzieren und schnellere und komplexere SoCs zu entwickeln. Der richtige Einsatz von Verifikationsmethoden biete Firmen die Möglichkeit, den Zeitpunkt zu beeinflussen, zu dem mit einem Produkt Geld verdient werden könne. Dabei stellte er klar, dass insbesondere die Verzögerungen bei der Produktentwicklung das Erreichen der Gewinnzone beeinflussen würden. Er betonte ferner, dass die EDA-Industrie zurzeit lediglich ca. 1 Prozent des Umsatzes der Halbleiterindustrie erwirtschaftete.

Neue Technologien im Nanometer-Bereich würden mit ihren parasitären Effekten wie Timing, Rauschen und Power durch erhöhten Aufwand für Design und Verifikation die Entwicklungskosten drastisch erhöhen. Während in der 0,35- $\mu$ m-Technologie die Entwicklungskosten bei knapp 400 000 Dollar

lagen, seien sie bei 90 nm auf über 50 Mio. Dollar angestiegen.

Die Simulation großer ICs sowie die Verifikation und die Analyse parasitärer Effekte werden zum Erreichen wirtschaftlicher Projektziele und damit zur Realisierung eines hohen Return on Investment (ROI) in Zukunft den Erfolg eines Chip-Projektes entscheidend bestimmen. Die bisher eingesetzten Lösungen seien meist: Ignorieren der Probleme und Akzeptieren von Re-Designs oder das in Kauf nehmen von langsameren, größeren und teureren Schaltungen. Derzeit seien 48 Prozent aller Chipentwürfe bei dem ersten Durchgang fehlerhaft. Jüngst entwickelte Verifikations- und Analyse-Tools seien jedoch in der Lage, durch neuartige

Verfahren diese Probleme zu lösen und somit „first-time-right silicon“ zu erreichen, was zu einer Reduzierung der Designzyklen und damit der Kosten führe. Durch Verbesserung der Post-Layout-Verifikation und durch Verfeinerung von mangelhaften Schaltungen durch Post-Silicon-Diagnose trügen diese zur Verbesserung der Ausbeute und damit zum Erreichen des ROI bei.

Die drei Vortragenden waren sich in der anschließenden Podiumsdiskussion einig: Ohne leistungsstarke Verifikationstools werden Nanometer-SoCs nicht mehr gewinnbringend zu entwerfen sein. Jedoch seien bisher nur wenige Tools in der Lage, die auftretenden Probleme zu lösen. Dazu käme, dass die meisten Verifikationstools nicht exakt

L  
skalierten (Zitat Kropf: „Most formal verification tools don't scale properly“). Die Schwierigkeiten im Zusammenspiel zwischen EDA-Tools und der Wirtschaftlichkeit fasste Camposano mit den Worten „All comes down to prizing. And prizing is a tricky thing“ zusammen. Für die Zukunft waren jedoch alle optimistisch, dass sich Lösungen finden lassen, wenn nur die Probleme zielbewusst angegangen würden.

Soweit der Überblick über die technische Session mit dem Titel „Verification of Systems on Chip“ – in der nächsten Folge dieser Serie steht die Keynote-Rede des edaForum02 im Mittelpunkt, gehalten von Richard A. Newton, Professor an der Universität von Kalifornien, Berkeley.

*Popp/Treytnar/go*